

Congreso Argentino de Sistemas Embebidos

CASE

2020

EDICIÓN VIRTUAL

Artículos, Foro tecnológico y Reportes

www.sase.com.ar

24, 25 y 26 de agosto



CASE 2020

Libro de Trabajos

Modalidades Artículo, Foro Tecnológico y Reporte

Congreso Argentino
de
Sistemas Embebidos

24 al 26 de agosto de 2020

SEDE VIRTUAL



Asociación Civil para la investigación, Promoción
y Desarrollo de Sistemas Eléctricos Embebidos



Congreso Argentino de Sistemas Embebidos CASE 2020 : libro de trabajos en modalidad artículo, foro tecnológico y reporte / Zacchigna, Federico G. / De Micco, Luciana / Brengi, Diego Javier / Lutenberg, Ariel / Larosa, Facundo Santiago / Antonelli, Maximiliano/- 1a ed ilustrada.- Ciudad Autónoma de Buenos Aires : ACSE - Asociación Civil para la investigación, Promoción y Desarrollo de Sistemas Eléctricos Embebidos, 2020.
Libro digital, PDF

Archivo Digital: descarga y online
ISBN 978-987-46297-7-7

1. Circuitos Electrónicos. 2. Software. 3. Hardware. I. Zacchigna, Federico G.
CDD 621.38

Fecha de catalogación: 30/7/2020

Libro de Trabajos
Modalidades Artículo, Foro Tecnológico y Reporte
Congreso Argentino de Sistemas Embebidos - CASE 2020

Editores:

Zacchigna, Federico G.	FIUBA
De Micco, Luciana	UNMDP/ICyTE/CONICET
Brengi, Diego	INTI/UNLaM/FIUBA
Lutenberg, Ariel	FIUBA/CONICET
Larosa, Facundo	UTN/FIUBA
Antonelli, Maximiliano	UNMDP/ICyTE/CONICET

Diseño gráfico de tapas:

Mariana Laura Larosa

Copyright © 2020

Asociación civil para la investigación, promoción y desarrollo de los sistemas electrónicos embebidos.



Se otorga permiso para copiar y redistribuir este libro de trabajos, siempre que se mantengan los mensajes de copyright y la autoría de la obra y sus partes.

Prefacio

El diseño de sistemas embebidos es un motor clave de la industria y del desarrollo científico y tecnológico, y es un campo que en los últimos años ha crecido notablemente en la Argentina, tanto en la academia como en la industria.

El CASE (Congreso Argentino de Sistemas Embebidos) fomenta la presentación formal de trabajos usando el modelo de revisión de pares para garantizar la calidad en la presentación de los mismos. Este congreso forma parte del SASE (Simposio Argentino de Sistemas Embebidos), un evento anual que reúne a la comunidad académica y a la industria en torno a los sistemas embebidos, buscando fomentar esta temática.

Debido a la situación de pandemia y aislamiento causada por el COVID-19, el CASE 2020 se realizará del 24 al 26 de agosto, en modalidad virtual y utilizando software de videoconferencia y streaming.

Los objetivos que persigue el congreso son:

- Ofrecer un lugar de encuentro para investigadores y becarios de todo el país, fomentando la colaboración.
- Difundir en el medio académico los adelantos científicos y tecnológicos producidos a nivel mundial.
- Propiciar la presentación y discusión de trabajos de investigación desarrollados en Argentina.
- Estimular en los estudiantes universitarios avanzados el interés por la investigación en el área de los sistemas embebidos.
- Coordinar y actualizar los contenidos de sistemas embebidos de los programas de grado y posgrado de las universidades argentinas.

Las áreas temáticas del CASE se organizan de la siguiente manera: Arquitecturas de Procesadores, Bioingeniería, DSPs, FPGAs, HDLs y ASICs, Implementación de Sistemas Embebidos, Protocolos y Comunicaciones, Robótica, RTOS, Software Embebido, Linux Embebido y Comunicaciones Inalámbricas. Dentro de cada una de estas áreas se permiten las modalidades Artículo, Foro Tecnológico y Reporte, según el tipo de trabajo.

Los trabajos presentados al CASE fueron sometidos a un proceso de revisión por pares doble ciego, corrección y *rebuttal*. De este modo fueron seleccionados 16 trabajos en la modalidad Artículo, 26 en modalidad Foro Tecnológico y 19 en la modalidad Reporte.

Esta publicación se encuentra también disponible en forma *online* en la página web: www.sase.com.ar/case/

Esperamos que los trabajos recopilados en esta memoria sean de su interés y contamos con su participación en futuras ediciones del evento.

Atentamente,

Comité Organizador CASE

Entidad organizadora

- ACSE (Asociación Civil para la Investigación, Promoción y Desarrollo de los Sistemas Electrónicos Embebidos)

Instituciones a la que pertenecen los organizadores

- CONICET (Consejo Nacional de Investigaciones Científicas y Técnicas)
- FIUBA (Facultad de Ingeniería Universidad de Buenos Aires)
- INTI (Instituto Nacional de Tecnología Industrial)
- UNLaM (Universidad Nacional de La Matanza)
- UNMDP (Universidad Nacional de Mar del Plata)
- UTN-FRH (Universidad Tecnológica Nacional - Facultad Regional Haedo)

Comité organizador estable

- Dr. Maximiliano Antonelli (UNMDP/ICyTE/CONICET)
- Mg. Diego Brengi (INTI/UNLaM/FIUBA)
- Dra. Luciana De Micco (UNMDP/ICyTE/CONICET)
- Mg. Facundo Larosa (UTN/FIUBA)
- Dr. Ariel Lutenberg (FIUBA/CONICET)
- Ing. Federico G. Zacchigna (FIUBA)

Chairs temáticos

- Bioingeniería: Ing. Juan Manuel Reta (UNER)
- DSP: Ing. Federico Zacchigna (FIUBA)
- Linux Embebido: Mg. Ing. Sergio Burgos (UTN-FRP)
- Software Embebido: Dra. Leticia Seijas (ICYTE-UNMDP)
- FPGA, HDL y ASIC: Ing. Salvador Tropea (INTI)
- Implementación de Sistemas Embebidos: Mg. Ing. Cristian Sisterna (UNSJ)
Dr. Julio Dondo (UNSL)
- Arquitectura de procesadores: Ing. Alejandro Furfaro (UTN-FRBA)
- Comunicaciones y protocolos: Ing. Ignacio Zaradnik (UNLaM)
- Robótica: Ing. Claudio Verrastro (CNEA)
- RTOS: Dr. Ricardo Cayssials (UNS)
- Comunicaciones inalámbricas: Dr. Andrés Altieri (FIUBA-CONICET)

Revisores

Alessandrini, Gustavo
Alvarez, Gonzalo
Alvarez, Nicolás
Arnone, Leonardo
Avalos, Juan G.
Barranco Gutiérrez, Alejandro Israel
Bouchet, Agustina
Brenzi, Diego
Briff, Pablo
Brizuela, José
Calarco, Nicolás
Carbonetto, Sebastián
Carrá, Martín
Casal, Leonardo
Cazarez-Castro, N. R.
Cervellini, Paula
Comas, Diego Sebastián
Comas, Edgardo
Cuiman, R.
Escudero, Gustavo
Ferreira, Pablo Alejandro
Filomena, Eduardo
Funes, Marcos
Gallina, Sergio
García Inza, Mariano
Gavinowich, Gabriel
Gayoso, Carlos Arturo
Germino, Santiago
Ghignone, Ramiro
Gigliotti, Ernesto
Gomez, Pablo Martín
Grimblatt, Victor
Gutiérrez, Marcelo
Heredia, Martín Alejandro
Hernandez Tabares, Lorenzo
Hidalgo, Roberto
Irrazábal, Emanuel
Laiuppa, Adrián
Leiva, Lucas
Lozada-Castillo, Norma
Lozano, Clevis
Luviano-Juarez, Alberto
Maldonado, Yazmin
Mancon, Carlos I.
Marchi, Edgardo
Melo, Rodrigo Alejandro
Menéndez, Martín Nicolás
Monte, Gustavo
Moreno-Valenzuela, Javier
Oliva, Rafael
Orallo, Carlos Martin
Paramidani, Matías
Pastafiglia, Daniel
Patterson, German Agustín
Perez, Carlos
Perez, Santiago
Perez-Paina, Gonzalo
Permingeat, Alejandro
Ramoscelli, Gustavo
Ridolfi, Pablo
Rocha, Fábio
Rodriguez-Sanchez, M.Cristina
Sanca, Gabriel Andrés
Sarli, Juan L.
Szkanny, Fernando Ignacio
Taffernaberry, Carlos
Uriz, Alejandro J.
Volentini, Esteban
Wassinger, Nicolas
Zecchin, Danilo
Zacchigna, Federico G.

Subrevisores

Alonso Perez, Jorge Luis

Carugati, Ignacio

Garcia, Lisdan Herrera

Garza, Arnulfo Alanis

Gaytan, Itzel

Ortega, Yuney Gorrin

Pereyra Pitta, Francisco Javier

Pulido-Luna, Jesus R.

Valle, Paul

Índice de trabajos

Introducción	I
Índice de trabajos	IX
Artículo	1
Bioingeniería	1
Interfaz cerebro computadora basada en SoC , <i>Matías Javier Oliva, Pablo Andres García, Enrique Mario Spinelli y Rocío Madou</i>	2
Uroflujómetro IoT de uso domiciliario , <i>Gonzalo Fontanella, Marcelo Guzmán y Lucía Isabel Passoni</i>	5
Sistema de iluminación para obtención de imágenes optoacústicas basado en LEDs y EDU-CIAA , <i>Emiliano Gasparovic, Roberto Mariano Insabella y Martín Germán González</i>	8
Control a lazo cerrado en tiempo real para medir la onda de presión arterial , <i>Leonardo Casal y Alejandro Mazzadi</i>	11
Comunicaciones inalámbricas	14
Sensado de espectro en Radio Cognitiva mediante Diagramas de Recurrencia , <i>Maximiliano Antonelli, Jorge Castiñeira y Luciana De Micco</i>	15
Alambrado virtual: diseño del subsistema de comunicaciones , <i>Nicolás Luciano Bértolo, Rodrigo Joaquín González, Santiago Andrés Abbate, Jorge Cogo y Javier Alberto Areta</i>	18
FPGA-HDL y ASIC	21
Sistema de adquisición reconfigurable para detección de señales Lidar basado en FPGA , <i>Héctor Lacomí, Tomás Di Fiore, Facundo Larosa y Nicolás Urbano Pintos</i>	22
Automatización del análisis y la generación de código de sistemas de enclavamiento en FPGA , <i>Martín Nicolás Menéndez, Facundo Santiago Larosa, Nicolás Alvarez, Ramiro Ghignone y Ariel Lutenberg</i>	25
Diseño e implementación en FPGA de un transceptor inalámbrico basado en LoRa , <i>Martin Bornes Bchara, Federico G. Zacchigna y Carlos Belaustegui Goitia</i>	28
Implementación de embebidos	31
Radiotherapy dosimetry monitor system for MOS sensors based on embedded systems , <i>Facundo Adrian Lucianna, Juan Pablo Goyret, Sebastián Carbonetto, Adrián Faigón y Mariano Garcia-Inza</i>	32
Diseño de un software de automatización de propósito general basado en Raspberry Pi , <i>Randy Piñero Aguilar y Alberto Sergio Prieto Moreno</i>	35

Protocolos y comunicaciones	38
Aplicación de Internet de las Cosas con procesamiento de datos , <i>Arturo Javier Cárdenas, Jorge Armando Portal, Reyneris Pita, Iván Santana y Cristian Duran-Faundez</i>	39
Hop-Counts and End to End Delays in Linear Wireless Delay Tolerant Network on Chips Subject to Transient Faults , <i>Ruben Danilo Capkob, Pablo Alejandro Ferreyra y Fabian Gomez</i>	42
Monitoreo Remoto y Visualización en Tiempo Real de Sistemas de Señalamiento Ferroviario , <i>Ramiro Adrián Ghignone, Lucas Dórdolo, Facundo Santiago Larosa y Ariel Lutenberg</i>	45
Robótica	48
An Embedded Software Architecture for the development of a cooperative autonomous vehicle , <i>Olmer Garcia y Janito Vaqueiro Ferreira</i>	49
Autopilot for a robotic boat based on an open hardware configuration , <i>Omar Milián Morón, Delvis Garcia Garcia y Yunier Valeriano Medina</i>	52
Foro Tecnológico	55
Bioingeniería	55
Medidor portátil de impedancia eléctrica para aplicaciones biológicas. , <i>Edgardo Porral, Gerardo Battaglia, Ivan Szkrabko, Martín Hernan Enríquez y Marcelo Leo</i>	56
Aptitud de uso de sistema embebido en Monitor de Profundidad Anestésica , <i>Diego Enrique Coulombie</i>	59
Comunicaciones inalámbricas	62
Predicción del alcance teórico de enlaces LoRa en ambientes rurales , <i>Federico M. Insaurralde, Sergio F. Hernandez Velazquez, Roberto A. Kiessling, Alfredo F. Debattista y Alejandro A. Valenzuela</i>	63
Desarrollo de Banco de Pruebas para Evaluación de Redes LoRaWAN , <i>Federico Torres, Guillermo Riva y Jorge Finochietto</i>	66
Análisis de Protocolos en Redes LTE mediante Plataforma OpenAirInterface , <i>Javier Dealesandro, Carlos Alberto Zerbini y Guillermo Riva</i>	69
FPGA-HDL y ASIC	72
Implementación de Filtro de Detección de Bordes Sobel en SoC usando Síntesis de Alto Nivel , <i>Roberto Millón, Emmanuel Frati y Enzo Rucci</i>	73
FlowHDL, Lenguaje de Programación Visual para el Diseño Digital de Lógica Programable , <i>Anibal Fernando Antonelli y Carlos Arturo Gayoso</i>	76
Prototipo de Sistema de Detección de Malezas en Cultivos Basado en SoC , <i>Jose Noguera, Lucas Leiva, Oscar Goñi, Martín Vázquez y Marcelo Tosini</i>	79
IP Core para captura y digitalización de señales de audio implementado en FPGA , <i>Maxim Dorogov</i>	82
Desarrollo Rápido de Aplicaciones de Procesamiento de Imágenes en Zybo Z7-20 , <i>Tomas Medina y Lucas Leiva</i>	85
EDU-CIAA-FPGA: plataforma educativa para el aprendizaje de lenguajes de descripción de hardware , <i>Martín Heredia, Ramiro Ghignone, Federico Vazquez Saraullo, Hernán Mendes Gouveia y Larosa Facundo</i>	88

Implementación de embebidos	91
Dispositivo de adquisición, almacenamiento y envío de datos por telemetría , <i>Matías García Cabana y Facundo Larosa</i>	92
Incremento de Precisión en Localización Indoor Mediante Redes Neuronales , <i>Agustín Gerez, Oscar Goñi y Lucas Leiva</i>	95
Solar Battery Charger for Embedded Systems applications , <i>Ezequiel Olguin, Pablo Antonio Petrashin, Cesar Reale y Fernando Gallardo</i>	98
Monitoreo continuo de variables de calidad y seguridad en subestaciones transformadoras urbanas , <i>Damian Marasco, Gustavo Monte, Ruben Bufanio, Ariel Agnello, Norberto Scarone, Lucas Solorzano, Javier Vallejos y Pablo Liscovsky</i>	101
Generación automática de archivos de fabricación en KiCad , <i>Salvador Tropea</i>	104
Diseño conceptual de un sistema embebido para seguimiento de ubicación y alerta en caso de riesgo , <i>Luis Alberto Fernández valdovinos, Cinthya aimme Guzmán Gallegos, Julio Cesar Rocha López, Viridiana Vega Muñoz, Derlis Hernández Lara y Gabriel Longoria Cordero</i>	107
Sistema Automatizado de Estacionamiento SAE , <i>Sebastian Gregoracci, Juan Pablo Valeo, Leticia M. Seijas, Juan A. Etcheverry y Alejandro J. Uriz</i>	110
Analizador remoto de redes eléctricas , <i>Gabriel Caballero, Bruno Sasschetti, Tomás Suarez y Nicolás Mercado</i>	113
Protocolos y comunicaciones	116
Sistema embebido para el monitoreo y gestión de animales utilizando RFID , <i>Ismael Manuel Fernandez, Jorge Cogo y Mónica Denham</i>	117
Ubiquitous network integration to enabling cloud services around agricultural machinery. , <i>Natalia Iglesias, Pilar Bulacio y Elizabeth Tapia</i>	120
Implementación y ensayo de un demodulador FSK , <i>Leandro J. Ferrari, Sergio D. Leoni, Martin Ezequiel Paz y Christian Galasso</i>	123
Software embebido	126
Representación en tiempo real de señales de radar empleando Odroid XU4. , <i>Lisvan Guevara Trujillo, Alian Ernesto Matos Rodríguez y Leandro Zambrano Méndez</i>	127
bShell: una biblioteca para la implementación de interfaces de comandos en sistemas embebidos , <i>Enrique Sergio Burgos</i>	130
Desarrollo y evolución de equipo datalogger OES y software de representación asociado , <i>Juan Salerno, Marcelo Castello y Rafael Oliva</i>	133
Registrador industrial con soporte de placas periféricas , <i>Rafael Oliva</i>	136
Reporte	139
Bioingeniería	139
Merma en la Tasa de Transferencia Efectiva en placa de neuroseñales inalámbrica en entornos desfavorables , <i>Diego Enrique Coulombie, Agustín Ignacio Reyes y Alberto Raúl Miguens</i>	140
Implementación de embebidos	143
Diseño conceptual de un sistema embebido para la administración del agua en hogares , <i>Isac Laguna Sánchez, Pedro Cruz Valencia, Josue David Ledesma Sánchez, Leticia Valencia Aguilar, Derlis Hernández Lara y Deyry Jazmín Téllez Torres</i>	144

Sistema para la detección del estado de somnolencia en seres humanos mediante el reconocimiento de patrones. , <i>Edurnet Jhaqueline Luna, Adolfo Melendez y Emmanuel Tonatihu Juárez</i>	147
Re-ingeniería de una placa de memoria mediante la aplicación de una FPGA , <i>Christian Galasso, Eduardo Zito, Miguel Banchieri y Martín Paz</i>	150
Diseño de estrategias para la enseñanza y aprendizaje de sistemas embebidos en tiempos de pandemia , <i>Marcelo Giura, Nahuel Gonzalez, Marcelo Trujillo, Mariana Prieto Canalejo y Lisandro Sugezky</i>	153
Monitoreo de temperatura, humedad y variables ambientales para apicultura de precisión usando plataforma IoT Thingspeak , <i>Ilber Adonayt Ruge Ruge, Erika Dajanna Castañeda Monroy, Diana Carolina Buitrago López y Nejith Katherine Cifuentes Bohórquez</i>	156
Medidor de Frecuencia y Amplitud de Onda para Instrumentos de Laboratorio Analógicos , <i>Marcos Peralta</i>	159
Diseño y construcción de un dispositivo para la medición de inductancias de lazo , <i>Victor Claudio Juarez y Fernando Fabian Diaz</i>	162
Procesador de audio digital de dos bandas para FM , <i>Gaston Vallasciani, Facundo Larosa y Pablo Gomez</i>	165
Diseño conceptual de un sistema biométrico para casilleros , <i>Mexitli Fátima De La Vega Gaytan, Ricardo Daniel Robles Niño, Brian Alan García Quijano, Pedro Flores Palmeros, Derlis Hernández Lara y Alejandro García Hernández</i>	168
Diseño conceptual de un sistema embebido para la toma de asistencia en aulas , <i>Oswaldo Joel Espinosa Melendez, Jesús Jared Sánchez Díaz, Derlis Hernández Lara, Emmanuel Tonatihu Juárez Velázquez, Deyry Jazmín Téllez Torres y Malinali Marina Pérez Sánchez</i>	171
Diseño conceptual de un sistema informático para el registro de computadoras al ingreso del TESE , <i>Amairani Figueroa Trejo, Karla Sarahy Pérez Álvarez, Claudia Fabiola Santillán Reséndez, Víctor Manzano Osornio, Derlis Hernández Lara y Carlos Alfonso Trejo Villanueva</i>	174
Robótica	177
Kit de robótica educativa fabricado utilizando impresión 3d , <i>Andres Tapari y Enrique Sergio Burgos</i>	178
Software embebido	181
Sistema de monitoreo de material rodante , <i>Sebastian Guarino y Pablo Gomez</i>	182
Control de sistema demultiplexor-amplificador de audio basado en módulo microcontrolador ESP32 , <i>Fermín Scaliti, Julián Rametta, Ezequiel Marcel, R. Martín Guido y Fabián C. Tommasini</i>	185
Sistema de control de acceso inteligente con sincronización en tiempo real a través de Internet , <i>David Michel Guber, Fabian Tommasini, Manuel Huerga, Aldo Ortiz Skarp, Valentín Lunati y Ricardo Martín Guido</i>	188
Equipo para el monitoreo de la condición de máquinas rotatorias , <i>Santiago Rodriguez, Danilo Babaglio y Juan Andriach</i>	191
Aplicación para la verificación y validación de sistemas críticos en Framework RKH , <i>Santiago Germino</i>	194
A review of holonic control systems for dwelling , <i>Germán Rodolfo Henderson y Alejandro Pablo Arena</i>	197

Categoría

ARTÍCULO

Bioingeniería

Área Temática

Interfaz cerebro computadora basada en SoC

Matías Javier Oliva
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.
matias.oliva93@gmail.com

Pablo Andrés García
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Enrique Mario Spinelli
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Rocío Madou
Grupo de Instrumentación
Biomédica Industrial y
científica (GIBIC), Instituto de
Investigaciones en
Electrónica, Control y
Procesamiento de Señales
(LEICI), Facultad de
Ingeniería Universidad
Nacional de La Plata (UNLP),
La Plata, Argentina.

Resumen— En general las implementaciones actuales de interfaces cerebro computadora consisten en una etapa de adquisición de biopotenciales y una PC. Esta estructura es muy flexible y apropiada para investigación, pero para usuarios finales es necesario migrar a un sistema embebido eliminando la PC del esquema. Esto permite soluciones compactas, con menor consumo y tiempo de arranque. Los estrictos requerimientos de procesamiento en tiempo real de este tipo de dispositivos justifican la elección de un sistema embebido heterogéneo para este propósito. En este trabajo se presenta un sistema de BCI basado en potenciales evocados estacionarios de estado estable desarrollado en un sistema SoC de 10-nano provisto por Altera. Se describe el sistema implementado y se muestran resultados preliminares de su utilización para comandar un deletreador.

Palabras clave— Interfaz cerebro computadora, sistemas embebidos heterogéneos, potenciales evocados estacionarios de estado estable.

I. INTRODUCCIÓN

Una interfaz cerebro computadora (BCI, del inglés brain computer interface) es un dispositivo que provee al usuario de un nuevo canal de comunicación y control sin realizar acciones motoras [1], lo cual puede ser muy útil para que personas con movilidad reducida y pérdida del habla tengan la oportunidad de comandar un deletreador, una silla de ruedas o un mouse de computadora, por ejemplo [2,3].

En general las BCI adquieren potenciales cerebrales del usuario, comúnmente mediante electroencefalografía (EEG), y los utilizan para comandar distintos dispositivos. Según el tipo de potenciales cerebrales que el sistema obtenga y procese se pueden diseñar distintos tipos de BCIs. En particular los potenciales evocados visuales de estado estable (SSVEP, del inglés steady state visually evoked potentials) son potenciales periódicos que pueden obtenerse mediante el registro EEG en la zona occipital. Se presentan ante estímulos visuales periódicos superiores a 6 Hz y presentan la misma periodicidad que el estímulo [4].

El uso de SSVEPs para implementar BCIs está ampliamente estudiado. Este tiene la ventaja de lograr dispositivos simples de usar, con tasas de transmisión de información (ITR, del inglés information transfer rate) altas [4,5]. En [4] por ejemplo, se reporta una ITR de 68 bits/min. En la mayoría de las publicaciones disponibles los sistemas utilizan una etapa de adquisición de biopotenciales y una PC, lo que limita ampliamente la portabilidad del conjunto. Algunos ejemplos de estas implementaciones pueden encontrarse en [2] [8] o [12].

Una vez adquiridas, las señales de EEG deben ser procesadas, mediante una computadora o un sistema embebido dedicado (SE). Estos últimos tienen la ventaja de estar diseñados para la aplicación en particular, lo cual les brinda exclusividad sobre los recursos del sistema, la

posibilidad de disponer de una interfaz de usuario más sencilla e intuitiva, menor consumo y tamaño.

Al elegir la arquitectura del SE para implementar una BCI un aspecto clave a tener en cuenta son sus capacidades de cómputo en tiempo real: el dispositivo debe proveer al usuario de una respuesta rápida ante sus comandos. Por sus capacidades de cómputo, la flexibilidad que se puede lograr en su implementación y el gran paralelismo de tareas que permite, se presenta como una buena alternativa un sistema embebido heterogéneo, consistente en un arreglo de celdas lógicas programables (FPGA, del inglés field programmable gate array) y un procesador dedicado (HPS, del inglés hard processor system).

La implementación de sistemas de BCI basados en SSVEP en FPGAs es un tema de estudio relativamente nuevo, aunque ha dado lugar a publicaciones como [10], donde se presenta una BCI basada en codificación en fase que logra una ITR de hasta 20 bits/min (5 a 8 segundos por comando seleccionado), u [11], donde se reporta una ITR de 36 bits/min. Si bien estos dispositivos no alcanzan las ITR logradas por los sistemas reportados en [4] o [12], por ejemplo, sí destacan por su portabilidad y flexibilidad.

En este artículo se presenta el diseño e implementación de una BCI basada en SSVEPs y codificación frecuencial, desarrollado íntegramente en un SoC system de 10-nano provisto por Altera. Esta investigación tiene como base la presentada en [7], en donde se describe el sistema adquisidor de señales de EEG. Al hardware desarrollado para esa aplicación se le adiciona el módulo encargado de la FFT dentro de la FPGA, la implementación de los estímulos visuales sincronizados con los momentos de adquisición de señal y el sistema clasificador de las señales, que utiliza la información obtenida para comandar un deletreador. Como resultado se obtiene un dispositivo que destaca frente a otros reportados por ser compacto, portable, de bajo costo y fácil de usar y por no depender de una PC para su funcionamiento.

II. ESQUEMA GENERAL DEL DISPOSITIVO

El sistema puede dividirse en 4 etapas (Figura 1):

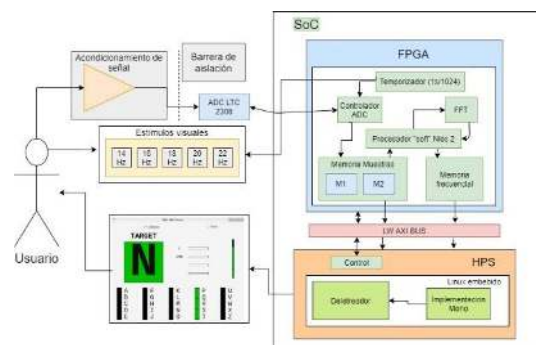


Figura 1. Esquema general del dispositivo

A. Acondicionamiento de señal y barrera de aislación

Para adquirir la señal de EEG se utilizó un amplificador de un canal acoplado en alterna [6], complementado con un aislador integrado de grado médico ADUM6401, para la alimentación del amplificador, y un amplificador de aislación óptico basado en el optoacoplador IL300, para aislar la señal a su salida. El esquema del amplificador se describe en [7].

B. Estímulos visuales

Para generar los estímulos visuales mediante los cuales el usuario controla el dispositivo se utilizaron 5 matrices de luces LED rojas, que parpadean a 14, 16, 18, 20 y 22 Hz. Para poder registrar correctamente el fenómeno SSVEP es conveniente que la periodicidad de los estímulos esté sincronizada con los instantes de muestreo de la señal, por lo que se utilizó el mismo temporizador, configurado en 1/1024 s y generado en la FPGA, para controlar ambos módulos.

C. Procesamiento de bajo nivel (FPGA)

La adquisición y almacenamiento de la señal y el cálculo de su transformada rápida de Fourier (FFT, del inglés fast Fourier transform) se implementaron íntegramente por hardware en la FPGA. En la Figura 1 se pueden observar los distintos módulos que conforman el diseño digital.

El convertor analógico digital (ADC, del inglés analog to digital converter) es controlado por un módulo que se encarga de comunicar por protocolo SPI al ADC LTC2308 (Un convertor de 12 bits y aproximaciones sucesivas), integrado en la placa de 10-nano, con el sistema. La sincronización del temporizador fija la frecuencia de muestreo en 1024 mps. Las muestras provenientes de ADC se guardan en dos memorias que actúan como doble buffer circular [8] y quedan a disposición del procesamiento de alto nivel, y del procesador NIOS, mediante una señalización adecuada.

Este es un procesador "soft", es decir que está programado en las celdas lógicas de la FPGA. En este esquema se encarga de poner a disposición del módulo que computa la FFT las muestras provenientes del ADC, y de leer los resultados obtenidos. Luego escribe los resultados en una memoria (indicada como "memoria frecuencial"), señalizándose al HPS. De esta manera la memoria a la que tiene acceso el HPS tiene siempre disponible la información de la magnitud de la FFT de la última ventana de 512 muestras.

El módulo que implementa la FFT está conformado por dos partes. Un núcleo provisto por [9] se encarga de calcular la FFT de 512 puntos con una interfaz entrada/salida serie, mientras que dos memorias FIFO y lógica dedicada resuelven la interfaz entrada/salida con el procesador NIOS. Para implementar la comunicación entre módulos se utilizaron buses estándar de Altera, como se ve en la Figura 2.

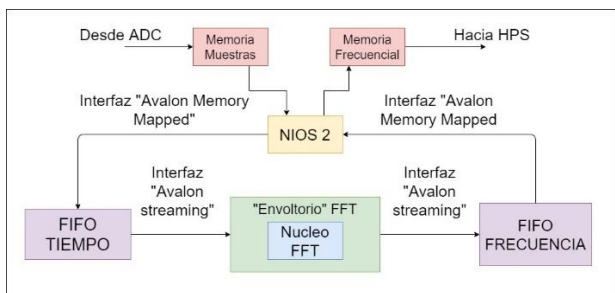


Figura 2. Detalle de operación del módulo FFT

D. Procesamiento de alto nivel (HPS)

Mediante el bus de comunicación Lw-axi-bus las memorias temporales y frecuenciales generadas por el procesamiento de bajo nivel del sistema se mapean directamente en la memoria virtual del módulo HPS del SoC de 10-nano. Como este posee un sistema operativo Linux embebido se decidió programar una interfaz de usuario en C#, ejecutándola directamente mediante la implementación mono del framework de .Net.

En esta implementación se programó un deletreador. En cada ventana (512 muestras o 0,5 segundos) se compara la magnitud de la FFT de la señal de EEG en las frecuencias de interés (14, 16, 18, 20 y 22 Hz), entre sí y contra la media, seleccionando la que tiene mayor magnitud. Cada estímulo visual, y por lo tanto cada frecuencia detectada en la FFT, está asociado con una opción en la pantalla. Si una frecuencia determinada es seleccionada en tres ventanas consecutivas, se selecciona la opción correspondiente a esa frecuencia.

Utilizando este sistema, el sujeto puede seleccionar entre 25 letras distintas en dos etapas sucesivas. Para proporcionar una retroalimentación para el usuario, la GUI (que se muestra en la Figura 1) también implementa barras de progreso relacionadas con las tres selecciones sucesivas.

III. RESULTADOS

Para verificar el funcionamiento del dispositivo se les pidió a dos usuarios, uno sin experiencia previa en el manejo de BCI (usuario A) y uno experimentado (usuario B), que seleccionen letras aleatoriamente. En los mejores casos el tiempo de selección para el usuario A fue de unos 5 segundos, pero en algunas ocasiones necesitó más de 100 segundos para seleccionar un comando. Por otro lado, el usuario B logra ejecutar un comando típicamente entre 5 y 10 segundos. Estos resultados son comparables con los presentados en [10], donde el tiempo de selección típica de los usuarios fue entre 5 y 8 segundos. A modo de ejemplo, se muestra el espectro del registro EEG del usuario A, obtenido en 3 ventanas consecutivas, correspondiente a una selección exitosa para un estímulo visual de 16 Hz.

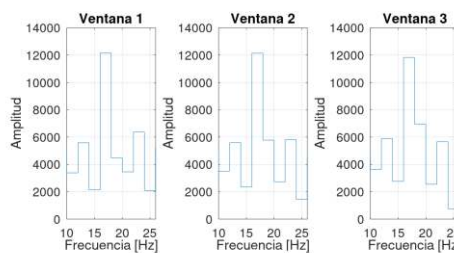


Figura 3. Espectro de registro EEG ante un estímulo de 16 Hz

IV. CONCLUSIONES

Se ha presentado un sistema embebido de BCI basado en SSVEPs diseñado con un sistema SoC de 10 nano. Con un sistema de este tipo se logra dedicar hardware especial a las tareas de alta carga computacional, permitiendo una gran separación de tareas de alto y bajo nivel y brindando gran flexibilidad al sistema. Se realizó un primer ensayo experimental que permitió verificar el funcionamiento del sistema completo, pero queda por realizar una caracterización detallada de su desempeño y plantear estrategias para mejorarlo.

REFERENCIAS:

- [1] Wolpaw J. R., Birbaumer N., McFarland D. J., Pfurtscheller G., and Vaughan T. M. (2002). Brain-computer interfaces for communication and control. *Clin. Neurophysiology*, vol. 113, pp. 767–791.
- [2] Chabuda A., Durka P. and Zygierevicz J. (2018). High Frequency SSVEP-BCI With Hardware Stimuli Control and Phase- Synchronized Comb Filter. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 26, no. 2, pp 344-342
- [3] Long Jinyi, Li Yuanqing, Wang Hongtao, Yu Tianyou, Pan Jiahui, and Li Feng. (2012). A Hybrid Brain Computer Interface to Control the Direction and Speed of a Simulated or Real Wheelchair. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 20, no. 5, pp 720-729
- [4] Gao X., Xu D., Cheng M. and Gao S. (2003). A BCI-based environmental controller for the motion-disabled. *IEEE Transactions on neural systems and rehabilitation engineering*, vol. 11, pp 137-140
- [5] Srinivasan R., Bibi F.A. and Nunez P.L. (2006). Steady-state visual evoked potentials: distributed local sources and wave-like dynamics are sensitive to flicker frequency. *Brain Topogr*, vol. 18, pp 167–187.
- [6] Spinelli E. M., Martinez N. and Mayosky M. (2001). A Single Supply Biopotential Amplifier. *Medical Engineering and Physics*, ISSN 1350-4533, Vol. 23/3, pp. 235-238.
- [7] Oliva M.J., García P.A and Spinelli E.M. (2020). A System on Chip based electroencephalogram acquisition system. *Revista argentina de bioingeniería*, vol 24, no. 3. pp 8-11
- [8] García P. A., Spinelli E. M. and Toccaceli G. (2014). An Embedded System for Evoked Biopotential Acquisition and Processing. *International Journal of Embedded Systems (IJES)*, vol 6, issue:1. pp 86-93.
- [9] Dan Gisselquist. (2 de octubre de 2018). An Open Source Pipelined FFT Generator. Gisselquist Technology's ZipCPU website. Recuperado de <https://zipcpu.com/dsp/2018/10/02/fft.html>.
- [10] Lin J.S., Wu W.C. (2018). An FPGA-based BCI system with SSVEP and phased coding techniques. *Journal of Technology*, Vol. 33, No. 1. pp. 53-62
- [11] Lin, B. S., Lin, B. S., Yen, T. H., Hsu, C. C., & Wang, Y. C. (2019). Design of Wearable Headset with Steady State Visually Evoked Potential-Based Brain Computer Interface. *Micromachines*, vol 10, No 10. pp 681.
- [12] Xiaogang Chen, Yijun Wang, Masaki Nakanishi, Xiaorong Gao, Tzyy-Ping Jung, Shangkai Gao. (2015). High speed spelling with a brain-computer interface. *Proceedings of the National Academy of Sciences* vol 112 No 44.

Uroflujómetro IoT de uso domiciliario

Gonzalo Roberto Fontanella
Instituto de Investigaciones Científicas
y Tecnológicas en Electrónica (ICYTE)
Universidad Nacional de Mar del Plata
Mar del Plata, Argentina
g.fonta@fi.mdp.edu.ar

Marcelo Nicolás Guzmán
Instituto de Investigaciones Científicas
y Tecnológicas en Electrónica (ICYTE)
Universidad Nacional de Mar del Plata
CONICET
Mar del Plata, Argentina
marcelo.guzman@fi.mdp.edu.ar

Lucía Isabel Passoni
Instituto de Investigaciones Científicas
y Tecnológicas en Electrónica (ICYTE)
Universidad Nacional de Mar del Plata
Mar del Plata, Argentina
lpassoni@fi.mdp.edu.ar

Abstract—La flujometría o uroflujometría es un método de examen muy utilizado para el diagnóstico de enfermedades del tracto urinario y de la próstata, sin embargo la realización del estudio en el consultorio médico conlleva ciertos inconvenientes a pesar de que se trata de un examen muy simple y nada invasivo. Es por eso que es recomendable que el paciente pueda llevar a su domicilio el dispositivo y que la micción se realice en la comodidad del hogar, a su vez al tener el dispositivo en su poder se pueden realizar varios estudios lo que mejora el resultado del mismo. En este trabajo se presenta el desarrollo de un uroflujómetro basado en una celda de precisión y un microcontrolador. El diseño permite almacenar los estudios realizados, conectarse a internet para subirlos a la nube y que el profesional los visualice de forma remota. Su diseño permite un fácil traslado al domicilio del paciente evitando así que el mismo tenga que acercarse hasta el consultorio, ayudando a disminuir la circulación de personas en contextos riesgosos, como el de la actual pandemia de Covid-19.

Palabras clave—Uroflujometría, gravimétrico, micción, volumen, caudal microcontrolador

I. INTRODUCCIÓN

La flujometría o uroflujometría, es un examen que mide el volumen de orina eliminada del cuerpo, la velocidad a la cual se elimina y el tiempo que toma la eliminación [1,2]. Es un método de examen muy utilizado en el diagnóstico de enfermedades como el cáncer de próstata, obstrucción e incontinencia urinaria, hiperplasia prostática, disfunción vesical, vejigas neurogénicas, infecciones del del tracto urinario y toda patología que lleve a una molestia urinaria. También se suele hacer de rutina a los pacientes que solicitan un chequeo de la próstata para ver si se orina correctamente y con una fuerza adecuada. La misma se basa en la realización de un nomograma donde se puede evaluar la evolución del flujo de la micción en función del tiempo. Este es un examen que se realiza en la consulta del Urólogo, sin embargo, a pesar de las ventajas de realizar el procedimiento en el entorno controlado del consultorio se ha demostrado [3] que el estudio provee mejores resultados si el mismo es realizado en el domicilio del paciente. Por otro lado, la uroflujometría es un estudio realizado principalmente sobre la población de mayor edad y en el contexto actual de pandemia de COVID-19, será de interés que el paciente pueda realizar el estudio sin salir de su domicilio al mismo tiempo que el médico solicitante, reciba de manera instantánea el resultado del mismo.

La definición técnica de una flujometría o uroflujometría es la cantidad de volumen miccional (orina) eliminada por unidad de tiempo. Se expresa en cm^3 (o ml) dividido por segundo. El flujo miccional en cualquier persona no es constante, sino que varía a lo largo de la micción, dando lugar a unas curvas de flujo características. Cuando un urólogo realiza esta prueba está midiendo la cantidad de orina que la

vejiga del paciente es capaz de orinar por segundo, la duración de la micción y cualquier particularidad de flujo intermitente. De esta manera conoce la capacidad de la vejiga, el estado de las vías urinarias, la fuerza de los músculos urinarios, etc..

En este trabajo se presenta el diseño de un uroflujómetro basado en una balanza de precisión. Los requerimientos de diseño [4] surgen de la necesidad de mantener al paciente en su domicilio para la realización del estudio en el marco de la pandemia de COVID19. El dispositivo presentado, es de fácil uso, portátil y tiene la posibilidad de transmitir la información a un servicio de almacenamiento en la nube y/o almacenarla localmente para su posterior análisis posibilitando su utilización domiciliaria, así como el envío y retiro del mismo evitando el traslado innecesario del paciente para el estudio sobre todo en estos tiempos de aislamiento social.

II. MATERIALES Y MÉTODOS

A. Principio de funcionamiento

Existen múltiples métodos para la medición del flujo de la micción, tales como el volumétrico, el gravimétrico, basados en la medición de variables mecánicas o eléctricas, en el procesamiento de imágenes, en ultrasonido, vibraciones y en señales acústicas [3]. En el caso de este trabajo se ha elegido el método gravimétrico, el cual relaciona el peso de la muestra con el volumen de la misma, se asume que la densidad de la orina será la misma que la del agua. Se utilizó una celda de carga de precisión conectada a un amplificador de instrumentación, la señal de salida es digitalizada y adquirida con un microcontrolador ESP32 [5] que realiza su procesamiento y almacenamiento, otorgando la posibilidad de enviarla a cualquier dispositivo con Android o iOS para su visualización. El microcontrolador además controla la pantalla de la interfaz del dispositivo (figura 1). Los datos crudos son almacenados ya que tienen una frecuencia de muestreo mayor que los transmitidos, para un post procesamiento o visualización más detallada.

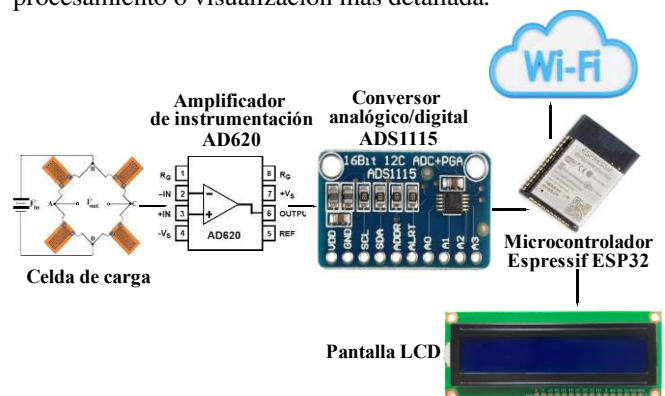


Fig. 1. Bloques del dispositivo.

B. Implementación

Para realizar la medición de peso, se utilizó una barra de aluminio deformable, instrumentada con 4 galgas extensiométricas o “strain gauges” [6], convenientemente dispuestas sobre esta, conformando un puente de Wheatstone. Cuando la barra se deforma, las resistencias eléctricas que conforman las galgas extensiométricas cambian su valor proporcionalmente a la deformación, entregando una tensión diferencial a la salida del arreglo que será proporcional a la fuerza ejercida sobre la barra (Indicada en el esquema como Vout). En la figura 2, se muestra un esquema de cómo se instrumentó la medición.

La tensión diferencial generada por el arreglo de las galgas ingresa al amplificador de instrumentación AD623[7]. Este circuito integrado, amplificará linealmente la tensión diferencial en un factor que dependerá de la resistencia R_G según la siguiente relación que se muestra en (1)

$$R_G = \frac{49.4k\Omega}{G-1} \quad (1)$$

Se ajustó el valor de R_G de forma tal de obtener la tensión de fondo de escala del convertor ADS1115 (5V) [8] en su entrada (nodo V_s de la fig. 2) cuando sobre la balanza se encuentra el máximo volumen que el dispositivo puede medir. El objetivo es maximizar el rango dinámico. El volumen máximo de medición es 1000 ml (equivalente al volumen de 1Kg de agua). La tensión de referencia se fijó en el valor que el amplificador entrega a volumen cero, es decir, con el vaso de precipitado vacío y apoyado sobre la balanza. De este modo, se logró aprovechar la resolución disponible del convertor ADC ADS1115 sobre el rango de medición.

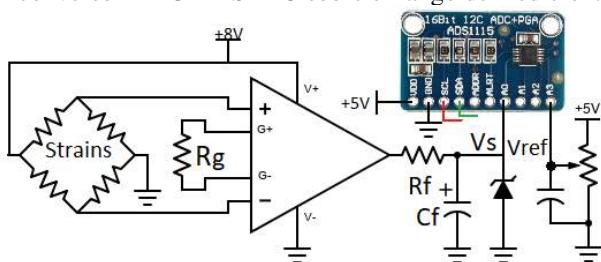


Fig 2. Esquema de la celda de medición y el circuito acondicionador de señal

El convertor analógico digital ADS1115 consta con una resolución total de 16 bits, sin embargo, está diseñado para funcionar en modo diferencial. Este reparte todo su rango entre la diferencia positiva y negativa del fondo de escala. En nuestro caso, solo somos capaces de generar diferencias positivas, con lo cual usaremos solo la mitad de la capacidad de resolución que el integrado ofrece (15 bits) ya que el bit 16 es el bit de signo. La tensión que el convertor efectivamente convertirá es la resultante de la resta entre V_s ($A0$) y V_{ref} ($A3$). Idealmente, si no hay ninguna variación de parámetros, el ADS1115, conectado a través del bus I2C, nos entregará el valor 0x7FFF, cuando en el recipiente haya 1000ml de orina y 0x0000 cuando el recipiente esté vacío. Estos son 32768 valores posibles para nuestra variable digital de volumen.

De este modo, obtenemos la resolución ideal calculada en (2).

$$\frac{1000 \text{ ml}}{32768 \text{ valores}} \approx 0,03 \text{ ml/LSB} \quad (2)$$

El valor del caudal se obtiene calculando la derivada temporal de la señal de volumen la cual es proporcional al

peso medido dado que se asumió que la densidad de la orina es uno. Ambas variables, separadamente, son almacenadas, transmitidas a la nube y pueden ser representadas de manera remota sobre un dispositivo con Android o iOS. Para la transmisión de los datos, se hizo uso de la librería RemoteXY que provee un código en c, el cual, adjuntado al proyecto mediante Arduino IDE, genera un enlace entre el microcontrolador (Espressif ESP32) y el dispositivo Android o iOS utilizado. Este código incluye la implementación de una pila TCP/IP y facilita la incorporación del dispositivo a la red WiFi. El ssid y contraseña se cargan en la configuración del equipo. Para recibir los datos, se instala la aplicación RemoteXY en el celular, Tablet o pc y se agrega el uroflujómetro en cuestión mediante su código único de identificación en la nube. La versión gratuita de RemoteXY, permite tener hasta 3 dispositivos simultáneamente en una cuenta.

Todo el equipo se encuentra montado dentro de un gabinete diseñado específicamente e impreso en 3D.

III. RESULTADOS

En la fig. 3 se puede observar el dispositivo desarrollado y las curvas obtenidas con los datos transmitidos a través de la nube (por ello no tienen la resolución calculada), en color rojo la señal de volumen vs. tiempo y en color verde la de caudal vs. tiempo, también un indicador de llenado del recipiente (semi círculo rojo) y los botones para tarar el pesaje. Las curvas y valores obtenidos son consistentes con las de una persona sana [9,10]. Los valores de volumen, caudal medio, Q_{max} y tiempo de la micción [11,12] pueden ser presentados en la pantalla de LCD. Los datos se almacenan en formato genérico en una computadora, para que las señales puedan visualizarse y procesarse posteriormente.

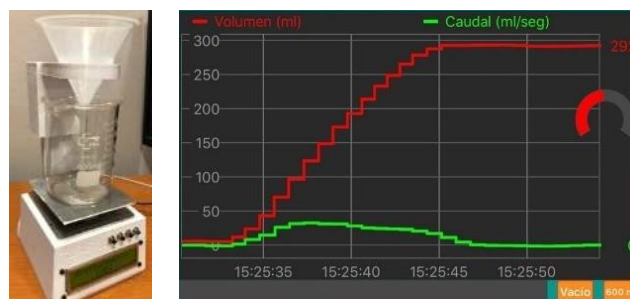


Fig. 3. Izquierda. Dispositivo desarrollado. Derecha. Gráfica de volumen (ml) vs. Tiempo (Rojo) y caudal (ml/seg) vs. Tiempo (verde), recibidas a través de la nube

IV. CONCLUSIONES

Se desarrolló un dispositivo de bajo costo de producción, basado en un microcontrolador, para la adquisición y cálculo de diversas señales relacionadas a la micción, a través de componentes y sensores disponibles en el mercado local.

El dispositivo diseñado (figura 3) tiene la posibilidad de ser trasladado al domicilio del paciente para poder realizar el estudio promediando diferentes micciones, lo que mejora notablemente el resultado de los estudios [3].

Se continúa estudiando la forma de mejorar el cálculo del volumen de la micción estimando la densidad real de la orina y como lograr transmitir los datos a través de la web sin pérdida de resolución. Finalmente se debe trabajar en la mejora de la impermeabilización y estanqueidad del equipo para llevarla al estándar IP65.

REFERENCES

- [1] Nitti VW, Brucker BM. “Urodynamic and video-urodynamic evaluation of the lower urinary tract.” Wein AJ, Kavoussi LR, Partin AW, Peters CA, eds. Campbell-Walsh Urology. 11th ed. Philadelphia, PA: Elsevier; 2016:chap 73.
- [2] Sancheti N. Presentation on understanding uroflowmetry. Urol Nephrol Open Access J. 2016;3(6):189–191. DOI: 10.15406/unoaj.2016.03.00104
- [3] B.G. Urbonavičius, P. Kaškonas. “Urodynamic measurement techniques: A review” Measurement Volume 90, August 2016, Pages 64-73.
- [4] Gammie A, Clarkson B, Constantinou C, Damaser M, Drinnan M, Geleijnse G, Griffiths D, Rosier P, Schäfer W, Van Mastrigt R “International Continence Society Guidelines on Urodynamic Equipment Performance” Neurourology and Urodynamics DOI 10.1002/nau (2014)
- [5] https://www.espressif.com/sites/default/files/documentation/esp32_datasheet_en.pdf
- [6] <https://www.hbm.com/es/7074/fundamentos-sobre-galgas-extensiométricas/>
- [7] <https://www.analog.com/media/en/technical-documentation/datasheets/AD623.pdf>
- [8] <https://cdn-shop.adafruit.com/datasheets/ads1115.pdf>
- [9] Kaynar M, Kucur, KiliSc O, Akand, Murat A, Gul M and Goktas S “The Effect of Bladder Sensation on Uroflowmetry Parameters in Healthy Young Men” Neurourology and Urodynamics DOI 10.1002/nau (2015)
- [10] Schäfer W, Abrams P, Liao L, Mattiasson A, Pesce F, Spangberg A, Sterling AM, Zinner NR and Kerrebroeck P. “Good Urodynamic Practices: Uroflowmetry, Filling Cystometry, and Pressure-Flow Studies” Neurourology and Urodynamics 21:261-274 DOI 10.1002/nau.10066 (2002)
- [11] Yang SS, Chang SJ. Differentiating tower from bell curves in smooth continuous uroflowmetry curves of healthy adolescents. Urol Sci 2019;30:74-8.
- [12] H. Slagman “Presenting Automatic Analysis Of Uroflowmetry Curves” University of Twente | UMC Utrecht. (2020)

Sistema de iluminación para obtención de imágenes optoacústicas basado en LEDs y EDU-CIAA

1st Emiliano Gasparovic

Universidad de Buenos Aires
Facultad de Ingeniería, GLOmAe
Buenos Aires, Argentina
egasparovic@fi.uba.ar

2nd Roberto M. Insabella

Universidad de Buenos Aires
Facultad de Ingeniería, GLOmAe
Buenos Aires, Argentina
rinsabella@fi.uba.ar

3rd Martín G. González

Universidad de Buenos Aires y CONICET
Facultad de Ingeniería, GLOmAe
Buenos Aires, Argentina
mggonza@fi.uba.ar

Resumen—La obtención de imágenes optoacústicas es una técnica híbrida que se beneficia tanto del rico y versátil contraste óptico como de la alta resolución espacial asociada a la baja dispersión de propagación de las ondas ultrasónicas. Usualmente, como fuente de luz, se utilizan láseres de elevada energía (> 10 mJ) que son caros, no portátiles y tienen una baja tasa de repetición (~ 20 Hz). En los últimos años se ha estado investigando el uso de diodos emisores de luz (LEDs) como sustituto ya que son menos costosos, más confiables y compactos, y pueden proporcionar miles de pulsos en un segundo para obtener imágenes en tiempo real. En esta trabajo se presenta la implementación de un sistema de iluminación basado en LEDs y en el sistema embebido EDU-CIAA que emite pulsos de luz de gran intensidad, elevada repetición y de duración menor al microsegundo.

Index Terms—Optoacústica, LED, EDU-CIAA

I. INTRODUCCIÓN

La obtención de imágenes optoacústicas (OA) es un enfoque diferente y muy prometedor que proporciona mapas de absorción óptica de alta resolución mediante la detección de ondas de ultrasonido resultantes de la expansión térmica producida por la irradiación de muestras con pulsos cortos de luz [1]. Ejemplos de campos de aplicación son la tomografía y la microscopía [2] donde es posible alcanzar resoluciones de algunas decenas de micrómetros [3], [4]. Dado que el método se basa en la detección de ondas acústicas, cuya longitud de dispersión en muestras biológicas es de 2 a 3 órdenes de magnitud menor que las luminosas, las imágenes OA tienen una alta resolución preservando el alto contraste de absorción óptica [1].

En los últimos años se ha estado intentando reemplazar las fuentes láser convencionales, generalmente utilizadas (Nd:YAG y Osciladores Paramétricos Ópticos, OPO) [5] con esquemas basados en diodos emisores de luz (LEDs) [6]–[9]. Los LEDs ofrecen una reducción significativa en el costo, tienen frecuencias de pulso más altas (>1 kHz), son más estables que las fuentes de luz basadas en OPO y permiten sistemas portátiles y de múltiples longitudes de onda [7].

En este trabajo se presenta el desarrollo de un sistema de excitación basado en LEDs apto para ser usado en la obtención de imágenes OA. Se diseñó e implementó un sistema electrónico de excitación y control de los LEDs para conseguir pulsos a tasas de repetición de hasta 10 kHz y de

duración menor al microsegundo. Para la etapa de control se utilizó el sistema embebido EDU-CIAA [10]. Para verificar el funcionamiento del dispositivo, se realizó la medición de una señal OA proveniente de un fantoma con características ópticas y acústicas similares a las encontradas en muestras biológicas.

II. MATERIALES Y MÉTODOS

Para la elección de los LEDs se tuvo en cuenta la mínima corriente pico para conseguir una amplitud de señal OA que pueda ser medida por los sistemas de detección implementados en trabajos previos [11]–[14]. Esto depende principalmente de la potencia de luz de los dispositivos comerciales para las longitudes de onda de emisión de interés (650 nm - 900 nm). En este sentido, se usó el LED Luminus modelo PT-120-G-L11 [15] que posee un área de 12 mm^2 e irradia un flujo luminoso continuo máximo de 3640 lm a una longitud de (525 ± 17) nm. Asimismo, se aprovechó el requerimiento de la corta duración, necesario en sistemas OA (bajo ciclo de trabajo), para obtener potencias instantáneas mayores a las especificadas por el fabricante [15].

Para la obtención de pulsos de corriente para la conmutación del LED, se diseñó un circuito (ver Fig. 1.a) en base al esquema para conmutación rápida de LEDs de baja potencia descrito en [16]. Dado que estos pulsos implican un gran suministro de corriente instantánea, se tuvo especial cuidado en reducir lo más posible las resistencias y las inductancias parásitas de la placa. En este sentido, se confeccionaron pistas de gran ancho, y se usaron componentes de montaje superficial. Para la conmutación del encendido y apagado del LED se optó por el transistor MOSFET IRF8707 (Q_1) [17] que posee características deseables para los tipos de pulsos que se desean generar. Asimismo, para conmutar rápidamente Q_1 , se usó el driver TC4427 [18].

El sistema de iluminación requerido debía poseer una señal de referencia consistente en pulsos de duración menor al microsegundo, con la posibilidad de variar este valor manteniendo una resolución aceptable. Esto fue realizado aprovechando las capacidades del sistema embebido EDU-CIAA, que permite generar con facilidad una señal del tipo deseada, con una resolución aproximada de 5 ns. A modo comparativo, esto no sería posible de implementar con idénticos resultados en un

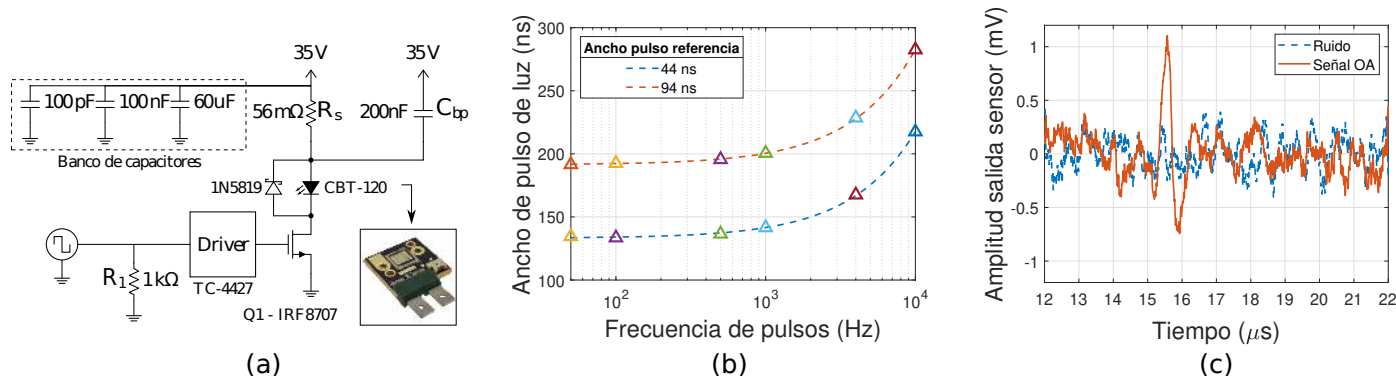


Figura 1. (a) Diagrama del circuito implementado. En el recuadro se presenta una foto del LED usado en este trabajo. (b) Variación del ancho del pulso de luz vs frecuencia. (c) Señal OA captada por el sistema de detección para un ancho de pulso de luz de 200 ns, una frecuencia de repetición de 1 kHz y 1 μ J de energía y promediadas 5000 veces.

Arduino dado que sus microcontroladores poseen una menor frecuencia de trabajo. Otra ventaja del sistema EDU-CIAA, es la disponibilidad de salidas con modulación por ancho de pulsos (PWM), que sirve para expandir las prestaciones del sistema de iluminación a un arreglo con distintas frecuencias y anchos de pulso.

El sistema fue probado a través de la medición de señales OA usando el arreglo experimental que se describe a continuación. Para la detección de ultrasonido se utilizó un sensor piezoeléctrico enfocado (foco = 23 mm) con características similares al descrito en [19]. El sensor piezoeléctrico y la muestra son sumergidos en un recipiente que contiene agua destilada. El fantoma es una esfera de colorante rojo (~ 1.25 mm de diámetro) embebida en un bloque de agarosa, siguiendo el procedimiento detallado en [20]. De esta manera, la muestra posee propiedades ópticas y acústicas similares a las encontradas en tejido biológico [21]. Para otorgar mayor flexibilidad en la iluminación, se usó una fibra óptica de plástico de 5 mm de diámetro para irradiar la muestra. La energía del pulso de luz se midió con un detector piroeléctrico (Coherent J-10MB-LE) [22] y para la caracterización del ancho de pulso se utilizó un fotodiodo rápido (Newport 818-BB-21) [23]. Una base de traslación XYZ permite ajustar la posición del sistema de detección compuesto por el sensor piezoeléctrico y un amplificador de transimpedancia (TIA FEMTO HCA-100MHz-50K-C) [24]. La señal de salida es digitalizada por un osciloscopio (Tektronix TDS 2024, 2 GS/s, 200 MHz) y procesada en una computadora. Finalmente, la velocidad del sonido en el agua se determinó midiendo su temperatura con una termocupla calibrada. Para todas las mediciones llevadas a cabo en este trabajo el valor de la temperatura fue de 24°C, lo que da una velocidad del sonido de 1494 m/s [25].

III. RESULTADOS

Para caracterizar el sistema de iluminación implementado se llevaron a cabo un conjunto de mediciones. En primer lugar, se analizó la duración del pulso de luz en función de la frecuencia de repetición. Ésta fue medida como el ancho a la mitad de su valor máximo (FWHM). En la Fig. 1.b se

presentan los resultados obtenidos para dos anchos de pulso de referencia generado por el sistema EDU-CIAA (44 ns y 94 ns). Se puede apreciar que las inductancias parásitas producen un ensanchamiento del pulso de luz respecto del valor de referencia y que su efecto se hace más notorio a frecuencias >1 kHz. El mismo fenómeno se observó con la energía por pulso, donde se tiene un valor constante hasta 1 kHz (por ejemplo, para 200 ns se midió $1 \mu\text{J} \pm 0.2 \mu\text{J}$) y para frecuencias mayores, la energía medida posee una tendencia similar a la mostrada en la Fig. 1.b.

En la Fig. 1.c se presenta la señal OA medida para un ancho de pulso de luz de 200 ns, una frecuencia de repetición de 1 kHz y 1 μ J de energía. En la misma figura también se ha incluido la respuesta del sistema para una muestra transparente a la luz y que representa el ruido de fondo. Se puede apreciar un aumento de la señal OA a los 15.3 μ s y cuya duración es de 0.9 μ s. A partir de estos datos y el valor de la velocidad del sonido, se puede obtener la distancia entre la superficie de la muestra y el sensor (22.8 mm) y el diámetro del fantoma (1.3 mm). Los valores encontrados concuerdan con el diámetro de la esfera de colorante y con la distancia focal del sensor piezoeléctrico.

IV. CONCLUSIONES

En este trabajo se implementó un sistema de iluminación basado en LEDs y en el sistema embebido EDU-CIAA. Éste puede emitir pulsos con una alta tasa de repetición (>1 kHz), de duración menor al microsegundo y con intensidades suficientemente elevadas para detectar señales OA. Se destaca que el uso combinado de LEDs y EDU-CIAA tiene la posibilidad de integrar y ampliar nuevas funcionalidades, tales como esquemas de codificación para mejorar la relación señal a ruido [9] y arreglos de LEDs de distintas longitudes de onda para implementar sistemas multi-espectrales [26].

AGRADECIMIENTOS

Este trabajo fue apoyado por los subsidios de la ANPCyT PICT 2016-2204 y PICT 2018-04589.

REFERENCIAS

- [1] M. Xu and L. Wang, "Photoacoustic imaging in biomedicine," *Rev. Sci. Instrum.*, vol. 77, pp. 041 101–1–23, 2006.
- [2] L. V. Wang, "Tutorial on photoacoustic microscopy and computed tomography," *IEEE J. of Selected Topics in Quantum Electronics*, vol. 14, pp. 171–179, 2008.
- [3] J. Bauer-Marschallinger, K. Felbermayer, and T. Berer, "All-optical photoacoustic projection imaging," *J. Biomed. Opt. Express*, vol. 8, pp. 3938–3951, 2017.
- [4] G. Paltauf, P. Hartmair, G. Kovachev, and R. Nuster, "Piezoelectric line detector array for photoacoustic tomography," *Photoacoustics*, vol. 8, pp. 28–36, 2017.
- [5] R. Ma, A. Taruttis, V. Ntziachristos, and D. Razansky, "Multispectral optoacoustic tomography (msot) scanner for whole-body small animal imaging," *Opt. Express*, vol. 17, pp. 21 414–1–13, 2009.
- [6] A. Stylogiannis, L. Prade, A. Buehler, J. Aguirre, G. Sergiadis, and V. Ntziachristos, "Continuous wave laser diodes enable fast optoacoustic imaging," *Photoacoustics*, vol. 9, pp. 31–38, 2018.
- [7] A. Hariri, J. Lemaster, J. Wang, A. Jeevarathinam, D. Chao, and J. Jokerst, "The characterization of an economic and portable LED-based photoacoustic imaging system to facilitate molecular imaging," *Photoacoustics*, vol. 9, pp. 10–20, 2018.
- [8] H. Zhong, T. Duan, H. Lan, M. Zhou, and F. Fao, "Review of low-cost photoacoustic sensing and imaging based on laser diode and light-emitting diode," *Sensors*, vol. 18, pp. 1–24, 2018.
- [9] T. Allen and P. Beard, "High power visible light emitting diodes as pulsed excitation sources for biomedical photoacoustics," *Biomed. Opt. Express*, vol. 7, pp. 1261–1270, 2016.
- [10] "Proyecto computadora industrial abierta argentina," Argentina. [Online]. Available: <http://www.proyecto-ciaa.com.ar/>
- [11] M. G. Gonzalez, B. Abadi, L. C. Brazzano, and P. Sorichetti, "Linear piezoelectric sensor for optoacoustic tomography: electroacoustic characterization," in *Proc. IEEE Argencon*, 2018, pp. 1–4.
- [12] M. G. Gonzalez, P. Sorichetti, and G. Santiago, "Reducing the capacitance of piezoelectric film sensors," *Rev. Sci. Instrum.*, vol. 87, pp. 045 003–1–5, 2016.
- [13] R. Insabella, M. Gonzalez, E. Acosta, and G. Santiago, "Dielectric antenna effects in integrating line piezoelectric sensors for optoacoustic imaging," *Meas. Sci. and Tech.*, vol. 1909-13706, 2020, in press.
- [14] R. Insabella, M. Gonzalez, L. Riobo, K. Hass, and F. Veiras, "Software-defined optoacoustic tomography," *Appl. Opt.*, vol. 59, pp. 706–711, 2020.
- [15] "LED-PT-120-G-L11 datasheet," Luminus. [Online]. Available: https://download.luminus.com/datasheets/Luminus_PT-120_Datasheet.pdf
- [16] H. Halbritter, C. Jaeger, R. Weber, M. Schwind, and F. Moellmer, "High-speed LED driver for ns-pulse switching of high-current leds," *IEEE Photonics Tech. Lett.*, vol. 26, pp. 1871–1873, 2014.
- [17] "MOSFET-IRF8707 datasheet," International Rectifier. [Online]. Available: <https://www.infineon.com/dgdl/irf8707pbf.pdf?fileId=5546d462533600a40153560d57f81d6b>
- [18] "MOSFET driver TC4427 datasheet," Microchip Technology. [Online]. Available: <https://www.microchip.com/wwwproducts/en/TC4427>
- [19] M. G. Gonzalez, L. Riobo, L. C. Brazzano, F. Veiras, P. Sorichetti, and G. Santiago, "Generation of sub-microsecond quasi-unipolar pressure pulses," *Ultrasonics*, vol. 98, pp. 15–19, 2019.
- [20] M. G. Gonzalez, E. Acosta, and G. Santiago, "Simple method to determine the resolution and sensitivity of systems for optoacoustic tomography," *Revista Elektron*, vol. 2, pp. 63–66, 2018.
- [21] P. Ninni, F. Martelli, and G. Zaccanti, "The use of india ink in tissue-simulating phantoms," *Opt. Express*, vol. 18, no. 26, pp. 26 854–1–12, 2010.
- [22] "Laser Energy Sensor datasheet," Coherent. [Online]. Available: <https://www.coherent.com/measurement-control/measurement/multi-purpose-energymax-sensors>
- [23] "Optical receiver 818-BB-21 datasheet," Newport. [Online]. Available: <https://www.newport.com/p/818-BB-21A>
- [24] "High Speed Current Amplifier datasheet," FEMTO. [Online]. Available: <https://www.femto.de/images/pdf-dokumente/de-hca-100m-50k-c.pdf>
- [25] K. Mackenzie, "Nine-term equation for sound speed in the oceans," *J. Acousti. Soc. Am.*, vol. 70, pp. 807–812, 1981.
- [26] H. Zhang, K. Kondo, M. Yamakawa, and T. Shiina, "Simultaneous multispectral coded excitation using periodic and unipolar m-sequences for photoacoustic imaging," in *Proc. SPIE*, vol. 8581, no. 85812Y, 2013.

Control a lazo cerrado en tiempo real para medir la onda de presión arterial y cambios de distensibilidad

Leonardo Casal

Lab. de Biomateriales, Biomecánica y Bioinstrumentación
Universidad Nacional de San Martín (UNSAM)
San Martín, Buenos Aires, Argentina
lcasal@unsam.edu.ar

Alejandro Mazzadi

Centro de Estudios en Salud y Medio Ambiente (CESyMA)
Universidad Nacional de San Martín (UNSAM)
San Martín, Buenos Aires, Argentina
amazadi@unsam.edu.ar

Abstract— La medición de la presión arterial latido a latido es posible mediante el método de compensación de volumen, en el cual se controla una válvula proporcional para generar la onda de presión arterial en un manguito inflable. Sin embargo, ante cambios fisiológicos en la distensibilidad arterial, es necesario interrumpir la medición para recalibrar. El objetivo de este trabajo es implementar un sistema embebido de control digital en tiempo real duro ("hard real-time") para medir la onda de presión arterial con el método de compensación de volumen, con la novedad de que simultáneamente se mide la variación de la distensibilidad arterial con el método vibracional. Se implementó un dispositivo basado en un dsPIC cuya única tarea es ejecutar un sistema de control en 2 ms mientras que los cálculos más complejos y asincrónicos se realizan en una PC. El control tiene dos entradas (presión y fotopleletismografía) y dos salidas (válvula y compresor) y es diseñado para cada sujeto. Se realizaron mediciones de presión arterial media en 11 voluntarios, lo que permitió validar el método vibracional con un método *gold standard*. A continuación, este método fue utilizado para medir cambios en la distensibilidad arterial simultáneamente a la onda de presión, con el dispositivo desarrollado.

Keywords— método de compensación de volumen, control, onda de presión arterial

I. INTRODUCCIÓN

La medición de la onda de presión arterial de forma no invasiva permite obtener la variación latido a latido de las presiones sistólica, diastólica y media (entre otros parámetros hemodinámicos), a diferencia de los métodos tradicionales, que requieren al menos un minuto para realizar una de estas mediciones [1, 2]. Esto es posible con el método de compensación de volumen [3] cuyo funcionamiento se basa en un sistema de control a lazo cerrado sobre un actuador neumático de rápida respuesta [4, 5]. Brevemente, se controla la presión externa con un manguito inflable colocado en un dedo, de forma de compensar la onda de volumen arterial (estimada por fotopleletismografía, PPG [6]), fijándola en un valor constante, PPGref. Si este valor se corresponde con el punto de máxima distensibilidad arterial, entonces la presión en el manguito es igual a la onda de presión arterial [7].

Actualmente existen dispositivos [8-10] que implementan este control de forma digital con un tiempo de discretización de pocos milisegundos, considerando que las ondas de presión y PPG son de variación suave y su mayor energía se encuentra en la frecuencia cardíaca (1 Hz aprox.). Sin embargo, ante cambios fisiológicos en la distensibilidad arterial, es necesario interrumpir la medición de presión para redeterminar PPGref [4, 11]. Por otro lado, el método vibracional permite medir cambios de distensibilidad introduciendo vibraciones en la presión externa [12].

El objetivo de este trabajo es implementar un sistema embebido de control digital en tiempo real duro ("hard real-time") para medir la onda de presión arterial con el método de compensación de volumen, con la novedad de que simultáneamente se mide la variación de la distensibilidad arterial con el método vibracional.

II. MATERIALES Y MÉTODOS

A. Dispositivo desarrollado

Desarrollamos un dispositivo basado en el método de compensación de volumen [13, 14], Fig. 1, cuyos componentes principales son un compresor de diafragma en miniatura, una válvula proporcional, un sensor fotopleletismográfico adherido a la pared interna de un manguito inflable, un sensor de presión y un microcontrolador dsPIC33FJ32GP204. Este controla la válvula y el compresor por PWM de 3.3 V a 6 KHz y 16 bits, mide la señal de presión con un ADC de 12 bits y 3.3 V y se comunica con el fotopleletismógrafo por SPI a 460 KHz y con una PC (HP, Intel® i5, 8 GB RAM, 64 bits, Windows 8®) por UART 115200 bauds. Las señales de presión y PPG fueron filtradas con filtros analógicos de 79 Hz ($R = 2 \text{ KOhm}$ y $C = 1 \text{ uF}$) y 636 Hz ($R = 1 \text{ MOhm}$ y $C = 250 \text{ pF}$) respectivamente

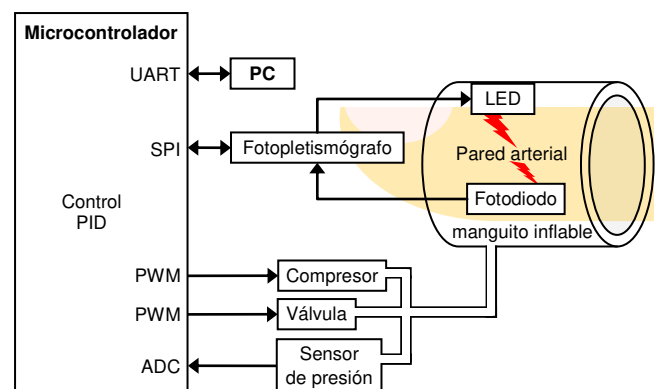


Fig. 1. Diagrama en bloques del dispositivo implementado. El microcontrolador ejecuta en tiempo real un sistema de control sobre una válvula proporcional y un compresor a partir de las señales medidas de fotopleletismografía (PPG) y presión en un manguito inflable. La PC se encarga de las tareas más demandantes de manera asincrónica.

El microcontrolador ejecuta un control a lazo cerrado sobre la válvula en un tiempo fijo de 2 ms. Para garantizar esto, se asignó al microcontrolador esta única tarea, limitando las instrucciones que realiza. Además, se optimizó el tiempo de ejecución programando el *firmware* únicamente con variables int16 y reemplazando la división y multiplicación por operaciones de *bitshift*.

La PC recibe las señales de presión, PPG y control, y envía al microcontrolador los parámetros del control, cuyo cálculo es demandante pero puede realizarse de manera asincrónica. Para esto se desarrolló un programa en Matlab R2017b® que también incluye la interfaz gráfica de usuario.

B. Sistema de control

El sistema de control implementado, Fig. 2, tiene dos actuadores, el compresor y la válvula. Sus tiempos de respuesta medidos fueron de 17 a 23 ms y 55 a 75 ms, respectivamente, además de que el compresor mostró un tiempo muerto de hasta 50 ms. Debido a esta diferencia, se implementó un control PID a lazo cerrado en la válvula, mientras que el compresor fue utilizado para ajustar el punto de trabajo de la válvula y evitar su saturación, o sea un "control de rango medio", CRM [15].

El control uv en la válvula fue diseñado de forma que la función de transferencia de lazo L , definida como el producto entre los procesos asociados al control PID y la planta P , tenga determinada frecuencia de cruce de ganancia. El valor de este parámetro fue elegido entre 4 y 10 Hz, para diseñar un control más conservador o agresivo. Al iniciar las mediciones, se diseña un control conservador y continuamente se rediseña un control más agresivo. En caso de detectar indicios de inestabilidad en el sistema de control, a partir del aumento en la amplitud de oscilaciones entre 10 y 20 Hz, se rediseña un control más conservador.

Se relacionó la planta P con la dinámica de la pared arterial y se utilizó un modelo viscoelástico (tipo pasabajos). Este proceso fue identificado para cada sujeto a partir de las ondas de presión y PPG medidas secuencialmente con un método propuesto anteriormente, Fig. 3 [13, 14].

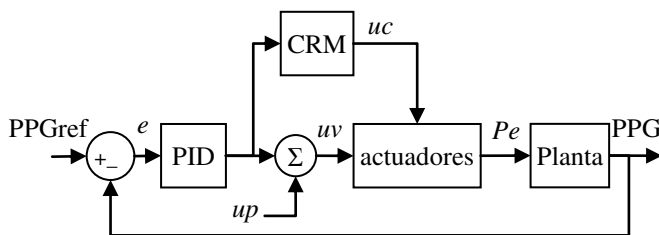


Fig. 2. Diagrama en bloques del sistema de control implementado.

Además, para medir cambios de distensibilidad utilizando el método vibracional [12], a la señal uv de control en la válvula se le sumó una señal pulsada, up . De esta forma, en la presión externa Pe se superpusieron vibraciones (3 mmHg RMS y 21 Hz) que excitan la pared arterial e inducen una respuesta en PPG cuya amplitud depende de la distensibilidad arterial. Esta información fue utilizada para actualizar PPGref de forma escalonada y llevar la pared arterial a la máxima distensibilidad.

Por último, la ganancia y *offset* del sensor de PPG fueron determinados para cada individuo. Esto se debe a que su componente AC tiene una amplitud unas 1000 veces menor que su componente DC, y entonces debe ser amplificada sin saturar al sensor. En este caso, no es posible utilizar un filtro pasa altos ya que se perdería información necesaria sobre cambios lentos del volumen de sangre.

C. Mediciones en sujetos

Se realizaron mediciones en 11 voluntarios (3 mujeres y 8 hombres, 37 ± 12 años). Se obtuvo su consentimiento escrito después de haber proporcionado una descripción del estudio, aprobado por el comité de ética del Htal. Eva Perón (Bs As).

Se utilizó el dispositivo desarrollado para medir en simultáneo la presión arterial media Po con el método oscilométrico por fotopletoisografía (*gold standard*) y Pv correspondiente a la máxima distensibilidad usando el método vibracional. Luego, se realizaron mediciones de la onda de presión con el método de compensación de volumen, que fueron validadas de acuerdo a la capacidad del sistema para atenuar la onda de PPG, comparando su área a lazo abierto y cerrado. Finalmente, para validar el método propuesto para actualizar PPGref, se comparó el valor medio de la onda de presión (cuando PPGref se estabilizó) con Po .

III. RESULTADOS

Para las presiones medias Po y Pv , se obtuvo una buena correlación lineal ($r^2 = 0.92$, pendiente de 1.05) y una buena comparación con el análisis de Bland-Altman (bias = -1 ± 7 mmHg). El rango de presiones medidas se extendió de 58 a 132 mmHg.

Para el método de compensación de volumen, Fig. 3, la onda de presión externa logró en todos los casos atenuar la onda de PPG a valores entre 5 y 12 %. Luego de actualizar el valor de PPGref, el valor medio de la onda de presión resultó similar a Po (diferencia menor a 5 mmHg).

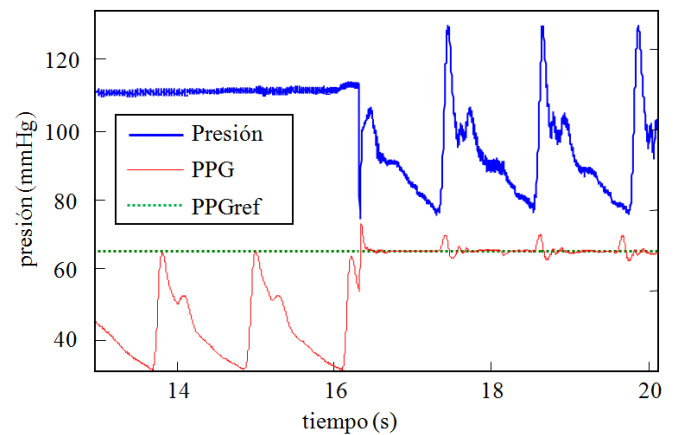


Fig. 3. A lazo abierto (izquierda) se obtiene la onda de PPG (correspondiente al volumen sanguíneo) que luego, al cerrar el lazo de control (derecha), es fijada en PPGref. Para esto, el sistema de control implementado genera una onda de presión en el manguito inflable que debe ser igual a la presión arterial, y entonces la pared arterial resulta sin carga.

Por último, el tiempo de ejecución de 2 ms fue el menor valor que permitió al microcontrolador garantizar la ejecución del control en tiempo real.

IV. DISCUSIÓN Y CONCLUSIÓN

El dispositivo desarrollado permite medir la onda de presión arterial y simultáneamente identificar cambios de distensibilidad. Además, el método propuesto para actualizar PPGref podría utilizarse ante cambios hemodinámicos. Actualmente se está trabajando en esto.

El tiempo de ejecución de 2 ms alcanzado por el sistema embebido fue suficiente para lograr el funcionamiento del dispositivo, por lo que no fue necesario implementar un sistema operativo en tiempo real [16]. En cambio, se implementó un sistema de control en un microcontrolador dedicado a ejecutar esta única tarea, mientras que los cálculos demandantes se realizaron en una PC de manera asincrónica.

Se reconocen ciertas limitaciones. Es necesario realizar mediciones en un número mayor de sujetos y además se debe comparar la onda de presión obtenida con un dispositivo validado, el cual resultó inaccesible (precio > US\$ 25000).

REFERENCIAS

- [1] K. Lakhal, S. Ehrmann, and T. Boulain, "Non-invasive blood pressure monitoring in the critically ill: time to abandon the intra-arterial catheter?," *Chest*, 2017.
- [2] B. Saugel, R. Dueck, and J. Y. Wagner, "Measurement of blood pressure," *Best Practice & Research Clinical Anaesthesiology*, vol. 28, pp. 309-322, 2014.
- [3] T. G. Pickering, J. E. Hall, L. J. Appel, B. E. Falkner, J. Graves, M. N. Hill, *et al.*, "Recommendations for blood pressure measurement in humans and experimental animals," *Circulation*, vol. 111, pp. 697-716, 2005.
- [4] K. Wesseling, B. De Wit, G. Van der Hoeven, J. Van Goudoever, and J. Settels, "Physiocal, calibrating finger vascular physiology for Finapres," *Homeostasis*, vol. 36, pp. 67-82, 1995.
- [5] M. Nogawa, M. Ogawa, T. Yamakoshi, S. Tanaka, and K.-i. Yamakoshi, "Adaptive control with self-tuning for non-invasive beat-by-beat blood pressure measurement," in *Engineering in Medicine and Biology Society, EMBC, 2011 Annual International Conference of the IEEE*, 2011, pp. 4344-4347.
- [6] K. Bartels and R. H. Thiele, "Advances in photoplethysmography: beyond arterial oxygen saturation," *Canadian Journal of Anesthesia/Journal canadien d'anesthésie*, vol. 62, pp. 1313-1328, 2015.
- [7] G. Langewouters, A. Zwart, R. Busse, and K. Wesseling, "Pressure-diameter relationships of segments of human finger arteries," *Clinical physics and physiological measurement*, vol. 7, p. 43, 1986.
- [8] I. Guelen, B. E. Westerhof, G. L. van der Sar, G. A. van Montfrans, F. Kiemeneij, K. H. Wesseling, *et al.*, "Validation of brachial artery pressure reconstruction from finger arterial pressure," *Journal of hypertension*, vol. 26, pp. 1321-1327, 2008.
- [9] J. Fortin, C. Fellner, N. Mocnik, J. Grond, T. Brunner, and D. Flotzinger, "The importance of VERIFI ("Vasomotoric Elimination and Reconstructed Identification of the Initial set-point") for the performance of the CNAP technology," ed: Springer Singapore, 2018, pp. 663-666.
- [10] D. W. Eeftinck Schattenkerk, J. J. Van Lieshout, A. H. Van Den Meiracker, K. R. Wesseling, S. Blanc, W. Wieling, *et al.*, "Nexfin noninvasive continuous blood pressure validated against Riva-Rocci/Korotkoff," *American journal of hypertension*, vol. 22, pp. 378-383, 2009.
- [11] K. H. Wesseling, J. J. Settels, G. M. V. D. Hoeven, J. A. Nijboer, M. W. Butijn, and J. Dorlas, "Effects of peripheral vasoconstriction on the measurement of blood pressure in a finger," *Cardiovascular research*, vol. 19, pp. 139-145, 1985.
- [12] J. Penaz, N. Honzikova, and P. Jurak, "Vibration plethysmography: a method for studying the visco-elastic properties of finger arteries," *Medical and Biological Engineering and Computing*, vol. 35, pp. 633-637, 1997.
- [13] L. Casal and G. La Mura, "Estimation of Viscoelastic Arterial Wall Transfer Function based on Volume Compensation Method," in *VI CLAIB, Paraná, Argentina*, 2014, pp. 23-26.
- [14] L. Casal and A. Mazzadi, "Arterial pressure wave generator based on closed loop control: design and characterization," *Revista Argentina de Bioingeniería*, vol. 22, pp. 33-37, 2018.
- [15] B. J. Allison and A. J. Isaksson, "Design and performance of mid-ranging controllers," *Journal of Process Control*, vol. 8, pp. 469-474, 1998.
- [16] A. Gambier, "Real-time control systems: a tutorial," in *2004 5th Asian Control Conference (IEEE Cat. No. 04EX904)*, 2004, pp. 1024-1031.

Categoría

ARTÍCULO

Comunicaciones inalámbricas

Área Temática

Sensado de espectro en Radio Cognitiva mediante Diagramas de Recurrencia

Maximiliano Antonelli, Jorge Castiñeira Moreira y Luciana De Micco
Instituto de Investigaciones Científicas y Tecnológicas en Electrónica (ICYTE)
Facultad de Ingeniería, Universidad Nacional de Mar del Plata (FI-UNMdP)
Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET)
 Mar del Plata, Buenos Aires, Argentina
 maxanto@fi.mdp.edu.ar

Resumen—En este artículo proponemos una nueva técnica para la detección de usuarios primarios en Radio Cognitiva (RC). Esta técnica se basa en cuantificadores estadísticos que tienen en cuenta información causal de la señal recibida. Los resultados muestran que sensando un tiempo muy corto, es posible tomar una decisión rápida acerca de la transmisión de los datos. Además, una señal fuertemente contaminada con ruido es detectable, aún sin contar con información previa sobre el ruido presente en el canal.

Palabras clave—Radio Cognitiva, Diagramas de Recurrencia, Sensado de Canal.

I. INTRODUCCIÓN

Para satisfacer la creciente demanda en comunicaciones inalámbricas, la ocupación del medio es cada vez más y más densa. Es por ello que la búsqueda de formas de acceder al medio plantea soluciones cada vez más sofisticadas [1].

En el año 2000, Mitola [2] propuso la Radio Cognitiva como un paradigma en donde cada dispositivo explora el medio buscando fragmentos del espectro sin usar. La utilización del espectro no es continua en cuanto a frecuencia, tiempo y espacio. El concepto detrás de RC es explotar estos recursos ociosos mediante la reutilización del espectro.

Existen numerosas técnicas de sensado del espectro para identificar *slots* en donde transmitir datos. En [3] se realiza una revisión extensiva del estado del arte en RC, comparando distintos métodos, con sus ventajas y desventajas. En general, las técnicas basadas en estadísticas de amplitudes son de implementación relativamente sencilla, pero fallan si el ruido del canal no es conocido *a priori* [4]. Por lo tanto vienen acompañadas de técnicas accesorias para caracterizar el ruido. Por otro lado, las basadas en detección cicloestacionaria, tienen una complejidad computacional muy alta [5].

En este trabajo proponemos una técnica estadística de sensado del espectro para RC basada en un cuantificador proveniente de los diagramas de recurrencia. Éstos, toman en cuenta las amplitudes de la señal y el orden en el que las muestras fueron registradas, por lo que retienen la información causal. Esta técnica utiliza muy pocos datos de entrada, es computacionalmente simple y no precisa de una caracterización previa del ruido en el canal.

II. MODELO DEL CANAL

No es necesario agregar circuitería extra para detectar el canal ocupado utilizando la técnica propuesta, todo el hardware necesario se encuentra en cualquier receptor comercial.

Además, el sistema está pensado para ser implementado en *Software Defined Radio* (SDR) [6], en donde está contemplado el uso de microprocesadores, lo que soluciona la implementación del algoritmo. La señal sintonizada en la antena es llevada a una frecuencia intermedia (f_i) a través de su mezcla con un oscilador local; y después filtrada. Luego, se la muestrea a una frecuencia f_s y se obtiene la señal $x(k)$. Esta señal contiene ruido gaussiano aditivo (AWGN) $n(k)$ y puede poseer o no una señal transmitida $s(k)$.

$$x(k) = \begin{cases} n(k) & : H_0 \\ s(k) + n(k) & : H_1 \end{cases} \quad (1)$$

Las dos hipótesis posibles son que el canal este libre (H_0) o que el canal este ocupado (H_1). La lógica de detección compara el valor de un cuantificador L con un umbral L_γ y decide si la muestra contiene o no señal:

$$\Phi = \begin{cases} 0, & L \geq L_\gamma \\ 1, & L < L_\gamma \end{cases} \quad (2)$$

la salida es $\Phi = 0$ cuando el algoritmo decide que contiene señal y $\Phi = 1$ cuando decide que el canal está disponible.

Desde un punto de vista técnico, no es necesario que el oscilador local sea estable, tampoco se requiere que esté enganchado en fase con la portadora, y el muestreo no requiere de una sincronización precisa. Todo esto contribuye a una detección más rápida (se descartan tiempos de sintonización y enganche de fase) y con un bajo consumo de potencia (sólo un oscilador local).

III. DIAGRAMAS DE RECURRENCIAS

Los diagramas de recurrencia (Recurrence Plots RP) fueron introducidos en [7] para visualizar la repetición en la evolución del espacio de estados. La repetición o recurrencia de un estado es su aparición en dos instantes diferentes t_i, t_j , y es representada por un punto en el diagrama. Por supuesto, una recurrencia exacta sólo es posible en sistemas periódicos continuos, en cualquier otro caso sólo es posible detectar recurrencias aproximadas a un error ϵ . La denominada función de recurrencia se puede expresar matemáticamente:

$$\mathbf{R}(i, j) = \Theta(\epsilon - \|\vec{x}(i) - \vec{x}(j)\|), \quad (3)$$

con $\vec{x}(i) \in \mathbb{R}^m$ y $i, j = 1, \dots, N$. N es el número de estados discretos $\vec{x}(i)$ considerados, $\|\bullet\|$ es una norma, y $\Theta(\bullet)$ es la función escalón de Heaviside. Adoptamos el criterio

utilizado en [8], en donde el error esperado se calcula como $\epsilon = std(x(k))$. Los procesos deterministas originan diagonales en el RP, mientras que los procesos descorrelacionados generan puntos aislados.

Pueden definirse diversos cuantificadores que se basan en el RP para obtener alguna descripción del sistema subyacente. De entre todos ellos, el de mejor comportamiento, para esta aplicación, es la longitud media de las diagonales:

$$L = \frac{\sum_{l=l_{min}}^N l \cdot P(\epsilon, l)}{\sum_{l=l_{min}}^N P(\epsilon, l)}; \quad (4)$$

en donde l_{min} es la longitud mínima de las líneas diagonales tomadas en cuenta, l es la longitud de cada línea diagonal sobre el RP y $P(\epsilon, l)$ el histograma de esas líneas.

IV. RESULTADOS

En la Fig. 1 mostramos el comportamiento del cuantificador propuesto L para distintas amplitudes de ruido contaminante para dos modulaciones, QAM64 y QAM256. En esta figura el eje de abscisas es la relación señal a ruido (SNR) y las ordenadas el valor promedio de L . Las curvas azules corresponden a las señales transmitidas $s(k)$, es decir sin ruido, las curvas rojas al ruido contaminante $n(k)$ y las negras a la señal recibida $x(k) = s(k) + n(k)$. Se muestran los promedios de 500 surrogados para cada señal y para cada SNR. Para generar cada surrogado se normalizan todas las frecuencias a la frecuencia de símbolos ($f_{sym} = 1$), la frecuencia intermedia es $f_i = 5$ y la frecuencia de muestreo es $f_s = 10$, cada surrogado contiene $N_{sym} = 256$ símbolos.

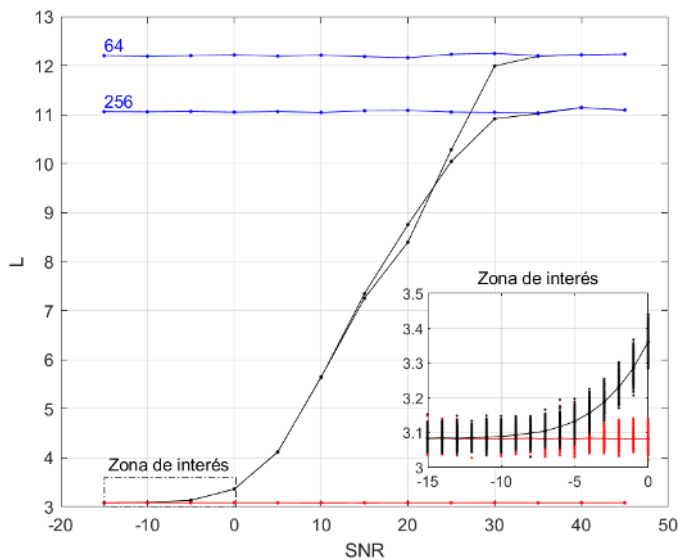


Fig. 1. Comportamiento del cuantificador para distintas amplitudes de ruido contaminante. Se muestran dos modulaciones, QAM64 y QAM256. Las curvas azules corresponden a las señales transmitidas $s(k)$, las curvas rojas al ruido contaminante $n(k)$ y las negras a la señal recibida $x(k) = s(k) + n(k)$. En la subfigura se muestra la zona de interés con todos los surrogados como puntos negros o rojos. A medida que SNR es menor, los puntos correspondientes a $n(k)$ y $x(k)$ se solapan y el algoritmo empieza a presentar falsos positivos.

Las curvas rojas son horizontales, por lo que L no depende de la potencia de ruido. Gracias a esto, el umbral de detección puede fijarse sin tener información previa del ruido del canal.

Una detección exitosa es la identificación de un *slot* sin señal primaria, es decir dado un valor calculado de L , nos interesa saber si la muestra contiene señal o no, por lo tanto, la zona de interés es la recuadrada en la Fig. 1.

Para evaluar la precisión del cuantificador mostramos la subfigura de la zona de interés, con todos los puntos sin promediar que son resultado de cada surrogado. Para valores altos de SNR, todas las muestras de $x(k)$ pueden diferenciarse fácilmente de las muestras de $n(k)$ con un umbral $L_\gamma \approx 3, 14$. Sin embargo, para relaciones SNR más bajas, estos puntos comienzan a solaparse, por lo que cualquier umbral L_γ resultará en una relación de compromiso en donde se aceptan falsos negativos para evitar falsos positivos y las consecuentes colisiones.

Una forma gráfica de explorar las consecuencias de la elección de un L_γ son las curvas ROC [9] (Fig. 2), que caracterizan la probabilidad de detecciones exitosas en función de los *slots* disponibles que quedarán sin detectar. Para generarlas, se fija una probabilidad de detección perdida $P(\Phi = 0|H_0)$. Esta probabilidad sirve para fijar un umbral L_γ . Luego, se calcula la probabilidad de detección exitosa $P(\Phi = 1|H_0)$, es decir cuantos *slots* disponibles son detectados con ese L_γ . Cada curva mostrada caracteriza al método propuesto para distintos valores de SNR, las curvas más cercanas a la diagonal se corresponden con valores de SNR más bajos.

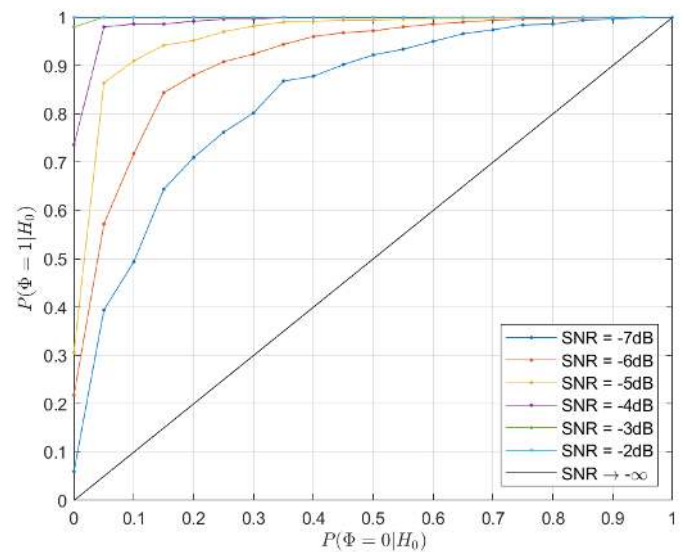


Fig. 2. Curvas ROC. Cada curva corresponde a una SNR. La diagonal corresponde a una señal indistinguible del ruido. El caso ideal en el que $x(k)$ y $n(k)$ pueden separarse perfectamente resulta en una línea horizontal en $P(\Phi = 1|H_0) = 1$

V. CONCLUSIONES

Se propuso una nueva técnica de detección de canal libre para RC basada en RP. Para aplicarla, no es necesario el conocimiento previo del tipo de modulación ni la potencia de ruido, suponiendo AWGN. Además, la complejidad de cálculo se mantiene reducida. Quedan por explorar otros tipos de ruido como impulsivos, burst, etc. También existen varios parámetros de ajuste en el algoritmo (como l_{min} , L_γ , etc) y en el receptor (como f_s , f_i , etc) que potencialmente podrían mejorar la precisión del sistema.

AGRADECIMIENTOS

Este trabajo fue parcialmente financiado por el Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET) (PIP 11220170100553CO01 y PUE ICYTE 229 201801 00002 CO) y la Facultad de Ingeniería de la Universidad Nacional de Mar del Plata (FI-UNMdP), Argentina.

REFERENCIAS

- [1] K. Sridhara, A. Chandra, and P. S. Tripathi, "Spectrum challenges and solutions by cognitive radio: An overview," *Wireless Personal Communications*, vol. 45, no. 3, pp. 281–291, 2008.
- [2] J. Mitola, "Cognitive radio," Ph.D. dissertation, Institutionen för teleinformatik, 2000.
- [3] Y. Arjouni and N. Kaabouch, "A comprehensive survey on spectrum sensing in cognitive radio networks: Recent advances, new challenges, and future research directions," *Sensors (Switzerland)*, vol. 19, no. 1, 2019.
- [4] R. Tandra and A. Sahai, "Fundamental limits on detection in low SNR under noise uncertainty," *2005 International Conference on Wireless Networks, Communications and Mobile Computing*, vol. 1, pp. 464–469, 2005.
- [5] M. Mehdawi, N. G. Riley, M. Ammar, A. Fanan, and M. Zolfaghari, "Experimental detection using cyclostationary feature detectors for Cognitive Radios," *2014 22nd Telecommunications Forum, TELFOR 2014 - Proceedings of Papers*, pp. 272–275, 2014.
- [6] F. K. Jondral, "Software-defined radio—basics and evolution to cognitive radio," *EURASIP journal on wireless communications and networking*, vol. 2005, no. 3, p. 652784, 2005.
- [7] J. Eckmann, S. Oliffson Kamphorst, and D. Ruelle, "Recurrence plots of dynamical systems," *Europhys. Lett.*, vol. 4, pp. 973–977, 1987.
- [8] X. Li, G. Ouyang, X. Yao, and X. Guan, "Dynamical characteristics of pre-epileptic seizures in rats with recurrence quantification analysis," *Physics Letters, Section A: General, Atomic and Solid State Physics*, vol. 333, no. 1-2, pp. 164–171, 2004.
- [9] C. D. Brown and H. T. Davis, "Receiver operating characteristics curves and related decision measures: A tutorial," *Chemometrics and Intelligent Laboratory Systems*, vol. 80, no. 1, pp. 24 – 38, 2006.

Alambrado virtual: diseño del subsistema de comunicaciones

1^{er} Nicolás L. Bértolo 2^{do} Rodrigo J. González 3^{ro} Santiago A. Abbate 4^{to} Jorge Cogo 5^{to} Javier A. Areta
Universidad Nacional Universidad Nacional Universidad Nacional Universidad Nacional Universidad Nacional
de Río Negro. de Río Negro. de Río Negro. de Río Negro. de Río Negro.
Bariloche, Argentina Bariloche, Argentina Bariloche, Argentina Bariloche, Argentina Bariloche, Argentina
nicolasbertolo@gmail.com joacoasr@gmail.com sabbate@unrn.edu.ar jcogo@unrn.edu.ar jareta@unrn.edu.ar

Resumen—Este trabajo presenta el diseño e implementación del subsistema de comunicaciones para un sistema de monitoreo y control animal denominado *alambrado virtual*. El desarrollo comprende la implementación de un protocolo de red *ad-hoc* montado sobre enlaces de radio LoRa.

Se realizaron pruebas con dos dispositivos móviles y una estación base en un entorno urbano, alcanzando distancias de hasta 2,5 km.

Palabras Clave—Alambrado Virtual, LoRa, Protocolo de Red.

I. INTRODUCCIÓN

Los *alambrados físicos* son el medio tradicional para delimitar zonas del predio rural en ganadería [1]. Sus desventajas principales radican en el elevado costo de instalación y mantenimiento y en la baja flexibilidad que ofrecen para la reconfiguración de los potreros.

Un *alambrado virtual* es un sistema electrónico para el monitoreo y control animal, con el cual se puede realizar la delimitación prescindiendo de alambrados físicos. Las regiones pueden redefinirse de manera totalmente flexible, permitiendo optimizar el uso del recurso (por ej. regiones de pastoreo) [2]. Básicamente consisten en un dispositivo portátil que se instala en cada animal, generalmente sujetado mediante un collar, y un dispositivo estación base. El dispositivo portátil suele incluir un subsistema de *posicionamiento*, generalmente implementado con un receptor GNSS [3], un subsistema de *comunicaciones* que permite la comunicación del móvil con la estación base, un subsistema *actuador*, que realiza la acción de control sobre el animal, opcionalmente sensores adicionales, y un subsistema de alimentación para proveer de energía al dispositivo [4]–[6].

La estación base se encarga de comunicarse con todos los dispositivos móviles y eventualmente consta de un enlace para comunicarse con un usuario remoto. En diferentes implementaciones se prevén tareas diferentes para la estación base, como por ejemplo realizar parte del cálculo del lazo de control [6]. En nuestro diseño, planteamos que el dispositivo portátil realice el control de manera autónoma y que la comunicación

Este desarrollo surge y financia parte de sus componentes a partir del acta acuerdo de trabajo alcanzado con la Agencia de Extensión Rural y el Lab. de Teledetección y SIG de la EEA INTA Bariloche.

con la estación base se realice para monitoreo y eventual reconfiguración de las zonas.

II. ENLACE DE COMUNICACIONES

Para el diseño del enlace de comunicaciones entre cada uno de los dispositivos móviles y la estación base del *alambrado virtual* se formularon los siguientes requerimientos:

- 1) Cada dispositivo móvil debe comunicarse con la estación base, pero no entre sí.
- 2) El consumo energético debe ser minimizado porque se trata de dispositivos a batería.
- 3) La comunicación consiste en comandos emitidos por la estación base y sus respuestas emitidas por el dispositivo móvil. Un dispositivo móvil no puede iniciar la comunicación.

Además de estos requisitos, se sopesó el costo del desarrollo, que determinó en gran medida la solución adoptada.

Entre las opciones disponibles se analizaron Zigbee, LoRa (como enlace de radio), LoRaWAN (como protocolo de red) y WiFi. Se optó por LoRa ante las premisas de bajo consumo y largo alcance [7], [8]. Si bien existe la posibilidad de implementar gateways económicos LoRaWAN utilizando Single Board Computers, el costo de los concentradores LoRa para implementación del front-end de RF seguía representando un costo elevado (del orden de 100 a 150 USD) [9], [10] y es por este motivo que se descartó el uso de LoRaWAN como protocolo de red. Se propuso entonces el desarrollo de un protocolo de red *ad-hoc* sobre la modulación LoRa, que denominamos *LoRaSheep*.

A. Protocolo LoRaSheep

Para el protocolo se propuso un diseño en capas similar al modelo OSI (la equivalencia se indica entre paréntesis cuando corresponda), con las capas siguientes:

- 1) Aplicación: Define los comandos que debe soportar un dispositivo y sus respuestas esperadas.
- 2) Representación en Protobuf (Presentación): Se mapea el intercambio de mensajes entre dispositivos a mensajes de *Protobuf* (Protocol buffers) [11]. Provee una forma de serializar mensajes a un *stream* de bytes y revertir esta transformación luego de la transmisión de los datos.

- 3) Transporte: Se encarga de la división de los mensajes en paquetes de longitud máxima. Incluye los ID del transmisor y receptor y un código de verificación de autenticidad.
- 4) Datalink (Red y Enlace de Datos): Se encarga de la transmisión desde y hacia un dispositivo específico. Es capaz de detectar errores, retransmitir los mensajes si fuera necesario, y devolver un mensaje de *acknowledge* si el mensaje recibido era para ese dispositivo.
- 5) Radio LoRa (Física): Se encarga de modular la señal y emitirla por radio. Está compuesta por los drivers específicos de los módulos LoRa que se utilicen.

Sobre una trama de datos dada por la modulación LoRa [12] (Capa física de Radio), tal como se muestra en la Fig. 1, el protocolo implementado agrega la información necesaria dentro del campo *Payload*, conformando lo que se denominó *Frame LoraSheep*.

Cada frame de LoraSheep está compuesto por un *header* y una sección de datos que corresponde a la carga útil que será transmitida. La capa de transporte se encarga de dividir (y unir en recepción) la secuencia de N bytes a enviar, en una cantidad M de subsecuencias que son recibidas por la capa *Datalink* y retransmitidas a la capa LoRa agregando la información correspondiente en los campos 1°Seq y SeqN° utilizados luego para reconstruir la secuencia original.

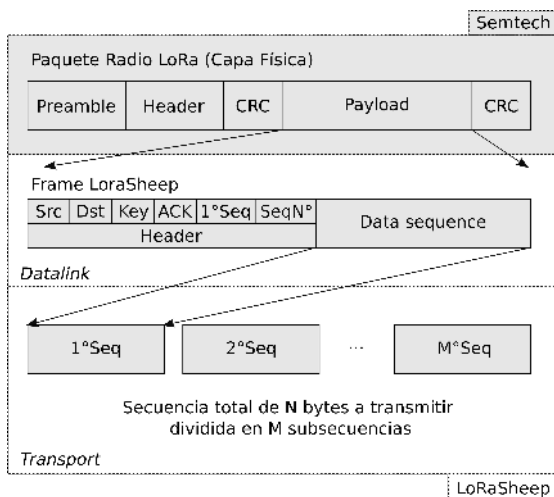


Fig. 1. Detalle de las tramas dentro de LoraSheep.

La capa de transporte puede recibir un buffer de bytes genérico, o hacer uso de la capa Protobuf, serializando de esta manera estructuras de datos predefinidas.

B. Temporización

El protocolo LoraSheep garantiza la comunicación entre un dispositivo maestro y N dispositivos esclavos mediante la asignación de “ventanas de comunicación” a cada uno de ellos. Cada dispositivo debe tener una referencia de tiempo en base a UTC 00:00 y además sabe qué número de dispositivo es y cuántos dispositivos hay conectados en la red. A partir de esos

valores los nodos calculan la ventana de tiempo para recepción y transmisión que les corresponde.

C. Implementación

El protocolo se escribió en C para poder implementarse en microcontroladores, creando una librería que contiene las tres últimas capas del protocolo. Mediante la herramienta SWIG [13] se posibilita el uso de la librería en Python. Tanto la aplicación como la representación de los mensajes a transmitir quedan a criterio del usuario/a.

Dados los requerimientos temporales del protocolo (II-B), la librería LoraSheep requiere de un timer que expire de acuerdo a las ventanas de tiempo correspondientes al dispositivo. En cada dispositivo se implementó tomando como referencia de tiempo la información proveniente del módulo GNSS, y en el caso de la estación base la hora UTC de internet.

Cada dispositivo está integrado por un módulo microcontrolador STM32F103 Blue Pill, y los módulos RN2903 para las comunicaciones y UBLOX NEO-6M para el posicionamiento.

III. RESULTADOS Y CONCLUSIONES

Se logró la validación del protocolo realizando pruebas entre una estación base (probada tanto en una PC como en una RaspberryPi), y dos dispositivos que fueron registrando datos de ubicación en la cercanía. En un entorno urbano se logró la obtención de datos en distancias de hasta 2,5 km.

Si bien no se pudieron realizar pruebas de campo hasta el momento, se analizó teóricamente la tasa de transmisión entre el máster y cada dispositivo, R_i , (comunicándose de manera simultánea) y la tasa total del máster, R_T para diferente número de dispositivos, en base a las indicaciones de [12]. Los resultados para dos configuraciones: *Spreading Factor* (SF) = 12 y Ancho de Banda (BW) = 500 kHz—denotada con superíndice (1)—y SF = 8 y BW = 125 kHz—denotada con superíndice (2)—se presentan en la tabla I. Puede verse que con el protocolo propuesto en la primer configuración se puede incluir un máximo de 7 dispositivos simultáneos, mientras que en la segunda este máximo es 19.

TABLA I
TASAS DE TRANSMISIÓN ESTIMADAS TEÓRICAMENTE.

N° dispos.	1	4	7	10	13	16	19
$R_i^{(1)}$ [b/s]	95,4	13,4	1,4	-	-	-	-
$R_T^{(1)}$ [b/s]	95,4	53,6	9,8	-	-	-	-
$R_i^{(2)}$ [b/s]	251	53	24,8	13,4	7,4	3,8	1,4
$R_T^{(2)}$ [b/s]	251	212	173,6	134	96,2	60,8	26,6

Podemos destacar que el desarrollo permite la implementación de una topología de red sencilla sobre la modulación LoRa, con la ventaja a nivel de costos, de no requerir el uso de Gateways de una red LoRaWAN. Se espera a futuro el desarrollo del resto de los subsistemas que forman parte del *alambrado virtual*, y la validación del protocolo mediante el monitoreo de ganado abarcando un conjunto de animales.

REFERENCIAS

- [1] H. R. Zeballos; "Instalaciones Rurales, Apotrerramiento"; Universidad Nacional del Centro de la Provincia de Buenos Aires; Facultad de Ciencias Veterinarias. Departamento de Producción Animal, 2013.
- [2] C. Umstatter; "The evolution of virtual fences: A review"; Computers and Electronics in Agriculture 75, 2011.
- [3] P. J. G. Teunissen, O. Montenbruck (Eds.); "Springer Handbook of Global Navigation Satellite Systems"; Springer, 2017.
- [4] Z. Butler, P. Corket, R. Peterson and D. Rust, "Virtual Fences for Controlling Cows", Proceedings of the 2004 IEEE International Conference on Robotics & Automation, 2004.
- [5] A. Muminov, D. Na, C. Lee and H. S. Jeon; "Virtual Fences for Controlling Livestock Using Satellite-Tracking and Warning Signals"; 2016 International Conference on Information Science and Communications Technologies (ICISCT), 2016.
- [6] A. Mudminov, D. Na, C. Lee, H. K. Kang and H. S. Jeon; "Modern Virtual Fencing Application: Monitoring and Controlling Behavior of Goats Using GPS Collars and Warning Signals"; Sensors 19(7), 2019.
- [7] B. S. Chaudhari and M. Zennaro (Eds.); "LPWAN Technologies for IoT and M2M Applications"; Academic Press, 2020.
- [8] P. Seneviratne; "Beginning LoRa Radio Networks with Arduino: Build Long Range, Low Power Wireless IoT Networks"; Apress, 2019.
- [9] <https://shop.imst.de/wireless-modules/lora-products/8/ic880a-spi-lorawan-concentrator-868-mhz>; Último acceso: Julio 2020.
- [10] <https://uk.pi-supply.com/products/iot-lora-gateway-hat-for-raspberry-pi>; Último acceso: Julio 2020.
- [11] <https://developers.google.com/protocol-buffers>; Último acceso: Junio 2020.
- [12] Semtech "Application Note AN1200.13 Designer's Guide".
- [13] <http://www.swig.org/>; Último acceso: Junio 2020.

Categoría

ARTÍCULO

FPGA-HDL y ASIC

Área Temática

Sistema de adquisición reconfigurable para detección de señales Lidar basado en FPGA

H. A. Lacomí^{abd*}, T. A. Di Fiore^{abd†}, F. Larosa^{ac‡}, N. Urbano Pintos^{ad§}

^aUniversidad Tecnológica Nacional - Facultad Regional Haedo

^bGrupo de Simulación y Cálculo de Campos Electromagnéticos

^cGrupo de Aplicaciones en Sistemas Embebidos

Centro de Investigaciones Científicas y Técnicas para la Defensa (CITEDEF)

^dDepartamento de Investigaciones en Láseres y sus Aplicaciones (DEILAP)

Buenos Aires, Argentina

*halacomí@citedef.gov.ar, †tadifiore@gmail.com, ‡facundolarosa@gmail.com, §urbano.nicolas@gmail.com

Resumen—El equipamiento comercial necesario para detectar señales Lidar por retrodifusión es extremadamente costoso y no es configurable. Su costo, así como su arquitectura estática lo vuelven prohibitivo e impráctico en el largo plazo para la implementación de sistemas de detección ad-hoc, donde es necesario realizar mejoras continuas en el campo y/o dependiendo de la aplicación en particular. En este trabajo se presenta el desarrollo, construcción y evaluación de un sistema de adquisición de datos basado en tecnología FPGA (del inglés, Field Programmable Gate Array) para adquirir y procesar señales Lidar de retrodifusión. La performance del sistema fue evaluada usando señales generadas en laboratorio obteniendo prestaciones similares a equipos comerciales. Los resultados obtenidos con el sistema implementado se compararon con otros equipos a fin de contrastar diferentes aspectos de los sistemas. Esta comparación resultó alentadora, dado que muestra que esta clase de sistema de grado científico puede implementarse usando el enfoque descrito en este trabajo, logrando menores costos y, al mismo tiempo, ganando en modularidad, reusabilidad, reconfigurabilidad y flexibilidad.

Index Terms—FPGA, Detection System, Lidar, backscatter

I. MOTIVACIÓN Y CONTEXTO

Los sistemas Lidar (del inglés, Light Detection and Ranging) son sistemas ópticos cuyo esquema básico se muestra en la Fig. 1. Se componen de: un sistema de transmisión (láser), un conjunto óptico de transmisión de salida y de entrada, un sensor y un sistema electrónico capaz de amplificar, adquirir, procesar y almacenar los datos. Este último sistema es el objeto de este trabajo. En el caso de los LIDAR atmosféricos [1], las imágenes provenientes de la radiación retrodifundida se utilizan para la caracterización de la atmósfera, por ejemplo, la medición de compuestos químicos en suspensión, aerosoles y formaciones nubosas, entre otros. Usualmente, en la implementación del sistema electrónico se emplean sistemas de adquisición comerciales [2–4].

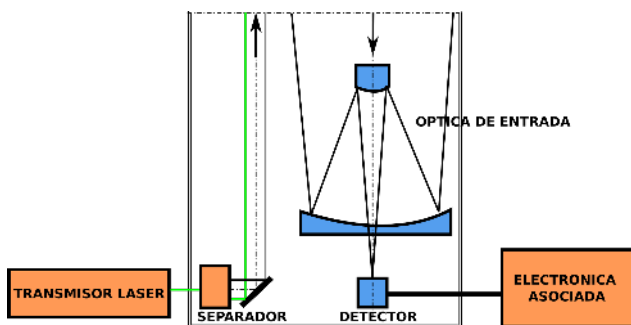


Figura 1. Esquema de un Lidar atmosférico.

Sin embargo, los sistemas comerciales de adquisición poseen la desventaja de ser extremadamente costosos, incluyendo además del hardware, software con licencias propietarias, equipo de computación adicional, etc [5]. Además, para aplicaciones que requieren de modificaciones y mejoras en campo, presentan la desventaja de que su arquitectura es estática, imposible de reconfigurar y, en muchos casos, para una aplicación diferente se requiere de la adquisición de nuevo equipamiento. Es por lo anterior, que en este trabajo se propone la implementación de un sistema de menor costo basado en FPGA que además posee la capacidad de poder reconfigurarse para cubrir diferentes tipos de aplicaciones [6]. Aún más, el esfuerzo invertido en el diseño de los módulos se amortiza al reutilizarlos totalmente o en parte en nuevos desarrollos.

Este dispositivo cuenta con la posibilidad de configurar su frecuencia de muestreo, la ventana de adquisición y la cantidad de señales a procesar por medio de una interfaz desarrollada en Python.

II. SOLUCIÓN PROPUESTA

En la Fig. 2 se muestra el diagrama en bloques del sistema desarrollado.

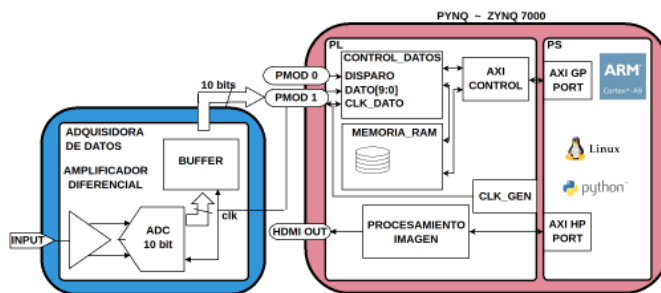


Figura 2. Diagrama en bloques del sistema.

Éste se compone de una interfaz de amplificación y conversión analógica digital y el sistema de adquisición, procesamiento, almacenamiento y visualización desarrollado sobre una placa PYNQ [7] de la empresa Digilent. La interfaz de conversión analógica digital se compone de un convertor analógico digital (ADC) ADC10080 de la firma Texas Instruments, que posee una frecuencia de muestreo de 80MS/S y una resolución de 10 bits. Estas características son relevantes para asegurar que el sistema desarrollado brinde prestaciones similares o superiores a las de los equipos comerciales. Respecto de la implementación del sistema digital se puede



Figura 4. Señal de retrodifusión obtenida por medio del equipo.

dividir el sistema en dos partes: la lógica programable (PL) y el software de procesamiento (PS). Dentro del grupo PL se agrupan los IP cores utilizados para la interfaz de control, la memoria interna [8] y el procesamiento de la imagen. Por otra parte, en el grupo PS se encuentra el microprocesador ARM con su imagen Linux [9], responsable de la operación general del sistema. Ambos grupos se vinculan entre sí por medio del protocolo de comunicación Advanced eXtensible Interface (AXI) [10]. En la Fig. 3 se puede ver una fotografía del sistema construido, compuesto por la interfaz desarrollada y la placa de desarrollo.



Figura 3. Placas de circuito impreso del sistema.

III. VERIFICACIÓN, VALIDACIÓN Y ENSAYOS

Para evaluar el funcionamiento del sistema se le conectó una pantalla HDMI para la visualización de los datos y una PC a través de su puerto Ethernet para acceder a el Jupyter Notebook, que sirve de interfaz para los IP cores donde se implementan las operaciones principales del sistema. En primer lugar, por medio de diferentes ensayos, incluyendo la inyección de señales LIDAR simuladas se procedió a determinar la relación señal a ruido (SNR) del sistema [11, 12], así como medir los tiempos de muestreo, almacenamiento y procesamiento. A partir de esta caracterización se puede concluir que los tiempos de muestreo (13 ns), almacenamiento (213 μ s) y procesamiento (639 μ s) son más que adecuados para poder manejar los datos adquiridos entre disparos del láser hasta una frecuencia de repetición de pulso de aproximadamente 1 kHz sin perder información. Esta frecuencia máxima permite extender la aplicación del sistema desarrollado a una variedad más amplia de aplicaciones, tales como navegación, detección de bordes, entre otros [13–15]. Finalmente, se conectó el

sistema a una fuente de emisión compuesta por un láser de Nd:YAG de la marca Continuum modelo Surelite III. Así, se pudo validar el sistema experimentalmente obteniendo sendas señales atmosféricas utilizando las longitudes de onda de 532 nm y 1064 nm [16]. La validez de los resultados obtenidos se realizó comparando las características de las señales con patrones atmosféricos conocidos, en particular, la observación de la capa límite atmosférica y la comparación de patrones nubosos para diferentes longitudes de onda [17]. Un gráfico de muestra se puede ver en la Fig. 4 donde se observan las señales medidas con el equipo desarrollado (naranja) y el equipo comercial (azul).

IV. RESULTADOS Y CONCLUSIONES

Se cumplieron los objetivos de diseñar, implementar, verificar y validar experimentalmente un sistema de adquisición reconfigurable para sistemas LIDAR atmosféricos. El sistema completo fue verificado utilizando señales Lidar simuladas y validado por medio las mediciones obtenidas en contraste con una estación Lidar fija. Si se compara el desarrollo realizado respecto de sistemas similares, se puede comprobar que varios de ellos utilizan hardware y software propietario [18–20] con las consiguientes desventajas ya expuestas. Además, el hecho de haberse implementado con herramientas de código abierto amplía la posibilidad de modificarlo en caso de requerir otros tipos de procesamiento, que a su vez pueden funcionar en paralelo al sistema desarrollado actualmente y visualizar los resultados en simultáneo para hacer evaluaciones más rápidas de las señales Lidar en estudio. Por otro lado, el hecho de haberse proyectado este sistema como autónomo, es decir, que se puede prescindir de una PC, facilita la realización de mediciones de campo. En particular, esto se debe al menor consumo y complejidad de generación de energía eléctrica contando solo con baterías. En cuanto a las características referidas a resolución y tiempos de adquisición de datos este desarrollo se encuentra dentro de los parámetros que poseen otros equipos contrastados [21, 22].

Los resultados obtenidos son alentadores en lo que respecta a las posibilidades del sistema, dada la capacidad de acondicionar la señal de entrada, de modificar su frecuencia de muestreo y de realizar un procesamiento para eliminar el ruido gaussiano. Esto convierte al desarrollo en un instrumento versátil, capaz de procesar señales Lidar de manera automática cualquiera sea su fuente y adaptándose a las especificaciones que la aplicación requiera.

V. AGRADECIMIENTOS

Los autores agradecen al “Centro de Investigaciones Científicas y Técnicas para la Defensa” (CITEDEF) por el apoyo dado para la reconstrucción y el mantenimiento de la nueva Estación LIDAR, al Ministerio de Defensa a través del Proyecto PIDDEF 06/17 por el soporte financiero y a la “Universidad Tecnológica Nacional – Facultad Regional Hae-do” por el aporte de Recursos Humanos (Becarios, Pasantes y Estudiantes de Proyecto Final).

REFERENCIAS

- [1] M. Lavorato, J. Fochesatto, P. Cesarano, E. J. Quel, and P. H. Flamant, “Lidar studies of atmospheric boundary layer dynamics, aerosols, and cirrus cloud properties at Buenos Aires (34.6 S/58.5 W),” in *3rd Iberoamerican Optics Meeting and 6th Latin American Meeting on Optics, Lasers, and Their Applications* (A. M. Guzman,

- ed.), vol. 3572, pp. 200 – 207, International Society for Optics and Photonics, SPIE, 1999.
- [2] D. Balis, V. Amiridis, Z. CS, E. Gerasopoulos, M. Andreea, P. Zanis, A. Kazantzidis, S. Kazadzis, and A. Papayannis, “Raman lidar and sunphotometric measurements of aerosol optical properties over Thessaloniki, Greece during a biomass burning episode,” *Atmospheric Environment*, vol. 37, pp. 4529–4538, 10 2003.
- [3] F. Tan, K. Lim, M. Z. Mat Jafri, E. Welton, and S. Lolli, “An initial assessment of ground based lidar backscattered signal in Penang Island,” 07 2013.
- [4] Jaswant, S. R. Radhakrishnan, S. K. Singh, D. K. Shukla, D. Sethi, and C. Sharma, “Estimation of ‘Dead Time’ of Transient Digitizer in Raman Lidar,” in *2019 UR-SI Asia-Pacific Radio Science Conference (AP-RASC)*, pp. 1–1, 2019.
- [5] J. Mao, X. Cheng, H. Zhao, H. Sheng, C. Zhou, and B. Zhang, “Design of Data Acquisition and Processing System Based on LabVIEW for a Mie lidar,” pp. 1942–1946, 06 2019.
- [6] C. C. W. Robson, A. Bousselham, and C. Bohm, “An fpga based general purpose data acquisition controller,” in *14th IEEE-NPSS Real Time Conference, 2005.*, pp. 4 pp.–, 2005.
- [7] B. Janßen, P. Zimprich, and M. Hübner, “A dynamic partial reconfigurable overlay concept for PYNQ,” in *2017 27th International Conference on Field Programmable Logic and Applications (FPL)*, pp. 1–4, 2017.
- [8] Xilinx, *PG058, Block Memory Generator v8.4*. https://www.xilinx.com/support/documentation/ip_documentation/blk_mem_gen/v8_4/pg058-blk-mem-gen.pdf.
- [9] J. Goeders, T. Gaskin, and B. Hutchings, “Demand Driven Assembly of FPGA Configurations Using Partial Reconfiguration, Ubuntu Linux, and PYNQ,” in *2018 IEEE 26th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, pp. 149–156, 2018.
- [10] Xilinx, *AXI Reference Guide*. https://www.xilinx.com/support/documentation/ip_documentation/ug761_axi_reference_guide.pdf.
- [11] W. Kester, *The Data Conversion Handbook*. analog device series ed., 2005. Data Conversion Handbook: Newnes.
- [12] S. W. Smith, *The Scientist and Engineer’s Guide to Digital Signal Processing*. San Diego, CA 92150-2407: California Technical Publishing, 2 ed., 1997.
- [13] T. Gee, J. James, W. van der Mark, P. Delmas, and G. Gimel’farb, “Lidar guided stereo simultaneous localization and mapping (SLAM) for UAV outdoor 3-D scene reconstruction,” pp. 1–6, 11 2016.
- [14] A. Yao, B. Liu, G. Liu, and Z. Yu, “Embedded laser profile measurement based on Zynq,” pp. 1–5, 06 2017.
- [15] M. Bansal, B. Matei, B. Southall, J. Eledath, and H. Sawhney, “A LIDAR streaming architecture for mobile robotics with application to 3D structure characterization,” in *2011 IEEE International Conference on Robotics and Automation*, pp. 1803–1810, 2011.
- [16] H. Lacomis, D. M. David de Lima, M. B. Lavorato, and C. Arrieta, “Development a new lidar detection system operating in 1064 nm with ingaas technology,” in *2016 IEEE Biennial Congress of Argentina (ARGENCON)*, pp. 1–5, 2016.
- [17] S. Lakkis, M. Lavorato, P. Canziani, and H. Lacomis, “Lidar observations of cirrus Clouds in Buenos Aires,” *Journal of Atmospheric and Solar-Terrestrial Physics*, vol. 130, 05 2015.
- [18] S. BenZvi, R. Cester, M. Chiosso, B. M. Connolly, A. Filipic, B. García, A. Grillo, F. Guarino, M. Horvat, M. Iarlori, C. Macolino, J. A. J. Matthews, D. G. Melo, R. Mussa, M. Mostafa, J. Pallota, S. Petrera, M. Prouza, V. Rizi, M. Roberts, J. R. R. Rojo, F. Salamida, M. Santander, G. Sequeiros, A. S. Tonachini, L. Valore, D. Veberi, S. Westerhoff, D. Zavrtanik, and M. Zavrtanik, “The Lidar System of the Pierre Auger Observatory,” 2007.
- [19] C.-W. Chiang, S. Das, H.-W. Chiang, J. Nee, S.-H. Sun, S.-W. Chen, P.-H. Lin, J.-C. Chu, C.-S. Su, and L.-S. Su, “A new mobile and portable scanning lidar for profiling the lower troposphere,” *Geoscientific Instrumentation, Methods and Data Systems*, vol. 4, 02 2015.
- [20] Y. Sun and J. Mao, “The design of signal acquisition and processing of rotational raman temperature measuring lidar system,” in *2016 Chinese Control and Decision Conference (CCDC)*, pp. 4330–4333, 2016.
- [21] W. Chen, P. Guo, S. Chen, Y. Zhang, X.-Y. Ge, X. Cui, and Z. Bu, “Lidar Data Acquisition System for Detecting Atmospheric Temperature and Extinction Coefficient,” *Proceedings of SPIE - The International Society for Optical Engineering*, vol. 8201, pp. 44–, 11 2011.
- [22] L. Cheng, C. Xie, Y. Cao, P. Zhuang, Z. Fang, and S. Fu, “Design of miniature data acquisition system for atmospheric detection lidar based on ZYNQ,” p. 250, 04 2020.

Automatización del análisis y la generación de código de sistemas de enclavamiento en FPGA

M. Menéndez, A. Lutenberg, N. Alvarez
CONICET – GICSAFe
Laboratorio de Sistemas Embebidos
Facultad de Ingeniería, UBA
Buenos Aires, Argentina
lse@fi.uba.ar

F. Larosa, R. Ghignone
CONICET – GICSAFe
Grupo de Aplicaciones en Sistemas Embebidos
Departamento de Electrónica, UTN-FRH
Haedo, Buenos Aires, Argentina
embebidos@frh.utn.edu.ar

Resumen— En este artículo se presenta la aplicación del enfoque geográfico para la implementación de un sistema de enclavamiento por medio de una descripción de hardware digital. Para ello, se presentan dos herramientas diseñadas: una para realizar el análisis de la red y la otra para generar automáticamente el enclavamiento para la red analizada expresado en código de descripción de hardware. Los resultados obtenidos permitieron comprobar el adecuado funcionamiento de las implementaciones, con las ventajas de consumir menos recursos de hardware y acortar el tiempo del flujo de trabajo de diseño.

Keywords—FPGA; Enclavamiento; Ferroviario; Automático; Grafos

I. INTRODUCCIÓN

Este trabajo nace de un pedido de Trenes Argentinos [1], quien requirió el diseño de un sistema de enclavamiento electrónico. Se han realizado implementaciones previas para la estación Belgrano R mediante el enfoque funcional [2-4]. Este enfoque implementa las funcionalidades del sistema de enclavamiento basándose en un documento técnico denominado tabla de enclavamientos [5]. Así, el flujo de trabajo parte de dicha tabla y avanza en la implementación de los diferentes módulos del sistema por medio de un lenguaje de descripción de hardware, por ejemplo, VHDL. Este enfoque presenta la ventaja de que se parte del análisis realizado por personal especializado, que se expresa en la tabla, y el esfuerzo de diseño se realiza en la implementación. Resulta una desventaja que no se puede generar la implementación del sistema de forma automática sin partir de dicho análisis previo y, además, cada implementación requiere de una formulación específica según el tipo de red ferroviaria [6,7].

Para subsanar las limitaciones indicadas, se propone realizar la implementación a partir de otra metodología, denominada enfoque geográfico [5-11]. En el enfoque geográfico, también denominado topológico, en lugar de partir de la tabla de enclavamientos, el comportamiento de la red a nivel general se determina a partir del funcionamiento de cada elemento individual según su posición relativa en la red.

El enfoque geográfico facilita la automatización del análisis de la topología de la red a partir de la cual se genera el código de la implementación. Así, se evita la necesidad de un análisis específico para cada topología, ya que la implementación se resuelve a partir de reglas generales [5].

II. ANÁLISIS DE REDES FERROVIARIAS POR MEDIO DEL ENFOQUE GEOGRÁFICO

Para ilustrar el análisis de la red y posterior implementación del sistema de enclavamiento que se realiza en el enfoque geográfico, se presenta en la Fig. 1, a modo de ejemplo, una topología bypass. Las secciones B y F presentan máquinas de cambios, que permiten la bifurcación del recorrido. Dicha topología se utiliza ampliamente en zonas rurales para conectar dos puntos con una sola vía, permitiendo la circulación en ambos sentidos.

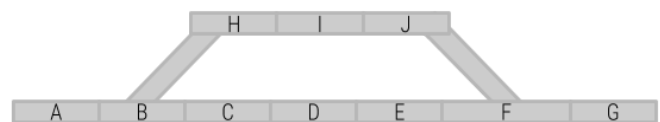


Figura 1. Topología ramificada

Para analizar automáticamente distintas topologías, se diseñó en Python un programa que recibe una representación en forma de grafo, donde cada sección de vía es modelada como un nodo y la conexión entre las secciones se modela con una arista entre ellos. El programa clasifica los nodos según su posición relativa en la red, como se ve en la Fig. 2.

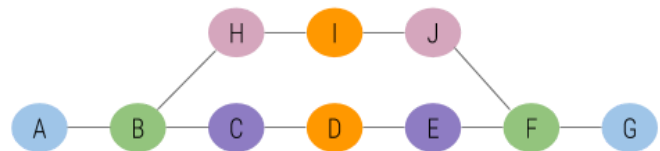


Figura 2. Grafo ferroviario categorizado

Los nodos que tienen un solo vecino (A y G) son clasificados como extremos, ya sea absolutos o relativos según si se ubican en el fin de la red o forman parte de una red vecina. Los que poseen tres vecinos (B y F) son clasificados como nodos de cambio, por incluir la máquina de cambios. Según la posición relativa a éstos últimos se clasifican los nodos de cambio directo (C y E), que continúan la circulación normal y los nodos de cambio ramificado (H y J), que ramifican el recorrido. Todos los demás nodos son nodos simples (D e I).

A cada nodo se le asigna la cantidad de semáforos que corresponden para utilizar todas las rutas que soporta la red, con su orientación y cantidad necesaria de aspectos. Todas las rutas generadas, sus condiciones y efectos son registradas

en la tabla de enclavamientos. Los nodos simples no presentan semáforos, mientras que los nodos de cambios son los que concentran una mayor cantidad de semáforos, de acuerdo a las normas ferroviarias[12].

Si bien a modo de ejemplo se introdujo el caso del bypass, dado que el análisis se realiza por medio de reglas generales, se puede aplicar a cualquier topología definiendo los nodos, sus propiedades y las relaciones entre ellos de forma tal que el software de análisis permite resolver cualquier caso que sea expresado mediante un grafo.

III. GENERACIÓN AUTOMÁTICA DEL CÓDIGO

En la Fig. 3 se presenta el diseño propuesto para el sistema de enclavamiento. El módulo detector recibe el estado de los elementos en campo. El módulo separador distribuye los datos recibidos entre los bloques con los que se implementa cada nodo. El módulo red contiene los bloques que implementan cada uno de los nodos, conectados como indica el grafo, y es el núcleo del sistema en tanto regula la lógica del enclavamiento. El módulo mediador recoge las señales generadas por cada bloque y las ensambla en un único arreglo de datos. Finalmente, el módulo registro conforma el vector de datos que permite comunicar los nuevos estados que deberán tomar los elementos de campo.

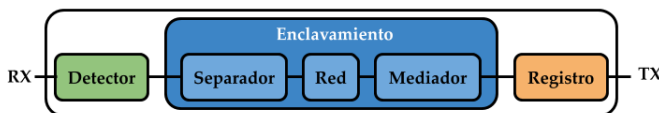


Figura 3. Diagrama de bloques de la solución propuesta

Tanto la generación de los módulos como su interconexión se realiza de forma automática mediante una aplicación diseñada en Python.

IV. CASO DE ESTUDIO: BYPASS

En esta sección se retoma el caso de análisis planteado en la Sección II de la topología bypass. Para ello, se introduce en la aplicación de python el grafo ferroviario indicado en la Fig. 2, incluyendo sus nodos, conexiones y propiedades. A partir de esto, la aplicación genera automáticamente el diagrama que se muestra en la Fig. 4.

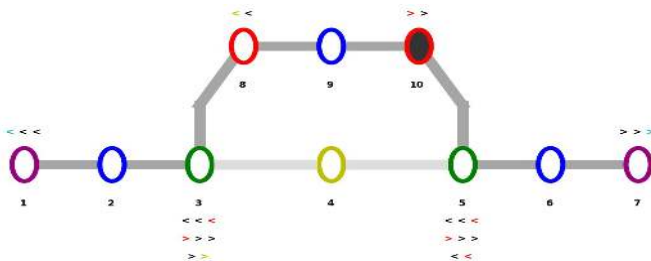


Figura 4. Resultado del análisis automático realizado sobre la topología bypass

A partir de este gráfico se pueden realizar diferentes pruebas funcionales para comprobar el correcto funcionamiento del sistema. A modo de ejemplo, en la Fig. 4, se comprueba el caso en que el nodo 10 está ocupado por una formación y el señalamiento evita la posibilidad de colisión configurando adecuadamente los aspectos de los

semáforos de la red y las posiciones de los cambios. Los símbolos en colores ">" y "<" representan el estado del señalamiento que establece el sistema. De su análisis se concluye que la configuración de semáforos y cambios es la esperada.

A partir del análisis explicado anteriormente, se realiza la implementación de la topología de forma automática. En la Fig. 5 se muestran, solo a modo de ilustrar la complejidad de las conexiones, los bloques del módulo de red en Vivado [13] generado por el script de Python. Estos bloques implementan la lógica correspondiente al funcionamiento especificado, según se explicó en la sección anterior. Se puede observar que dado que la topología incluye diez secciones de vía y que la herramienta de análisis determinó que son necesarias dos máquinas de cambios, el módulo red se implementa con doce bloques.

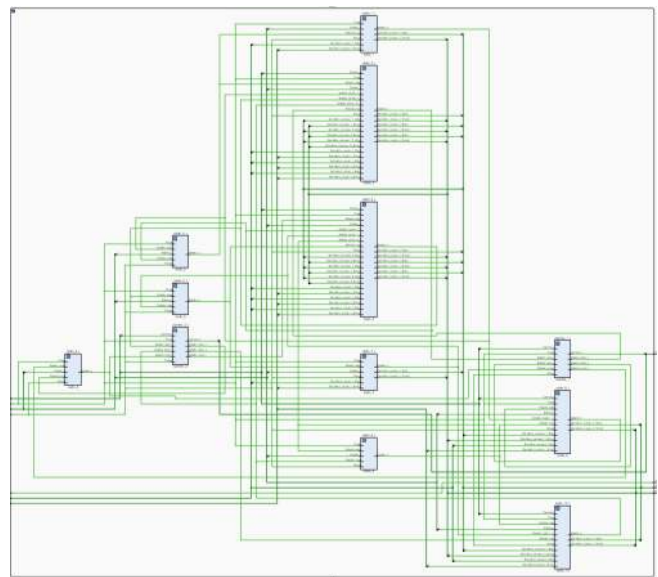


Figura 5. Red generada para topología Bypass.

A modo de comparación, en la Tabla I se describe la asignación de recursos entre la implementación del bypass con enfoque geográfico y el enfoque funcional, donde se observa que el nuevo enfoque propuesto es eficiente en el uso de los recursos de la FPGA elegida, la ARTY Z7-10.

TABLA I. COMPARACIÓN ENTRE EL ENFOQUE FUNCIONAL Y GEOGRÁFICO.

Enfoque	#LUT	#FF's	#IO's	#BUFG's
Funcional	952	1526	87	25
Geográfico	513	1091	16	21

V. CONCLUSIONES

Se obtuvo un flujo de trabajo flexible por medio del enfoque geográfico que facilita el flujo de diseño e implementación. Para ello, se implementaron dos herramientas: el analizador de redes ferroviarias y el generador de código en VHDL, ambos en base al grafo que representa la red ferroviaria. De esta forma, se logró automatizar el análisis, diseño e implementación de una gran variedad de sistemas de enclavamientos, disminuyendo el tiempo de diseño de varias semanas para el enfoque original a unas horas para el enfoque actual.

REFERENCIAS

- [1] Trenes Argentinos (2019). [Online]. Disponible: <https://www.argentina.gob.ar/transporte/trenes-argentinos>
- [2] Menéndez, M. N., Larosa, F. S., Álvarez, N., Ghignone, R. y Lutenberg, A., 2019. *Diseño de un sistema crítico de enclavamiento ferroviario implementado mediante FPGA*. [Online] Congreso Argentino de Sistemas Embebidos 2019. Disponible: <http://www.sase.com.ar/case/ediciones/case2019>
- [3] Ghignone, R., Larosa, F. S., Gouveia, H. M., Chang, L., Menéndez, M. N. y Lutenberg, A., 2019. *Generación automática de modelos y código para sistemas electrónicos de enclavamiento ferroviario*. [Online] Congreso Argentino de Sistemas Embebidos 2019. Disponible: <http://www.sase.com.ar/case/ediciones/case2019>
- [4] Menéndez, M. N., Larosa, F. S., Álvarez, N., Ghignone, R. y Lutenberg, A., 2020. FPGA implementation of a critical railway interlocking system. *IEEE Latin America Transactions*, 18(02), pp.288-294.
- [5] Yıldırım, U., Durmuş, M. y Söylemez, M., 2012. Automatic Interlocking Table Generation for Railway Stations using Symbolic Algebra. *IFAC Proceedings Volumes*, 45(24), pp.171-176.
- [6] Banci, M., Fantechi, A., Gnesi, S., 2005. Some experiences on Formal specification of Railway Interlocking Systems using Statecharts.
- [7] Banci, M. and Fantechi, A., 2005. Geographical Versus Functional Modelling by Statecharts of Interlocking Systems. *Electronic Notes in Theoretical Computer Science*, 133, pp.3-19.
- [8] Zhang, L., 2019. Railway Signal Interlocking Logic Simulation System. *Proceedings of the 2nd International Conference on Control and Computer Vision - ICCCV 2019*.
- [9] Wang, D., Chen, X. y Huang, H., 2013. A graph theory-based approach to route location in railway interlocking. *Computers & Industrial Engineering*, 66(4), pp.791-799.
- [10] Wai Wong, n.d. A Simple Graph Theory y Its Application In Railway Signaling. 2002., *International Workshop on the HOL Theorem Proving System and Its Applications*.
- [11] Oz, M., Sener, I., Kaymakci, O., Ustoglu, I. y Cansever, G., 2015. Topology Based Automatic Formal Model Generation for Point Automation Systems. *Information Technology And Control*, 44(1).
- [12] Reglamento Interno Técnico Operativo. Trenes Argentinos (2020). [Online]. Disponible: <https://www.argentina.gob.ar/sites/default/files/rito.pdf>
- [13] Vivado Design Suite, Xilinx. Disponible: <https://www.xilinx.com/products/design-tools/vivado.html>

Diseño e implementación en FPGA de un transreceptor inalámbrico basado en LoRa

Bornes Bchara, M.* , Zacchigna, F. G.† and Belaustegui Goitia, C.‡

Universidad de Buenos Aires, Facultad de Ingeniería, Departamento de Electrónica.

Laboratorio de Sistemas Embebidos (LSE). Buenos Aires Argentina.

*martinbornes@gmail.com, †fzacchigna@fi.uba.ar, ‡cbfg@iee.org

Resumen—Frente al nuevo paradigma de *Internet of Things* y las nuevas tecnologías que surgen ante la demanda de mayor conectividad a bajo costo, se presenta un enfoque de tipo SDR de un transceiver inalámbrico basado en la modulación que utiliza LoRa, aprovechando su característica robustez frente a interferencias multipath y Doppler así como su largo alcance, posible gracias al uso de señales chirp y la modulación *Chirp Spread Spectrum*.

Index Terms—LoRa, chirp, CSS, LPWAN, SDR, FPGA

I. INTRODUCCIÓN

En el mundo conectado del siglo XXI en el que se busca mayor acceso a la información, son los objetos cotidianos los protagonistas de un nuevo paradigma que se hace llamar Internet de las Cosas (IoT, del inglés *Internet of Things*). Bajo esta nueva premisa se busca masificar la cantidad de dispositivos que se conectan a internet, lo cual trae de la mano nuevos desafíos como una profunda reducción de costos y consumo energético de la electrónica utilizada [1], dando paso a lo que se conoce como LPWANs (del inglés *Low Power Wide Area Networks*) [2].

En el campo de la conectividad, LoRa es uno de los nombres más destacados. La capa física de esta tecnología pertenece a la compañía Semtech [3] y se basa en una modulación de Espectro Ensanchado de tipo Chirp (CSS, por sus siglas en inglés, *Chirp Spread Spectrum*), una técnica que aprovecha las propiedades de la señal chirp para lograr comunicaciones resistentes a interferencias como ruido de canal desvanecimiento multi-path y efecto Doppler, incluso operando a baja potencia [4]. LoRa utiliza un parámetro configurable, el factor de ensanchamiento (*SF, Spreading Factor*), para mejorar la robustez de la detección y demodulación con baja relación señal a ruido (SNR, *Signal to Noise Ratio*), comprometiendo la tasa de transmisión de datos.

Son diversas las maneras de utilizar chirps para modulación [5] [6], pero es la que utiliza LoRa la que resulta de particular interés para este trabajo, en el que se busca desarrollar un sistema de comunicación de código abierto con rendimiento similar. En la sección II se hará una breve presentación de la problemática así como un análisis de la bibliografía que sirvió de puntapié para comenzar el trabajo. Luego se pasará a describir la propuesta en sí en la sección III, la caracterización

Este trabajo fue parcialmente financiado mediante fondos provenientes de la Beca Peruhil de la Universidad de Buenos Aires.

de la solución en la sección IV y las conclusiones del trabajo en la sección V.

II. ANÁLISIS DE LA PROBLEMÁTICA Y TRABAJOS RELACIONADOS

Habiendo analizado las bondades de CSS y LoRa, ambas tecnologías muy prometedoras, se presenta el problema de que no existe información suficiente al respecto, siendo por un lado CSS una modulación novedosa y LoRa una tecnología propietaria. La propuesta de este trabajo es por lo tanto diseñar un transceiver que alcance un rendimiento similar a LoRa y que a la vez tenga la versatilidad de una solución de tipo SDR para una rápida implementación en entornos variados. Esto implica necesariamente que se debe relajar el requerimiento de bajo consumo energético, ya que una solución en FPGA difícilmente puede resultar competitiva frente a una implementación en ASIC, aunque no se descarta que este trabajo sirva como primer paso para una futura implementación de este tipo.

En cuanto a la bibliografía consultada, en [7] se presenta un primer enfoque a una implementación en hardware de CSS pero basado en una modulación presentada en el estándar 802.15.4 de IEEE [8]. Un análisis detallado de la capa física de LoRa y las etapas involucradas en el proceso de recepción puede ser encontrado en [9] donde también se presenta una implementación en software de esta técnica pero no con un buen rendimiento en condiciones de baja SNR. Otro enfoque de SDR es el de [10] que también estudia la capa física de LoRa pero con más enfoque en todas las etapas de codificación y corrección de errores.

III. ENFOQUE PROPUESTO

El diseño de transceiver propuesto consiste de un procesador en banda base (DBBP, Digital Base Band Processor) para ser implementado en FPGA junto a un módulo adicional que cumpla las funciones analógicas e incorpore ADC (DAC), down-converter (up-converter), filtros y antenas.

A pesar de que este trabajo se centra únicamente en el desarrollo del DBBP, se procede a elegir una plataforma que permita eventualmente realizar una integración completa. Se elige por lo tanto un SoC de la familia Zynq de Xilinx, que integra un procesador ARM Cortex™-A9 junto a una FPGA y se adapta particularmente a nuestra solución cumpliendo con los requerimientos de lógica programable del DBBP y poder

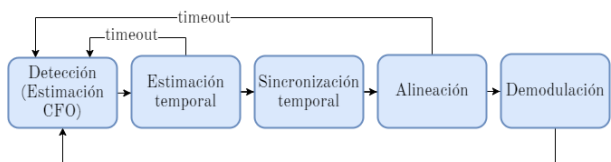


Figura 1: Máquina de estados del receptor.

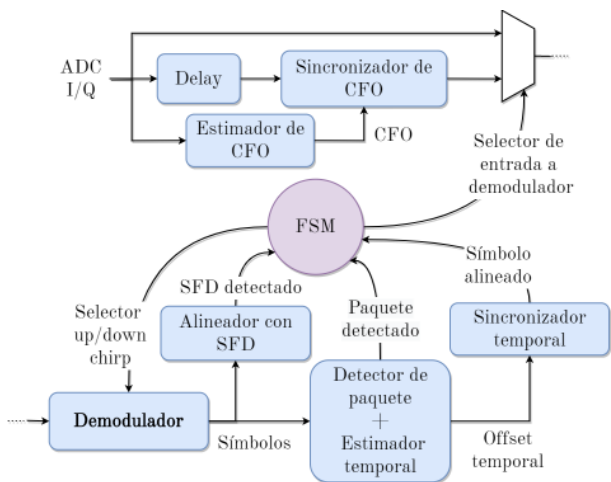


Figura 2: Diagrama en bloques del receptor.

de procesamiento para efectuar la comunicación con la placa RF y eventuales tareas adicionales.

El DBBP consiste de un bloque transmisor y otro receptor. El transmisor consta simplemente de una memoria ROM que almacena las muestras de un pulso up-chirp y hardware básico que permite leer estos datos de manera secuencial, cambiando la posición inicial y dirección de la lectura.

El bloque receptor es sin dudas mucho más complejo, no solo por la cantidad de etapas involucradas, sino también por la diversidad de algoritmos existentes. Para coordinar eficientemente las tareas que realiza este bloque, se implementó la Máquina de Estados Finita (FSM, *Finite State Machine*) de la Figura 1 en la que se evidencia la sucesión de las siguientes cinco etapas para la correcta recepción de un paquete:

1. *Detección*: estado ocioso en el que el sistema espera un nuevo paquete, a ser detectado por medio del preámbulo. Durante esta etapa también se realiza la estimación de offset en frecuencia (CFO, *Carrier Frequency Offset*).
2. *Estimación temporal*: aquí se calcula el offset temporal en cantidad de muestras.
3. *Sincronización temporal*: estado encargado de alinear los símbolos recibidos con el chirp local.
4. *Alineación*: aquí se identifica el comienzo del payload marcado por un delimitador (SFD, *Start Frame Delimiter*) conformado por dos símbolos down-chirp.
5. *Demodulación*: demodulación del payload.

El diseño del receptor se presenta en el diagrama en bloques de la Figura 2. El sub-bloque *Demodulador* (además de la FSM) es la unidad principal, no solo por la tarea que realiza, sino también por su complejidad y reutilización en

múltiples etapas. Si bien de acuerdo a la imagen 1 es utilizado únicamente en el último estado, esto no es cierto, ya que también forma parte de las tareas de Detección, Estimación temporal y Alineación.

Como comentario final, el diseño del receptor de la Figura 2 puede ser separado en dos etapas bien definidas. La primera etapa consta de los bloques previos al demodulador, encargados de la estimación de CFO y su posterior corrección tras haber detectado un paquete. La segunda parte del receptor comienza con el demodulador, a partir del cual ya no se procesan muestras sino símbolos y señales auxiliares, para realizar las tareas de los estados 1, 2, 3 y 4 de la FSM.

IV. CARACTERIZACIÓN DEL SISTEMA

Se presenta en la Figura 3 uno de los resultados de las pruebas en hardware, en las que se emularon de la manera más económica posible en hardware digital algunas interferencias típicas de un canal inalámbrico para caracterizar el sistema, como son ruido gaussiano blanco, corrimiento de la frecuencia portadora y efecto multipath mediante el uso de un filtro FIR con número de *taps* variable para simular la cantidad de *paths*.

Se muestra en la figura la tasa de error de símbolos (SER, *Symbol Error Rate*) en función de la SNR con diferentes configuraciones del *SF* y cantidad de caminos del efecto multipath. Variando el SNR en intervalos de 0.5 dB, se realizaron, por cada configuración, 5000 transmisiones con payload de 64 bytes de largo y se compararon los símbolos transmitidos con los recibidos para calcular el valor promedio del SER.

Además de poder ver el rendimiento para distintos parámetros del sistema, resulta interesante ver la separación de 2 dB al incrementar en 1 el *SF*, ya que esto mismo se ve en las curvas teóricas para este tipo de modulación [11] [12] [13].

V. CONCLUSIÓN

Este artículo presentó un diseño innovador de tipo SDR para la implementación de un transceiver basado en modulación LoRa en FPGA. El diseño se concentró en identificar primero las etapas necesarias para recibir un paquete exitosamente, lo cual fue consolidado en una Máquina de Estados, y luego en la arquitectura, que culminó en un diagrama en bloques que se centra ante todo en la optimización de recursos.

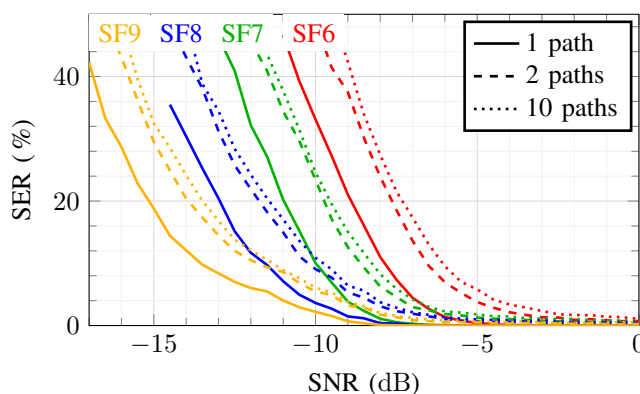


Figura 3: Resultados de pruebas en HW con canal emulado.

REFERENCIAS

- [1] C. Goursaud and J.-M. Gorce, "Dedicated networks for IoT : PHY / MAC state of the art and challenges," *EAI endorsed transactions on Internet of Things*, Oct. 2015. [Online]. Available: <https://hal.archives-ouvertes.fr/hal-01231221>
- [2] M. Centenaro, L. Vangelista, A. Zanella, and M. Zorzi, "Long-range communications in unlicensed bands: the rising stars in the iot and smart city scenarios," *IEEE Wireless Communications*, vol. 23, no. 5, pp. 60–67, October 2016.
- [3] "Lora™ modulation basics," Semtech Corporation, Tech. Rep. AN1200.22, 2015.
- [4] B. Reynders and S. Pollin, "Chirp spread spectrum as a modulation technique for long range communication," in *2016 Symposium on Communications and Vehicular Technologies (SCVT)*, Nov 2016, pp. 1–5.
- [5] A. Springer, W. Gugler, M. Huemer, L. Reindl, C. C. W. Ruppel, and R. Weigel, "Spread spectrum communications using chirp signals," in *IEEE/AFCEA EUROCOMM 2000. Information Systems for Enhanced Public Safety and Security (Cat. No.00EX405)*, May 2000, pp. 166–170.
- [6] X. Ouyang and J. Zhao, "Orthogonal chirp division multiplexing," *IEEE Transactions on Communications*, vol. 64, no. 9, pp. 3946–3957, Sep. 2016.
- [7] S. Kim and J. Chong, "Chirp spread spectrum transceiver design and implementation for real time locating system," *International Journal of Distributed Sensor Networks*, vol. 2015, pp. 1–11, 08 2015.
- [8] "Ieee standard for local and metropolitan area networks—part 15.4: Low-rate wireless personal area networks (lr-wpans)," *IEEE Std 802.15.4-2011 (Revision of IEEE Std 802.15.4-2006)*, pp. 179–193, Sep. 2011.
- [9] R. Ghanaatian, O. Afisiadis, M. Cotting, and A. Burg, "Lora digital receiver analysis and implementation," *CoRR*, vol. abs/1811.04146, 11 2018.
- [10] M. Knight and B. Seeber, "Decoding lora: Realizing a modern lpwan with sdr," 2016.
- [11] B. Reynders, W. Meert, and S. Pollin, "Range and coexistence analysis of long range unlicensed communication," in *2016 23rd International Conference on Telecommunications (ICT)*, May 2016, pp. 1–6.
- [12] O. Afisiadis, M. Cotting, A. Burg, and A. Balatsoukas-Stimming, "On the error rate of the lora modulation with interference," *IEEE Transactions on Wireless Communications*, vol. 19, no. 2, pp. 1292–1304, 2020.
- [13] C. Bouras, V. Kokkinos, and N. Papachristos, "Performance evaluation of lorawan physical layer integration on iot devices," in *2018 Global Information Infrastructure and Networking Symposium (GIIS)*, 2018, pp. 1–4.

Categoría

ARTÍCULO

Implementación de embebidos

Área Temática

Radiotherapy dosimetry monitor system for MOS sensors based on embedded systems

Facundo Adrián Lucianna
INSIBIO - CONICET - UNT
San Miguel de Tucumán, Argentina
flucianna@herrera.unt.edu.ar

Juan Pablo Goyret
FIUBA
Buenos Aires, Argentina
juanpablogoyret@gmail.com

Sebastián Carbonetto
FIUBA - CONICET
Buenos Aires, Argentina
scarbonetto@fi.uba.ar

Adrián Faigón
FIUBA - CONICET
Buenos Aires, Argentina
afaigon@gmail.com

Mariano Garcia-Inza
FIUBA - CONICET
Buenos Aires, Argentina
mariano.garciainza@gmail.com

Abstract—In this article, we present an embedded system to measure MOS dosimeters for in-vivo dose control in radiotherapy applications. The dosimeter is based on a MOSFET that changes its threshold voltage when it is exposed to ionizing radiation. The absorbed dose is estimated by reading the threshold voltage before and after the radiation session. To mitigate unwanted variations of the threshold voltage due to environmental factors, the system controls the temperature of the dosimeter during the reading procedure. It also has a user-friendly interface that allows radiotherapy personnel to operate it with a simple keyboard or laptop interface. In addition, the system includes an optical QR reader to identify and trace different dosimeters.

Index Terms—dosimeter, radiotherapy, MOSFET

I. INTRODUCTION

Over the last years, MOSFET dosimetry in radiotherapy has been thoroughly researched. Several studies have shown that this sensor technology is suitable for dose control in different radiation therapies [1], [2], [3]. Ionizing radiation generates positive charge build-up within the insulator of the MOSFET, and modifies the threshold voltage (V_T) [4]. This V_T change is used to estimate the absorbed dose [4], [5]. In [6], we presented a new dosimeter based in a Field Oxide MOS transistor (FOXFET). The FOXFET is a transistor in which the standard thin gate oxide is replaced with a passivation field oxide which allows manufacturing the dosimeter with a traditional CMOS fabrication process [6]. CMOS technology used for making the dosimeter presents a lot of benefits, namely ease of manufacturing, the small size of the dosimeter (figure 1a), and its good spatial resolution, among others [3]. The main difficulty of this technology is the V_T dependence on temperature, which introduces measurement errors. This is why the temperature should be controlled when the V_T is measured [7].

In this article, we present an embedded system that can measure the V_T of a MOS dosimeter and calculate the radiation absorbed dose (figure 1b). It has a specialized circuit that can take this measurement with the lowest possible noise, and a refined temperature control. Furthermore, the system has traceability control of different dosimeters and dose register.

All these characteristics with a user-friendly interface for a non-technical user.

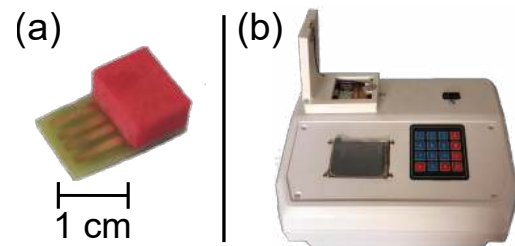


Fig. 1. (a) FOXFET dosimeter. (b) Equipment based on embedded systems to measure the dose in a MOS dosimeter.

II. SYSTEM DESCRIPTION

A. Hardware

Figure 2 presents the block diagram of the system's hardware.

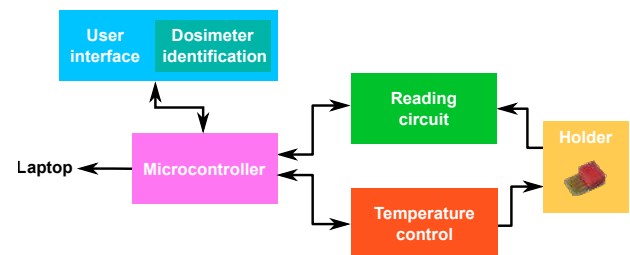


Fig. 2. Diagram block of the system's hardware.

1) *Microcontroller*: The EDU-CIAA-NXP (educational version of the CIAA) [8] was used as the central processing unit. It has an NXP LPC4337 microcontroller. In this system, the following peripherals are used, I^2C , SPI, two of the USART, GPIO and pulse width modulation (PWM).

2) *Reading circuit*: The reading circuit incorporates both analog and digital circuitry. The analog circuit is composed of two units: one in charge of polarizing the FOXFET transistor so that its V_T can be measured; while the other unit tracks the temperature of the chip using the bulk-source diode of the transistor, allowing the microcontroller to know if the dosimeter has reached a stable temperature. It is important to note that both analog units do not work at the same time but in an alternated fashion, and they were designed towards low noise performance in order to achieve the required dose resolution. Additionally, the whole reading circuit was implemented as a "Poncho" [9] for the EDU-CIAA-NXP. As regards the digital circuit, the EDU-CIAA-NXP communicates via a SPI bus with the reading circuit through a 24-bits ADC (AD7799) and a 10-bits DAC (MCP4812) held on the Poncho. The first one is used to measure both the V_T and the bulk-source diode, whereas the second one provides the voltage to polarize the transistor with precision. Finally, the microcontroller can alternate the operation of the two analog circuits using SPDT analog switches (MAX4533) by activating one unit and deactivating the other or vice versa.

3) *Temperature control*: The system has a holder in which the user inserts the dosimeter (there is a connection port with the reading circuit). This holder has a heater that is controlled by the microcontroller using PWM and a temperature sensor (BMP180) in communication by the I^2C bus. The microcontroller, with a PID controller, controls the temperature. The device can heat the dosimeter between 34°C and 40°C and maintain this temperature within an error of 0.2°C .

4) *User interface*: The system has a 4x4 keypad and a 28" color LCD to interact with the user. The LCD controller is the IL9341 with a connection to the microcontroller by the SPI bus. It also has an external EEPROM memory (AT24C256) with a character set and other graphic elements to draw in the LCD. The microcontroller has a connection to the memory by the I^2C bus.

5) *Dosimeter identification*: Each dosimeter has an identification number for traceability and a set of calibration parameters. The microcontroller uses these parameters to calculate the absorbed dose. There are two ways of loading this calibration information. The first one is manually, using the keypad, and the second one is with a QR reader that automatically loads these parameters by a QR code. The QR reader is the model GM65, which can communicate with the microcontroller by USART.

6) *PC connection*: The system can communicate with a PC with USART by USB, so there is a second way to use it. With a computer, users can still perform all the same actions as with the user interface. This feature is intended to be exploited in the future with a PC software made specifically for this system.

B. Firmware

The system has different tasks that the microcontroller needs to perform at the same time (e.g. temperature control while receiving a V_T value from the reading circuit, and getting commands from the user interface). For that, the firmware was

programmed with a real time operating system (FreeRTOS v10). The sAPI [10] and LPCOpen [11] libraries were used as the driver layer of the firmware.

The firmware's main quality characteristics are functionality and reliability. These are very important because the reading accuracy of the absorbed dose is essential for the effectiveness of radiation therapy sessions. An error in this measurement could possibly affect a radiotherapy patient. In this aspect, the microcontroller is continuously checking that all the modules are working as intended. If there is an error, the microcontroller will automatically stop working and warn the user that there is a problem.

C. System operation

When turned on, the system checks the different peripherals and initializes them. After this, the microcontroller heats the holder, regardless of whether there is a dosimeter inside or not. This is done to shorten the time needed to stabilize the temperature of the dosimeter and therefore speed up the measurement. If the users want to make a dose measurement, first they have to load the dosimeter parameters in the system using the keypad or the dosimeter QR code. Then, before the radiotherapy session starts, they have to make a pre-irradiation measurement of the V_T , putting the dosimeter inside the holder and starting the measurement. The system waits until the holder temperature is stable, then checks that the chip temperature using the bulk-source diode is also stable. If these two conditions are met, the system switches to the reading circuit and takes a measurement of the V_T . Then, the users remove the dosimeter. After the irradiation process, the users put the dosimeter back in the holder, and a new measurement starts. This is the post irradiation process. After that, the system calculates the absorbed dose, presents it in the LCD screen, and saves the dose in the external memory for later traceability. The system constantly presents messages of the things it is doing and the users' actions making it user-friendly.

III. REMARKS AND CONCLUSION

We designed and developed a system that was capable of reading the absorbed dose of a MOS dosimeter. The system was tested with two dosimeters and could successfully read their V_T values using the process described in the previous section. This system was capable of making successful measurements, taking into account the different parameters that had to be controlled.

The system is a minimum viable product (MVP). As an MVP, it has the purpose of being used in a real environment to receive feedback that allows us to improve the product. The next step is to use the system in a real environment to evaluate its performance and to collect comments from the users.

ACKNOWLEDGMENT

This work was supported by UBA and ANPCyT by grants: UBACyT 20020170200337BA, UBACyT 20020170100685BA and PICT-2016-1360. The authors wish to thank Gilda Moreno for her assistance with grammatical review of the manuscript.

REFERENCES

- [1] M. Dybek, W. Łobodziec, A. Kawa-Iwanicka, and T. Iwanicki, "MOS-FET detectors as a tool for the verification of therapeutic doses of electron beams in radiotherapy," *Reports of Practical Oncology & Radiotherapy*, vol. 10, no. 6, pp. 301–306, Jan. 2005.
- [2] A. Ismail, J.-Y. Giraud, G. N. Lu, R. Sihanath, P. Pittet, J. M. Galvan, and J. Balosso, "Radiotherapy quality assurance by individualized in vivo dosimetry: state of the art," *Cancer Radiotherapie: Journal De La Societe Francaise De Radiotherapie Oncologique*, vol. 13, no. 3, pp. 182–189, Jun. 2009.
- [3] M. Garcia-Inza, S. H. Carbonetto, J. Lipovetzky, and A. Faigon, "Radiation Sensor Based on MOSFETs Mismatch Amplification for Radiotherapy Applications," *IEEE Transactions on Nuclear Science*, vol. 63, no. 3, pp. 1784–1789, Jun. 2016, conference Name: IEEE Transactions on Nuclear Science.
- [4] D. M. Fleetwood, "Evolution of Total Ionizing Dose Effects in MOS Devices With Moore's Law Scaling," *IEEE Transactions on Nuclear Science*, vol. 65, no. 8, pp. 1465–1481, Aug. 2018, conference Name: IEEE Transactions on Nuclear Science.
- [5] S. Carbonetto, M. Echarri, J. Lipovetzky, M. Garcia-Inza, and A. Faigon, "Temperature-compensated MOS dosimeter fully integrated in a high-voltage 0.35 μm CMOS process," *IEEE Transactions on Nuclear Science*, pp. 1–1, 2020, conference Name: IEEE Transactions on Nuclear Science.
- [6] J. Lipovetzky, M. A. García-Inza, S. Carbonetto, M. J. Carra, E. Redin, L. Sambuco Salomone, and A. Faigon, "Field Oxide n-channel MOS Dosimeters Fabricated in CMOS Processes," *IEEE Transactions on Nuclear Science*, vol. 60, no. 6, pp. 4683–4691, Dec. 2013, conference Name: IEEE Transactions on Nuclear Science.
- [7] M. Garcia-Inza, S. Carbonetto, J. Lipovetzky, M. J. Carra, L. S. Salomone, E. G. Redin, and A. Faigon, "Switched Bias Differential MOSFET Dosimeter," *IEEE Transactions on Nuclear Science*, vol. 61, no. 3, pp. 1407–1413, Jun. 2014, conference Name: IEEE Transactions on Nuclear Science.
- [8] "Proyecto CIAA." [Online]. Available: <http://www.proyecto-ciaa.com.ar/>
- [9] "desarrollo:edu-ciaa:ponchos []." [Online]. Available: <http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-ciaa:ponchos>
- [10] E. N. Pernia and F. Safar, "sAPI (simpleAPI), a hardware-independent C library for embedded systems programming," in *2017 Eight Argentine Symposium and Conference on Embedded Systems (CASE)*, Aug. 2017, pp. 1–6.
- [11] "LPCOpen Libraries and Examples | NXP." [Online]. Available: <https://www.nxp.com/design/microcontrollers-developer-resources/lpcopen-libraries-and-examples:LPC-OPEN-LIBRARIES>

Diseño de un software de automatización de propósito general basado en Raspberry Pi

Ing. Randy Piñero Aguilar

Dpto. Automática y Computación

EMSI FARMA, Universidad Tecnológica de La Habana “José

Antonio Echeverría”

La Habana, Cuba

rpineroa@gmail.com

Dr. Alberto S. Prieto Moreno

Dpto. Automática y Computación

EMSI FARMA, Universidad Tecnológica de La Habana “José

Antonio Echeverría”

La Habana, Cuba

albprieto@automatica.cujae.edu.cu

Abstract— The current project is related to the engineering of a general purpose software for automation, based on a computerized system with Raspberry Pi operating as a digital logic controller. The automation solution is capable of regulating sequential and continuous processes of multiple input/output signals, and its functioning can be completely configured according to the application’s requirements.

Keywords— *Raspberry Pi, controller, automation, open source*

I. INTRODUCCIÓN

Hoy en día, con los niveles de desarrollo alcanzados en las áreas de la electrónica y la informática, existen un número significativo de tecnologías de bajo costo y altas prestaciones que pueden ser aprovechadas de forma eficaz en el terreno de la automatización. Plataformas como *Arduino* y *Raspberry Pi* (RPi) constituyen candidatos cada vez más atractivos para dar soluciones rápidas de hardware a diversos problemas. En el ámbito de la informática existen múltiples herramientas de software libre con las que los programadores pueden concebir sus aplicaciones sin tener que pagar licencias de utilización. Si se conjugan estas potencialidades, es posible obtener un producto de automatización de buena calidad y adaptable a las necesidades de la industria moderna.

II. MATERIALES Y MÉTODOS

El software de aplicación, objetivo del proyecto, para el controlador digital, necesita de un hardware que le de soporte y a la vez disponga de una interfaz que permita interactuar con el medio físico o proceso que se desea controlar.

KUNBUS GmbH desarrolló una nueva línea de autómatas industriales basados en RPi, a la que llamó *Revolution Pi* (RevPi) con la intención de llevar el concepto de las tecnologías abiertas al terreno industrial. RevPi cuenta con diferentes tipos de módulos con los que es posible definir la arquitectura de hardware más adecuada a los requerimientos de la aplicación. Satisfacen el estándar industrial EN61131-2, presentan protección IP20 y certificaciones CE y RoHS. El hecho de que el eje central esta tecnología de automatización sea RPi garantiza que cualquier aplicación de software desarrollada para RPi va a correr también sobre RevPi [1-6].

Los RPi soportan una amplia variedad de sistemas operativos (SO) y plataformas de desarrollo de software. El SO elegido para este proyecto es *Windows 10 IoT Core*. Está orientado específicamente a aplicaciones de Internet de las Cosas (IoT) en sistemas embebidos y puede ser configurado para levantar en el arranque una aplicación predefinida en lugar de un escritorio [7-11], lo cual es de especial utilidad para este proyecto.

Se emplea el IDE *Visual Studio Community* para alcanzar el máximo nivel de compatibilidad con el SO y, además, por

ser gratuito y ofrecer una gran diversidad de bibliotecas que reducen los tiempos y facilitan el desarrollo de aplicaciones. Se utilizó el lenguaje *C#*, con el objetivo de aprovechar las bondades que ofrece la programación orientada a objetos, su alta portabilidad y eficiencia.

III. DESCRIPCIÓN DEL SOFTWARE DE AUTOMATIZACIÓN

Las tecnologías tradicionales proveen, usualmente, una amplia variedad de recursos o piezas de software que utilizan los programadores para dar soluciones de automatización. Estos recursos no presentan vínculos preestablecidos entre sí, por lo que es responsabilidad del desarrollador definir la estructura del programa, invirtiendo para ello tiempo y esfuerzo considerables. La calidad de la solución ofrecida depende, por tanto, de la eficacia de las herramientas de software utilizadas, la capacidad de organización del desarrollador y su nivel de dominio de los diferentes lenguajes de programación, que pueden coexistir dentro de una misma aplicación.

El objetivo de este proyecto consiste en automatizar la obtención de una aplicación de control para procesos industriales, de laboratorio, o domótica. Esta tecnología busca abstraer al usuario de las tareas de programación, solo debiendo concentrarse en configurar la estructura y funciones de la aplicación. Esta configuración se realiza desde una aplicación de edición, orientada a una PC, en la cual el usuario añade los diferentes recursos de forma dinámica y asistida según sus necesidades. La aplicación resuelve de antemano cuestiones de tratamiento de señales y errores, y provee a estos objetos de propiedades y métodos preestablecidos. El usuario define, mediante lógica booleana, las cuestiones funcionales e interconexión de las señales entre estos recursos, sin necesidad de dominar ningún lenguaje de programación específico y minimizando el tiempo de desarrollo. La aplicación orientada al RPi, en calidad de autómata, hace uso de la configuración definida por el usuario y se encarga de ordenar, por sí misma, de forma cíclica, la ejecución de las tareas intrínsecas de cada uno de los recursos.

A. Ingeniería del Software del Controlador

La aplicación hace uso de dos clases fundamentales: una clase encargada de la construcción y resolución de árboles de decisión binarios, y una clase contenedora para administrar todas las listas de recursos. La primera le permite al usuario definir la lógica de funcionamiento en las diferentes etapas del programa. La segunda, provee un mecanismo de enlace entre los datos que manejan los diferentes recursos y los árboles de decisión binarios. Entre los recursos más importantes figuran:

1) *Acondicionamiento de entradas analógicas*: Permite el escalado, filtrado, calibración y autoajuste del canal de entrada analógico.

2) *Filtrado de entradas digitales.*

3) *Administración de alarmas:* Permite configurar las condiciones y tiempos de disparo, modo de acuse, nivel de criticidad y habilitación global de las alarmas.

4) *Administración de controladores continuos:* Define controladores que combinan diferentes tipos de acción. Cada uno toma una de las entradas analógicas como variable controlada. Los controladores pueden ser configurados para trabajar en modo de regulación o como servomecanismos. Pueden ser definidas diferentes variables y tipos de referencia según se satisfagan las respectivas condiciones lógicas por orden de prioridad. Se admiten los modos de operación automático o manual, permitiendo forzar tanto la variable de referencia como la salida de control.

5) *Administración de controladores de histéresis.*

6) *Administración de moduladores PWM.*

7) *Administración de secuencias:* Define un listado de secuencias a ejecutar por el dispositivo. Se ofrecen controles básicos para el manejo manual de cada secuencia y, además, definir las condiciones de interbloqueo, pausa o parada. Cada secuencia puede ser editada para contener una o varias fases o estados. A la vez, en cada fase se pueden definir una o varias condiciones de salto hacia el resto de las fases definidas dentro de la secuencia, que son evaluadas por orden prioritario.

8) *Acondicionamiento de salidas analógicas:* Recurso que permite el escalado, calibración y autoajuste del canal de salida analógico. Se asocia a la variable de salida de un controlador continuo y permite definir sus condiciones de bloqueo.

9) *Accionamiento de salidas digitales:* Evalúa los criterios de activación y de bloqueo definidos por el usuario para las salidas digitales. La activación puede estar asociada a diferentes estados de las secuencias, o de otros recursos. El bloqueo puede vincularse a alarmas, u otras condiciones.

10) *Administración de temporizadores y contadores.*

B. *Ejecución del Programa de Control*

Una vez configurada la estructura y funcionamiento de todo el sistema desde el software de edición, se obtiene un fichero de configuración que utiliza la aplicación instalada en el RPi para la ejecución del programa de control. Esta aplicación está diseñada para correr sobre múltiples hilos, aprovechando las características del procesador del sistema y el hecho de trabajar sobre un sistema operativo completo. El hilo principal de la aplicación se ejecuta de forma cíclica procesando cada una de las listas de recursos, de acuerdo al ordenamiento enumerado en la sección anterior (ver Fig. 1). El resto de la aplicación se dedica al procesamiento de las diferentes funcionalidades de interfaz de operación, publicación de datos vía OPC-UA, etc.

La interfaz de operación ofrece información del estado de funcionamiento del dispositivo en tiempo real y todos los parámetros y comandos necesarios para controlarlo. Provee tablas de observación y forzado que permiten supervisar el estado de las entradas/salidas del sistema; además, gobernar de forma manual el proceso, o disponer de un medio de simulación para el dispositivo. El comportamiento de todas las variables analógicas puede ser visualizado mediante gráficas. Se dispone de una ventana desde donde es posible monitorear el estado de activación de las alarmas definidas con fecha y hora de disparo. Se ofrece una ventana que resume el estado de ejecución de las secuencias configuradas.

La aplicación permite restringir el acceso a diferentes funcionalidades. Implementa una ventana de gestión de cuentas de usuario para configuración individualizada de los permisos de acceso, desconexión automática, manejo de contraseñas y la adición y eliminación de usuarios. Cada una de las acciones que se realicen sobre la interfaz del controlador quedan almacenadas en un registro de auditoría, indicándose la fecha y la hora, usuario que la ejecutó y descripción de la acción.

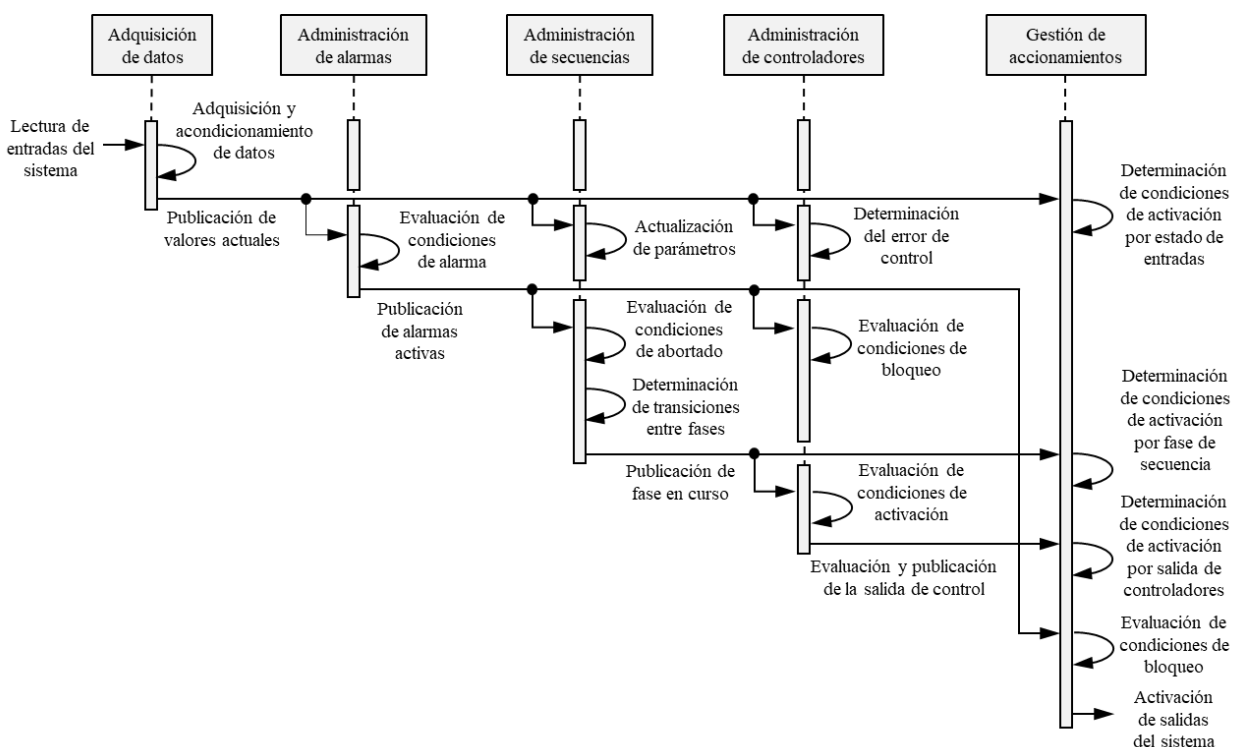


Fig. 1 Diagrama de secuencia simplificado del procesamiento cíclico, del hilo principal, ejecutado por el RPi como controlador digital.

IV. CONCLUSIONES

El concepto de las tecnologías libres y el trabajo de la amplia comunidad de colaboradores ha hecho posible que dispositivos como los RPi se inserten en la industria y laboratorios, ocupando nichos de mercado que hasta ahora han sido dominados por fabricantes de autómatas y otros sistemas embebidos profesionales. Con esta tecnología de software se busca complementar y utilizar los logros ya alcanzados en el hardware, reduciendo además el costo y el tiempo de la obtención de soluciones en el terreno de la automatización.

REFERENCIAS

- [1] Revolution Pi Flyer. Revolution Today [Internet]. 2020:[6 p.]. Available from: <https://revolution.kunbus.com/>
- [2] Easy Configuration with PiCtory: KUNBUS GmbH; 2016. Available from: <https://revolution.kunbus.com/pictory/>.
- [3] How to Configure RevPi DIO by Using PiCtory: KUNBUS GmbH. Available from: <https://revolution.kunbus.com/tutorials/what-is-pictory/revpi-dio-pictory-configuration/>.
- [4] Easy Integration of your own Modules: KUNBUS GmbH; 2016. Available from: <https://revolution.kunbus.com/pictory-modules/>.
- [5] Full Control by using PiControl: KUNBUS GmbH; 2016. Available from: <https://revolution.kunbus.com/picontrol/>.
- [6] Revolution Pi product brochure. Revolution Today. 2020:[4 p.]. Available from: <https://revolution.kunbus.com/>.
- [7] Windows 10 IoT Core Services: Microsoft Corporation; 2018. Learn more about what Windows 10 IoT Core Services can do for your devices. Available from: <https://docs.microsoft.com/en-us/windows-hardware/manufacture/iot/iotcoreservicesoverview>.
- [8] Suggested Prototype Boards: Microsoft Corporation; 2018. Learn about the suggested prototype boards for Windows 10 IoT. Available from: <https://docs.microsoft.com/en-us/windows/iot-core/tutorials/quickstarter/prototypeboards>.
- [9] Windows 10 IoT Core: Microsoft Corporation; 2018. Learn about what Windows 10 IoT Core is and what you can do with it. Available from: <https://docs.microsoft.com/en-us/windows/iot-core/windows-iot-core>.
- [10] Get started with Windows 10 IoT Core: Microsoft Corporation; 2018. Learn about getting started with Windows 10 IoT Core. Available from: <https://docs.microsoft.com/en-us/windows/iot-core/getstarted>.
- [11] An overview of Windows 10 IoT: Microsoft Corporation; 2018. Learn about what Windows 10 IoT is and what you can do with it. Available from: <https://docs.microsoft.com/en-us/windows/iot-core/windows-iot>.

Categoría

ARTÍCULO

Protocolos y comunicaciones

Área Temática

Aplicación de Internet de las Cosas con procesamiento de datos

Arturo Cardenas_Rivero ¹, Jorge Portal ¹, Reyneris de_la_Paz ¹, Cristian Duran_Faundez ², Ivan Santana ¹

¹Departamento de Control Automático, Universidad Central “Marta Abreu” de Las Villas, Cuba.

²Departamento de Ingeniería Eléctrica y Electrónica, Universidad del Bio-Bio, Chile.

E-mails: acrivero@uclv.cu, jportal@uclv.cu, rdelapaz@uclv.cu, crduran@ubiobio.cl, ching@uclv.cu.

Resumen—Este artículo propone una aplicación de Internet de las Cosas con procesamiento inteligente de los datos, aplicable en varios sectores industriales. La aplicación diseñada permite la recolección, el almacenamiento y la visualización de los datos. Se implementa un *gateway* IoT que funciona como servidor local, lo que posibilita el acceso a la información de los nodos sensores, aún sin conexión a Internet. El procesamiento de la información se realiza en un servidor Big Data en la nube, mediante Apache Spark, Apache Kafka y la plataforma IoT ThingsBoard. Para las pruebas experimentales del procesamiento inteligente de datos se utiliza una base de datos de cultivos de tomates, se evalúan varios algoritmos de aprendizaje automático y se selecciona el que brinda mejores resultados.

Palabras Clave—Internet de las Cosas, plataforma IoT, Raspberry Pi, visualización local, procesamiento inteligente.

Abstract—This article proposes an Internet of Things application with intelligent data processing, applicable in various industrial sectors. The designed application allows the collection, storage and visualization of data. An IoT gateway is implemented that functions as a local server, which enables access to the information from the sensor nodes, even without an Internet connection. The information is processed on a Big Data server in the cloud, using Apache Spark, Apache Kafka and the IoT ThingsBoard platform. For the experimental tests of intelligent data processing, a tomato crop database is used, several machine learning algorithms are evaluated and the one with the best results is selected.

Keywords—Internet of Things, IoT platform, Raspberry Pi, local visualization, intelligent processing.

I. INTRODUCCIÓN

El Internet de las Cosas (IoT, por sus siglas en inglés), posibilita el uso de recursos y servicios disponibles en la nube, permitiendo el monitoreo y control de dispositivos empujados conectados a una red [1]. Las plataformas IoT ofrecen una solución completa en cuanto a los servicios de control de dispositivos y de recolección, procesamiento y visualización de los datos. Son el *middleware* de IoT, actuando como mediador entre la capa de *hardware* y la capa de aplicación [2]. ThingsBoard es una plataforma IoT de código abierto que permite la conectividad de dispositivos a través de protocolos IoT como MQTT, CoAP y HTTP. Tiene escalabilidad horizontal, tolerancia a fallos, soporta encriptación de transporte, permite varios sistemas de almacenamiento de datos e incorpora la funcionalidad de *gateway* IoT [3].

El IoT está presente en múltiples sectores de la sociedad, en especial el IoT con soporte de Inteligencia Artificial (AI, por sus siglas en inglés), lo que mejora considerablemente la eficiencia de aplicaciones industriales. Con la inclusión de AI se introducen mejoras significativas en la optimización de la

red, el empleo de recursos computacionales o el análisis de datos [4]. Apache Spark es una plataforma de cómputo de clúster de código abierto que incrementa la velocidad de ejecución del proceso al aumentar la velocidad de entrada y salida de datos en memoria. Este método es efectivo para procesamientos interactivos que requieren alta velocidad de respuesta y procesamiento [5].

En este artículo se diseña una aplicación IoT genérica que puede implementarse en diversos sectores industriales que cumplan los parámetros de funcionamiento de cada uno de los componentes de *hardware* y *software* que la integran. Algunos de estos sectores pueden ser Agricultura de Precisión, Ciudades Inteligentes, Domótica, etc.

II. ARQUITECTURA DE LA APLICACIÓN IoT DISEÑADA

La arquitectura de *hardware* y *software* de la aplicación IoT diseñada, se observa en la figura 1. En el nivel inferior, correspondiente a los nodos sensores, se encuentra cualquier dispositivo o red de sensores inalámbricos (WSN, por sus siglas en inglés), compuesta por dispositivos con electrónica empotrada que les permita obtener datos de sensores y enviarlos hacia el *gateway* IoT. La conexión entre los nodos y el *gateway* se puede establecer mediante cualquier estándar o especificación de comunicación inalámbrica (Wi-Fi, LoRa, Zigbee, 6LoWPAN) que soporte el protocolo MQTT. En esta aplicación IoT se propone el empleo de 6LoWPAN.

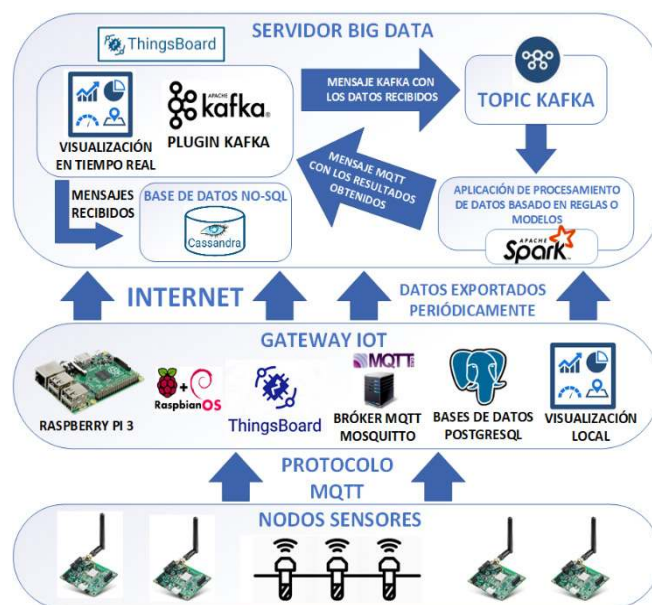


Fig. 1. Arquitectura de la aplicación IoT diseñada. (Fuente: los autores).

En el nivel intermedio se encuentra el *gateway* IoT, formado por una Computadora de Placa Simple (SBC, por sus siglas en inglés) Raspberry Pi 3 Modelo B, que constituye el elemento de *hardware* fundamental en el sistema embebido.

El *gateway* IoT permite establecer un servidor local, sin necesidad de acceso a Internet, para la visualización, almacenamiento local y conversión del flujo de datos de la red en información adecuada para su procesamiento en el nivel superior, lo que potencia el *edge computing* (procesamiento en el borde). En la Raspberry Pi se ejecuta el sistema operativo Raspbian, la plataforma ThingsBoard IoT Gateway, la base de datos PostgreSQL para el almacenamiento de la información y el bróker de mensajería MQTT Mosquitto. ThingsBoard IoT Gateway representa el *software* principal en este nivel, pues al ser implementado en la SBC permite que, sin necesidad de conectarse a los servidores en la nube, se pueda administrar localmente cada nodo sensor, controlar el acceso de usuarios, visualizar en tiempo real los datos y gestionar valores históricos recientes.

El *gateway* IoT se despliega cerca de los nodos sensores para que la información se almacene temporalmente antes de enviarla a los servidores en la nube, lo que evita la pérdida de datos si falla la conexión con el nivel superior de la aplicación. Esto es necesario en aplicaciones diseñadas para ambientes con limitaciones en la comunicación debido a una situación geográfica desfavorable. En el *gateway* IoT se realiza la compresión de los datos provenientes de los nodos sensores que generan mayor flujo de información, para reducir la latencia, ahorrar espacio de almacenamiento, ancho de banda de la red y evitar problemas en la transmisión de datos hacia los servidores Big Data [6].

El nivel superior de la arquitectura propuesta se encarga del procesamiento Big Data en la nube y utiliza el modelo de Plataforma como Servicio (PaaS, por sus siglas en inglés). El flujo de datos hacia este nivel puede ser a través de Internet o mediante la importación manual de los datos del *gateway* IoT. Los datos ingresan a la plataforma ThingsBoard IoT Data Analytics que se ejecuta en el servidor Big Data y son almacenados en la base de datos NoSQL Apache Cassandra, ante la necesidad de un modelo no relacional, que permita escalabilidad y alto rendimiento al manejar grandes volúmenes de información.

Los datos son transferidos a Apache Spark mediante Apache Kafka, un sistema de cola de mensajes que los organiza en tópicos. Mediante un *plugin* de Kafka integrado en ThingsBoard IoT Data Analytics, son publicados en tópicos según ingresan en el sistema y son tomados de los mismos por Spark para su procesamiento. La información almacenada se procesa a partir de librerías de aprendizaje automático, mediante los modelos definidos por el usuario o algoritmos predefinidos. Los resultados obtenidos se envían a la plataforma ThingsBoard IoT Data Analytics a través del protocolo MQTT, donde se visualizan y ejecutan los eventos asociados con el tipo de respuesta.

III. PRUEBAS Y RESULTADOS

Para comprobar el desempeño del *gateway* IoT en cuanto a calidad de la conexión, funcionamiento de los nodos sensores y envío de datos hacia la plataforma ThingsBoard IoT Gateway, se realizó un despliegue del sistema en invernaderos pertenecientes a una empresa de cultivos protegidos. Se estableció una WSN con un nodo enrutador de frontera y 5 nodos sensores que utilizan 6LoWPAN y MQTT para enviar información relacionada con parámetros ambientales como temperatura, humedad relativa, humedad del suelo e intensidad luminosa. Todos los datos enviados por los nodos fueron correctamente recibidos, almacenados en la

Raspberry Pi y visualizados en la plataforma ThingsBoard IoT Gateway [7].

En cuanto al procesamiento de datos, el funcionamiento de Apache Spark se comprobó con una base de datos sobre el cultivo de tomates en invernaderos, enfocada a la identificación de acciones correctivas para mejorar la producción. Esta base de datos fue obtenida a partir del monitoreo de varias cosechas en la empresa de cultivos protegidos, donde las variables objetivas o etiquetas son: 1) suelo sin agua, 2) ambiente correcto, 3) demasiado caliente y 4) muy húmedo. Del total de 300 entradas, se selecciona aleatoriamente el 60% para el entrenamiento del modelo y el 40% para las pruebas de validación.

Los algoritmos de clasificación disponibles en Spark que brindaron los mejores resultados fueron los Algoritmos de Regresión Logística Multinomial y el Árbol de Decisión. Los resultados obtenidos se muestran en la tabla 1, representados en las Matrices de Confusión, que describe el desempeño de cada algoritmo a partir de un conjunto de datos de prueba cuyos valores verdaderos son conocidos. De la muestra seleccionada para cada caso, ambos predijeron correctamente el total de suelos sin agua, siendo 54 en un caso y 48 en el otro. Así mismo, se observa que el Algoritmo de Regresión Logística Multinomial presentó mayores problemas para distinguir el ambiente correcto, confundiendo una muestra del total como demasiado caliente y tres muestras del total como muy húmedo. El Algoritmo de Árbol de Decisión presentó mayores problemas para distinguir el ambiente muy húmedo, confundiendo dos muestras como ambiente correcto y dos muestras como demasiado caliente.

TABLA I. RESULTADOS OBTENIDOS EN APACHE SPARK.

	ALGORITMO DE REGRESIÓN LOGÍSTICA MULTINOMIAL					ALGORITMO DE ÁRBOL DE DECISIÓN			
	1	2	3	4	5	1	2	3	4
VALORES REALES	1	54	0	0	0	48	0	0	0
	2	0	38	1	3	0	33	0	0
	3	0	1	23	0	0	0	21	0
	4	0	2	0	8	0	2	2	11
		1	2	3	4	1	2	3	4
	PREDICCIÓN					PREDICCIÓN			

La exactitud de la clasificación es la relación entre las predicciones correctas y el número total de predicciones. La exactitud del primer algoritmo fue de 0.9462, mientras que la exactitud del segundo fue de 0.9658. El puntaje F1 representa la media armónica que combina los valores de precisión y sensibilidad (exhaustividad). El valor de F1 se encuentra en el rango de 0 a 1, donde una puntuación más alta indica un mejor modelo [8]. En el caso del primer algoritmo, el F1 fue de 0.9467, mientras que para el segundo algoritmo fue de 0.9638. La selección para este tipo de aplicaciones es el Algoritmo de Árbol de Decisión pues arrojó mejores resultados en ambos parámetros.

IV. CONCLUSIONES

Implementar el *gateway* IoT en la Raspberry Pi brinda una flexibilidad adicional al sistema diseñado, pues permite almacenar y gestionar los datos sin necesidad de acceso a servidores externos, aspecto fundamental en escenarios sin conexión a Internet debido a situaciones geográficas desfavorables. Con la integración del análisis inteligente de datos en el nivel superior de la aplicación IoT, se apoya el proceso de toma de decisiones de los expertos con el empleo de algoritmos de inteligencia artificial para definir acciones que mejoren el rendimiento de la producción.

REFERENCIAS

- [1] A. Sunyaev, «The Internet of Things», en *Internet Computing*, Springer, 2020, pp. 301-337.
- [2] P. Agarwal y M. Alam, «Investigating IoT Middleware Platforms for Smart Application Development», en *Smart Cities—Opportunities and Challenges*, Springer, 2020, pp. 231-244.
- [3] ThingsBoard, «ThingsBoard IoT Open Source Plataform», 2020. [En línea]. Disponible en: <https://thingsboard.io/>. [Accedido: 01-may-2020].
- [4] F. Zantalis, G. Koulouras, S. Karabetsos, y D. Kandris, «A Review of Machine Learning and IoT in Smart Transportation.», 2019.
- [5] A. Singh, M. Mittal, y N. Kapoor, «Data processing framework using apache and spark technologies in big data», en *Big Data Processing Using Spark in Cloud*, Springer, 2019, pp. 107-122.
- [6] T. N. Gia, L. Qingqing, J. P. Queralta, H. Tenhunen, Z. Zou, y T. Westerlund, «Lossless Compression Techniques in Edge Computing for Mission-Critical Applications in the IoT», en *2019 Twelfth International Conference on Mobile Computing and Ubiquitous Network (ICMU)*, 2019, pp. 1-2.
- [7] I. Santana Ching, A. J. Cárdenas Rivero, R. Sosa López, y J. A. Portal Díaz, «Monitoreo de parámetros ambientales en casas de cultivo a través de aplicación IoT», *Rev. Cuba. Transform. Digit.*, vol. 1, n.º 1, pp. 53-62, 2020.
- [8] A. Tharwat, «Classification assessment methods», *Appl. Comput. Informatics*, pp. 1-13, 2018.

Hop-Counts and End to End Delays in Linear Wireless Delay Tolerant Network on Chips Subject to Transient Faults

1st Ruben Danilo Capkob
GDEI FAMAF, LCSR FCEFYN
Universidad Nacional de Córdoba
Córdoba, Argentina
danilocapkob@gmail.com

2nd Pablo Alejandro Ferreyra
LCSR FCEFYN, GDEI FAMAF, LABSE FI
Universidad Nacional de Córdoba - IUA
Córdoba, Argentina
pablo.ferreyra@unc.edu.ar

3rd Alberto Fabian Gómez
Departamento Ciencias Básicas
Universidad Nacional de Chilecito
Chilecito, Argentina
albertogomez@hotmail.com

Abstract—Wireless Delay Tolerant Networks on Chips (WDTNOCs) and between Chips (WDTNBCs) have been recently proposed as enabling technologies to improve embedded system's dependability. However, performance metrics are needed in order to evaluate the use of critical embedded systems for real-time applications. As a contribution towards that end, this paper presents results on hop-counts and end to end delay metrics. The obtained results encourage the realization of further research to improve both, dependability and performance using these systems.

Index Terms—disruption tolerant networks, networks on chips, dependability, performance, transient faults

I. INTRODUCTION

System dependability includes both: reliability and availability, [1]–[4]. Dependability improvement has been traditionally achieved by means of the use of spatial or temporal redundancy strategies, [5]–[7]. Hence, dependability improvement implies more area and power consumption. This is more noticeable in the case of systems subject to transient failures such as the well-known single event upsets, [8]–[13]. The use of embedded systems for such critical applications implies the use of high dependable designs but with power and size constraints. In this context, Wireless Delay Tolerant Networks on Chips (denoted by WDTNOCs) and Wireless Delay Tolerant Networks between Chips (denoted by WDTNBC) have been proposed as a promising solution to achieve high dependability with lower area and power consumption. It was shown that they are robust against transient faults such as those that occur in a harsh radiation environment, [14]. In addition to area and power constraints, real-time critical embedded systems have performance requirements that need to be met. Hop counts and end to end statistics are metrics that are used to optimize routing algorithms in long distance DTN networks, (denoted by DTN) [15]–[19]. However, these metrics have not been yet used to obtain performance prediction in WDTNOCs or WDTNBCs. Moreover, static linear-shaped topologies are in general not used in long-distance DTN but are of interest

This work has been developed with the support of the Secretaría de Ciencia y Tecnología - National University of Córdoba-Argentina.

in WDTNOCs because they can fit some performance improvement schemes such as pipelining. Hence the performance metrics based on hop-counts and end to end delays in linear-shaped WDTNOCs and WDTNBCs subject to transient faults, is to our knowledge an important contribution presented for the first time in this work. In section II, a comparison between two networks, one with a particular store and forward scheme in its nodes, and the other without such functionality, is made. In section III, conclusions are given.

II. STUDIED NETWORKS

Store and forward is the main functionality that is present in WDTNOCs and WDTNBCs. In this section the hop-counts and end to end delays metrics of two similar linear shaped networks with four nodes each, are shown. The main difference between the two networks is that, in one of them, the nodes implement a particular store and forward capacity, while in the other they don't. Both examples are assumed to implement a simplified four layer protocol model: Media Access, Network, Transport and Application. Also, both have a linear shaped, four node topology suitable for pipeline implementations.

A. Nodes Fault Models

From hereafter in this work, the nodes with the store and forward capacity are named DT nodes, whereas the ones without it are named TCP nodes. The network with four DT nodes is named DT network. Its nodes are indexed with 0,1,2,3. The other network is named TCP network and has four TCP nodes also identified as 0,1,2,3. For both networks, the nodes denoted by 2 and 3, have the same fault model. They alternate continuously between two states named up and down states. The up-times are independent identical distributed (i.i.d.) exponential random variables with parameter λ_{up} . Similarly, the down-times are i.i.d. exponential random variables with parameter λ_{down} . In order to simplify analysis and simulation, nodes 0 and 3, (the extreme nodes) are considered fault free nodes. Also, the nodes are composed of three types of elements: cores, routers, and queues. The only part of the node that is assumed to fail is the router. That

is cores and queues are assumed to be fault-free. A discrete event simulation was implemented in OMNET++, [20]. For all simulations the down-time is fixed to 10 milliseconds. Up-times are sweep between 10 milliseconds to 100 milliseconds with a step of 10 milliseconds.

B. TCP network

In the TCP network, a message is emitted from node 0 to node 3. Once arrived to node 3, an acknowledgement returns from node 3 to node 0. In this way TCP node 0 can know that his message arrived successfully to its destination. The channel delay between each pair of nodes is fixed in one millisecond. Hence, in the TCP network, the ideal end to end delay is 6 milliseconds and the ideal hop-count is 6 hops. If a message finds a node (a router) in its down state, it cannot advance and it is destroyed. Since TCP node 0 has an internal timeout counter, it can detect if the last message did not arrived in the expected time and can emit the same message again. In that case end to end delays and hop-counts are continuously accumulated, until message finally completes its travel. "Fig. 1", shows end to end delays versus the ratio between up and down times whereas "Fig. 2" shows hop counts versus the same ratio. In both cases for the TCP network.

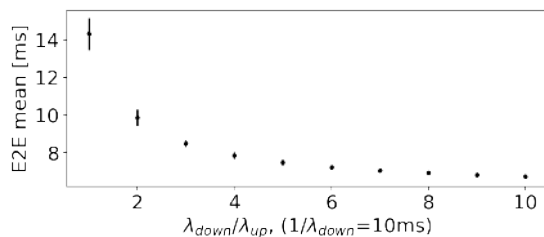


Fig. 1. End to End (E2E) delay in milliseconds versus up-time/down-time ratio for TCP network.

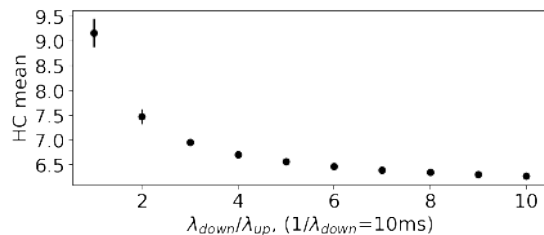


Fig. 2. Hop Counts (HC) versus up-time/down-time ratio for TCP network.

C. DT Network

In the DT network, a message is also emitted from node 0 to node 3. But DT nodes have a particular store and forward scheme: In fact each DT node is composed of a core, a router a bundle queue and two input and two output queues. In this way the nodes can simultaneously receive message from their neighbour nodes while maintaining previous messages in its

bundle queues. Channel delay is also one millisecond, hence the ideal time delay in DT network is 3 milliseconds in 3 hops. (Notice that the DT networks is two times faster than TCP network in the ideal conditions). In case of failures, if, for example, a message emitted from node 1, finds DT node 2 in its down state, (i.e. router 2 in down state), then the message remains in the corresponding bundle queue until router 2 returns to its up state and can send it to core 2. In that case, it emits an acknowledgement to node 1, and forwards the message to node 3, but retains the message in the bundle queue until the next message from node 1 arrives to core 2. The same situation occurs when messages arrives to node 2 from node 3. "Fig. 3", shows end to end delays versus the ratio between up and down times whereas "Fig. 4" shows hop counts versus the same ratio. In both cases for the DT network. In all the last figures the standard deviation was multiplied by 10 in order to be visible in the graphic. Hence there are very low variations in the results.

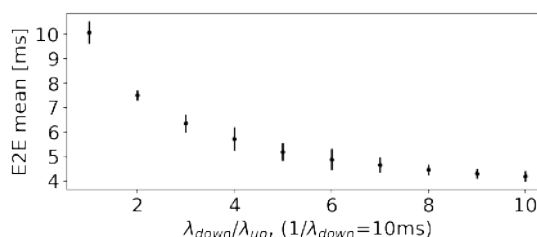


Fig. 3. End to End (E2E) delay in milliseconds versus up-time/down-time ratio for DT network.

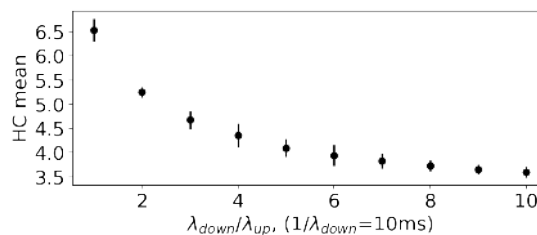


Fig. 4. Hop Counts (HC) versus up-time/down-time ratio for DT network.

III. CONCLUSIONS

The previous results reveal that the performance penalty can be unacceptable, if the nodes up times and down times are similar. However, if up times are at least one order of magnitude bigger than down times, the performance metrics are near to the ideal case. It is very important to remark that in the studied cases DT networks can be as much as two times faster than TCP network and has the desired property of graceful degradation. These conclusions also encourage further research to improve both, dependability and performance in WDTNOCs and WDTNBCs. Also, they show that the prediction accuracy of up-times and down-times needs to be improved in order to be able to use them safely. Future work will enhance these results.

REFERENCES

- [1] K. S. Trivedi and A. Bobbio, "Dependability," in *Reliability and Availability Engineering: Modeling, Analysis, and Applications*, Cambridge: Cambridge University Press, 2017, pp. 3–14.
- [2] H. D. Kochsk, *System Dependability Evaluation Including S-dependency and Uncertainty: Model-Driven Dependability Analyses*, Springer, 2017.
- [3] A. Ibrahim and H. G. Kerkhoff, "A cost-efficient dependability management framework for self-aware system-on-chips based on IEEE 1687," 2017 IEEE 23rd International Symposium on On-Line Testing and Robust System Design (IOLTS), Thessaloniki, 2017, pp. 1-2, doi: 10.1109/IOLTS.2017.8046166.
- [4] P. Esteves-Verissimo, M. Völp, J. Decouchant, V. Rahli and F. Rocha, "Meeting the Challenges of Critical and Extreme Dependability and Security," 2017 IEEE 22nd Pacific Rim International Symposium on Dependable Computing (PRDC), Christchurch, 2017, pp. 92-97, doi: 10.1109/PRDC.2017.21.
- [5] A. Sengupta and D. Kachave, "Spatial and Temporal Redundancy for Transient Fault-Tolerant Datapath," in *IEEE Transactions on Aerospace and Electronic Systems*, vol. 54, no. 3, pp. 1168-1183, June 2018, doi: 10.1109/TAES.2017.2776038.
- [6] M. A. Khan and H. G. Kerkhoff, "SoC Mixed-Signal Dependability Enhancement: A Strategy from Design to End-of-Life," 2011 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Vancouver, BC, 2011, pp. 374-381, doi: 10.1109/DFT.2011.62.
- [7] K. Suito, R. Ueda, K. Fujii, T. Kogo, H. Matsutani and N. Yamasaki, "The Dependable Responsive Multithreaded Processor for Distributed Real-Time Systems," in *IEEE Micro*, vol. 32, no. 6, pp. 52-61, Nov-Dec. 2012, doi: 10.1109/MM.2012.88.
- [8] T. Uemura, S. Lee, D. Min, I. Moon, S. Lee and S. Pae, "SEIFF: Soft Error Immune Flip-Flop for Mitigating Single Event Upset and Single Event Transient in 10 nm FinFET," 2019 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, USA, 2019, pp. 1-6, doi: 10.1109/IRPS.2019.8720513.
- [9] R. Pettit and A. Pettit, "Detecting Single Event Upsets in Embedded Software," 2018 IEEE 21st International Symposium on Real-Time Distributed Computing (ISORC), Singapore, 2018, pp. 142-145, doi: 10.1109/ISORC.2018.00029.
- [10] Y. Mo and S. Yue, "An Efficient Design of Single Event Transients Tolerance for Logic Circuits," 4th IEEE International Symposium on Electronic Design, Test and Applications (delta 2008), Hong Kong, 2008, pp. 125-128, doi: 10.1109/DELTA.2008.9.
- [11] W. Xin, "Partitioning Triple Modular Redundancy for Single Event Upset Mitigation in FPGA," 2010 International Conference on E-Product E-Service and E-Entertainment, Henan, 2010, pp. 1-4, doi: 10.1109/ICEEE.2010.5660842.
- [12] M. Nicolaidis, "Design for mitigation of single event effects," 11th IEEE International On-Line Testing Symposium, French Riviera, 2005, pp. 95-96, doi: 10.1109/IOLTS.2005.20.
- [13] F. S. Alghareb, M. Lin and R. F. DeMara, "Soft Error Effect Tolerant Temporal Self-Voting Checkers: Energy vs. Resilience Tradeoffs," 2016 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Pittsburgh, PA, 2016, pp. 571-576, doi: 10.1109/ISVLSI.2016.19.
- [14] P. Ferreyra, J. A. Fraire, F. Gomez, R. Velazco, D. Sánchez and D. V. Viscardi, "Delay-Tolerant Wireless Networks on Chip: Preliminary Analysis and Results," 2019 IEEE Latin American Test Symposium (LATS), Santiago, Chile, 2019, pp. 1-6, doi: 10.1109/LATW.2019.8704623.
- [15] S. Vassilaras, C. E. Abosi and G. S. Yovanof, "An Optimal-Hop-Count Transmission Scheduling Policy with Maximum Delay Guarantees for Delay Tolerant Mobile Ad Hoc Networks," 2007 IEEE 18th International Symposium on Personal, Indoor and Mobile Radio Communications, Athens, 2007, pp. 1-5, doi: 10.1109/PIMRC.2007.4394141.
- [16] R. Hernández-Jiménez, C. Cárdenas and D. Muñoz Rodríguez, "Towards the Optimal Solution for the Routing Problem in Vehicular Delay Tolerant Networks: A Deep Learning Approach," in *IEEE Latin America Transactions*, vol. 17, no. 12, pp. 2028-2036, December 2019, doi: 10.1109/TLA.2019.9011548.
- [17] H. Ochiai, M. Nakayama and H. Esaki, "Hop-by-hop reliable, parallel message propagation for intermittently-connected mesh networks," 2011 IEEE International Symposium on a World of Wireless, Mobile and Multimedia Networks, Lucca, 2011, pp. 1-9, doi: 10.1109/WoW-MoM.2011.5986387.
- [18] F. De Rango and S. Amelio, "Performance evaluation of scalable and energy efficient dynamic n-epidemic routing in Delay Tolerant Networks," 2013 International Symposium on Performance Evaluation of Computer and Telecommunication Systems (SPECTS), Toronto, ON, 2013, pp. 167-173.
- [19] X. Lai, Z. Wang and Q. Feng, "End-to-End Delay Bounds Analysis of Different On-chip Cache Coherence Policies: A Network Calculus-Based Approach," 2012 Sixth Asia Modelling Symposium, Bali, 2012, pp. 195-199, doi: 10.1109/AMS.2012.27.
- [20] Q. Xue and X. Ren, "Research of routing protocols simulation for wireless sensor networks based on OMNeT++," 2012 International Conference on Quality, Reliability, Risk, Maintenance, and Safety Engineering, Chengdu, 2012, pp. 79-82, doi: 10.1109/ICQR2MSE.2012.6246191.

Monitoreo remoto y visualización en tiempo real de sistemas de señalamiento ferroviario

R. Ghignone, F. Larosa
GICSAFE

Grupo de Aplicaciones en Sistemas Embebidos, UTN-FRH
Haedo, Buenos Aires, Argentina
embebidos@frh.utm.edu.ar

L. Dórdolo
GICSAFE

Gerencia de Señalamiento, Línea Mitre
Trenes Argentinos Operaciones
Buenos Aires, Argentina
lucas.dordolo@trenesargentinos.gob.ar

A. Lutenberg
GICSAFE

Laboratorio de Sistemas Embebidos
Facultad de Ingeniería - UBA
Buenos Aires, Argentina
lse@fi.uba.ar

Resumen—Este trabajo describe el proceso mediante el cual una herramienta de software para simulación y desarrollo de sistemas ferroviarios fue adaptada para visualizar información provista en tiempo real por sistemas embebidos de monitoreo. Se detalla la arquitectura de software utilizada en la interfaz de visualización y el flujo de datos implementado en los elementos de monitoreo. También se describen las pruebas realizadas en campo para verificar el correcto funcionamiento del sistema y su aplicabilidad inmediata en el control diario de la red ferroviaria.

Palabras clave—Señalamiento ferroviario, monitoreo remoto, patrones de diseño de software.

I. INTRODUCCIÓN

A. Marco del Proyecto

De acuerdo a datos provistos por la Comisión Nacional de Regulación del Transporte (CNRT) de la República Argentina, en 2019 se transportaron más de 22 millones de toneladas de cargas en trenes de todo el país [1] y más de 430 millones de pasajeros en servicios regulares del Área Metropolitana de Buenos Aires [2]. El movimiento de estos volúmenes de bienes y personas produce un fuerte desgaste en sensores, señales, cambios, barreras y otros elementos del señalamiento ferroviario. Estos dispositivos son indispensables no solo para el correcto funcionamiento del sistema sino también para su seguridad, ya que evitan accidentes tales como colisiones y descarrilamientos [3].

B. Cronología de Trabajos Previos

Por los motivos mencionados, en la última década en Latinoamérica se han diseñado distintos proyectos orientados al dimensionamiento y mantenimiento de estos sistemas [4]. Dada la extensión de este artículo no es posible presentar un estudio detallado al respecto. En particular, durante los años 2017 y 2018 nuestro grupo de trabajo desarrolló un sistema de monitoreo de barreras ferroviarias automáticas [5] capaz de detectar y reportar la proximidad de trenes y la posición de las barreras que evitan el paso vehicular o peatonal. Este proyecto fue galardonado en 2018 con el Gran Premio del Concurso Nacional de Innovaciones INNOVAR 2018 [6].

A partir de este trabajo, durante 2019 se avanzó hacia una versión capaz de monitorear y reportar no solo posiciones de trenes y barreras, sino también el estado de los cambios de vía y las señales lumínicas que indican al conductor del tren las maniobras que debe llevar a cabo [4,7]. En paralelo con este proyecto se desarrolló una herramienta de software para el diseño, simulación y verificación de sistemas de enclavamiento ferroviario, los cuales controlan el accionamiento seguro de los dispositivos de señalamiento [8].

Esta herramienta incorpora una interfaz gráfica mediante la cual el usuario puede construir un diagrama de señalamiento, interactuar con él y visualizar el comportamiento del sistema, verificando el cumplimiento de las reglas de seguridad requeridas por la aplicación particular. A fines del año 2019 se planteó la posibilidad de adaptar la aplicación de simulación para que sea capaz de recibir, a través de los servidores de la empresa Trenes Argentinos, la información reportada desde los dispositivos de monitoreo.

II. ARQUITECTURA DE INTEGRACIÓN

A. Transmisión de Datos

La Fig. 1 ilustra la topología implementada para la red de monitoreo, la cual es similar a la utilizada en otras redes de sensores inalámbricos como las ilustradas en [9-12]. Cada uno de estos sistemas embebidos de monitoreo detectan, procesan y almacenan señales que representan el estado de los dispositivos en campo. A partir de la información recolectada se elabora una trama de datos en formato JSON (del inglés *JavaScript Object Notation*) [13] que contiene las mediciones efectuadas por cada módulo de monitoreo, así como también indicadores de su estado de operación, identificador asociado a cada dispositivo, fecha y hora de la medición, entre otros. La transmisión de los datos se realiza por medio de Internet utilizando el protocolo MQTT (del inglés *Message Query Telemetry Transport*) [14-15] con encriptación TLS (del inglés *Transport Layer Security*) [16]. En la Fig. 1 puede verse la división de los dispositivos en *publishers*, *brokers* y *subscribers* según define el protocolo MQTT.

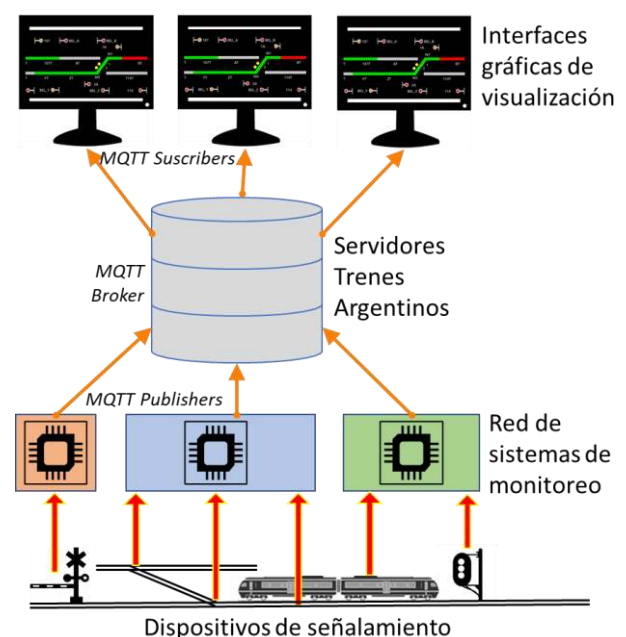


Fig. 1 – Flujo de datos en la red de monitoreo y visualización

B. Recepción de Datos

La Fig. 2 muestra la arquitectura en capas implementada en el software de visualización. La aplicación fue desarrollada en lenguaje Python 3 y utiliza Qt 5 [17] como librería gráfica. El factor fundamental para la integración fue el uso de patrones de diseño [18]. Como puede verse en la imagen mencionada, una capa intermedia llamada “mediador” abstrae a la interfaz gráfica de la fuente de datos utilizada, que puede ser una simulación o un mensaje MQTT. De esta forma, las funciones utilizadas por la interfaz gráfica para actualizar su estado se independizan del tipo de mensaje representado y la única modificación necesaria es describir el objeto “adaptador” para cada nueva fuente de datos a incorporar. Los métodos de cada adaptador se heredan de la clase mediadora.

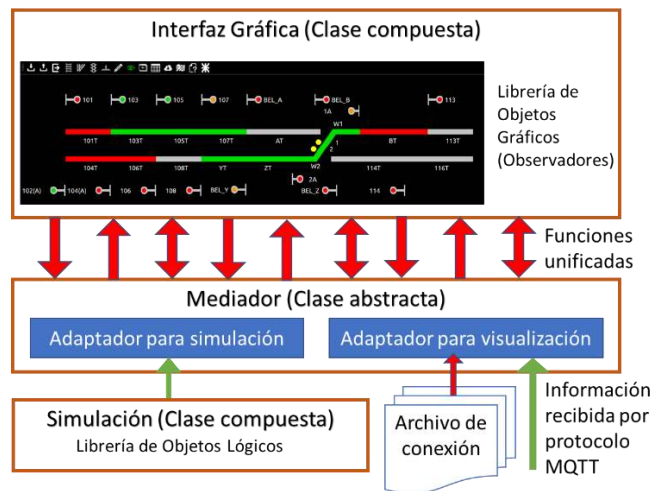


Fig. 2 – Patrones de diseño en la interfaz de visualización

El establecimiento de la conexión requiere configurar parámetros tales como la dirección del *broker* MQTT, el tópicos a suscribir o el tipo de dispositivo transmisor. Por otro lado, es necesario asociar cada dato en la trama JSON enviada por los monitores a uno de los símbolos mostrados en la interfaz gráfica. Todas estas funciones son cumplidas por un archivo de configuración en formato CSV (del inglés *Comma-Separated Values*) elaborado por el usuario. El lenguaje de dominio específico (DSL, del inglés *Domain-Specific Language*) [19] empleado en este archivo está documentado en un manual de usuario integrado en la aplicación.

III. PRUEBAS Y RESULTADOS

A. Monitoreo en tiempo real de paso a nivel

La primera prueba de visualización se realizó empleando los datos transmitidos por un monitor de barreras ferroviarias instalado en la localidad de Olivos, Provincia de Buenos Aires. En este caso sólo se monitoreó el estado de las barreras y los circuitos en vía que detectan la proximidad del tren. Este ensayo inicial sirvió como prueba de concepto para la arquitectura de integración. En [20] puede verse un video del sistema en operación.

B. Monitoreo en tiempo real de sistema de señalamiento

En una segunda instancia, se llevó a cabo un ensayo en la estación Belgrano C del ramal Tigre de la Línea Mitre. En este caso se empleó el sistema modular de monitoreo mostrado en la Fig. 3, compuesto por una serie de 12 módulos acoplables, cada uno de los cuales puede medir hasta 8 líneas digitales.

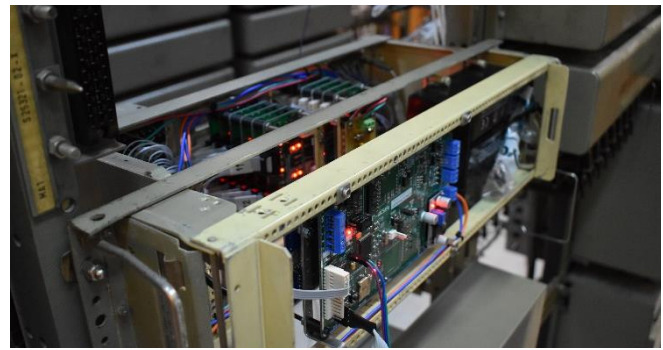


Fig. 3 – Sistema modular de monitoreo de señalamiento

De esta forma se logró reportar un total de 96 señales para caracterizar el estado de todos los dispositivos de señalamiento presentes en las inmediaciones de la estación. El video de estas pruebas puede encontrarse en [21], mientras que en la Fig. 4 puede verse la interfaz gráfica y el mapa integrado que muestra la posición cronograma del tren según datos provistos por el Gobierno de la Ciudad Autónoma de Buenos Aires [22].



Fig. 4 – Interfaz de visualización para la estación Belgrano C

IV. CONCLUSIONES

Las ventajas de la solución aquí presentada pueden ser evaluadas desde distintas perspectivas. Desde un punto de vista puramente técnico, la escalabilidad de la arquitectura propuesta permite su aplicación en redes de monitoreo extensas. Además, la reutilización de la interfaz gráfica de simulación para visualizar los datos y los patrones de diseño aplicados le aportan la flexibilidad necesaria para ser adaptada a otros dispositivos de monitoreo, existentes o futuros. En [4] puede encontrarse un estudio detallado de otras alternativas de este tipo desarrolladas en Latinoamérica en la última década.

Con respecto a su valor para el sector ferroviario, este sistema permite el monitoreo y visualización en tiempo real del sistema de señalamiento sobre una interfaz gráfica independiente de las diversas tecnologías presentes en el campo. De esta manera se posibilita el diagnóstico inmediato de fallas y la reducción de tiempos de reparación, interrupciones, y accidentes por barreras defectuosas. Además, los datos recolectados sirven para facilitar el control del tránsito ferroviario y la optimización de servicios e infraestructuras. Existen incluso países que permiten el libre acceso a los datos de señalamiento recolectados para elaborar interfaces públicas como las ilustradas en [23].

Finalmente, vale destacar que actualmente se está trabajando en la extensión de esta red de monitoreo sobre otras estaciones de la misma línea antes mencionada.

V. REFERENCIAS

- [1] Comisión Nacional de Regulación del Transporte, Datos Históricos de Explotación de Trenes de Carga hasta el año 2019. Disponible en:
https://www.argentina.gob.ar/sites/default/files/datos_historicos_de_explotacion_hasta_el_ano_2019_1.xlsx
- [2] Comisión Nacional de Regulación del Transporte, Pasajeros Pagos Transportados en el AMBA entre 1993 y 2020. Disponible en:
https://www.argentina.gob.ar/sites/default/files/ffcc_pax_2020-03.xlsx
- [3] Institution of Railway Signal Engineers (IRSE), “*Study Guide for Module 3 – Signalling Principles*”, pp. 63-73.
- [4] L. Dórdolo et al, “Modular System for the Monitoring of Railway Signalling Equipment”, IEEE Latin America Transactions, Vol. 18, No. 2 (Special Issue on Embedded Systems), pp 280-287.
- [5] A. Laiuppa et al, “Sistema de monitoreo remoto de barreras ferroviarias automáticas”, Memorias del IX Congreso Argentino de Sistemas Embebidos (CASE 2018), ISBN 978-987-46297-5-3, pp. 102-107.
- [6] CONICET, “Un monitor de barreras para optimizar el sistema ferroviario” [Online], Oct. 2018. Disponible en:
<https://www.conicet.gov.ar/un-monitor-de-barreras-para-optimizar-el-sistema-ferroviario/>
- [7] L. Dórdolo, “Visualizador del estado del sistema de señalamiento ferroviario”, Memoria de Trabajo Final de Maestría en Sistemas Embebidos, FIUBA, Dic 2019.
- [8] R. Ghignone et al, “Generación automática de modelos y código para sistemas electrónicos de enclavamiento ferroviario”, X Congreso Argentino de Sistemas Embebidos (CASE 2019), ISBN 978-987-46297-6-0, pp 17-19
- [9] K. Grgić, I. Špeh and I. Hedi, "A web-based IoT solution for monitoring data using MQTT protocol," 2016 International Conference on Smart Systems and Technologies (SST), Osijek, 2016, pp. 249-253.
- [10] D. Kim, B. An and N. Kim, "Architecture Model of Real-time Monitoring Service Based on Wireless Sensor Networks," 2008 10th International Conference on Advanced Communication Technology, Gangwon-Do, 2008, pp. 95-98.
- [11] Li, Xin & Huang, Qiuyuan & Wu, Dapeng. (2017). "Distributed Large-scale Co-Simulation for IoT-aided Smart Grid Control". IEEE Access. PP. 1-1. 10.1109/ACCESS.2017.2753463.
- [12] A. Baumgart, "Towards flexible distributed real-time monitoring and managing of workflows," Canadian Conference on Electrical and Computer Engineering, 2005., Saskatoon, Sask., 2005, pp. 1582-1585.
- [13] *The JSON Data Interchange Syntax*, ECMA-404 Standard, ECMA International, 2nd edition, ene. 2017.
- [14] MQTT, MQ Telemetry Transport, M2M/Internet of Things connectivity protocol, (2019). [Online]. Disponible: <http://mqtt.org>
- [15] Mosquitto, Eclipse Mosquitto™, an open source MQTT broker (2019). [Online]. Disponible: <https://mosquitto.org/>
- [16] TLS, The Transport Layer Security (TLS) Protocol Version 1.3 (2019). [Online]. Disponible: <https://tools.ietf.org/html/rfc8446>
- [17] The Qt Company, *Qt Project Homepage* [Online]. Disponible: <https://www.qt.io/>
- [18] E. Gamma, R. Helm, R. Johnson, J. Vlissides, “*Patrones de Diseño*”, 1era edición, Addison-Wesley, 2003.
- [19] M. Fowler, R. Parsons, “*Domain-Specific Languages*”, 2da edición, Addison-Wesley, 2012.
- [20] Pruebas de monitoreo remoto y visualización en tiempo real de un paso a nivel en la Estación Olivos, Línea Mitre [Online].
Disponible en: <https://youtu.be/RYM2WtwuuHA>
- [21] Pruebas de monitoreo remoto y visualización en tiempo real del sistema de señalamiento de la Estación Belgrano C, Línea Mitre [Online].
Disponible en: <https://youtu.be/mS2wMdd2igk>
- [22] Gobierno de la Ciudad Autónoma de Buenos Aires, Plataforma abierta de Datos de Transporte [Online]. Disponible en:
<https://www.buenosaires.gob.ar/desarrollourbano/transporte/apitransporte>
- [23] OpenRailData Wiki – Projects [Online]. Disponible en:
<https://wiki.openraildata.com/index.php?title=Projects>

Categoría

ARTÍCULO

Robótica

Área Temática

An Embedded Software Architecture for the development of a cooperative autonomous vehicle

Garcia-Bedoya, O.

department of Engineering
Universidad Jorge Tadeo Lozano
Bogota, Colombia
ORCID:0000-0002-6964-3034

Ferreira, J.V

department of mechanical engineering
UNICAMP
Campinas, Brazil

Abstract—Autonomous cars in urban environments are today one of the most developing issues in the field of intelligent transport systems (ITS) because of the significant contributions they can have to mobility and to save lives. This article presents the hardware and software architecture of the embedded systems of an autonomous vehicle developed in the autonomous mobility laboratory of UNICAMP, Brazil. The purpose of this vehicle is to enable the testing of cooperatives strategies between the driver and the automated system. The proposal has been tested, allowing the integration of the reliability of an automotive embedded system with the flexibility and capacity of distributed Linux and Robotic Operating System (ROS) based on PC-based computing systems.

Index Terms—Autonomous vehicles, embedded systems, UDP protocol, ROS

I. INTRODUCTION

Autonomous cars in urban environments are one of the most developed fields in intelligent transport systems (ITS), due to their ability to save lives in traffic accidents. Significant scientific challenges accompany the implementation of this type of technology since we must send it to solve tasks that require a high degree of learning, adaptation to the environment and abstraction, or "reasoning." The provision of these resources on a mobile platform creates unique challenges for the development of software and embedded systems.

This work presents a hybrid architecture where lightweight, real-time tasks, and computing-intensive ones running on different, interconnected hardware. This research is part of the autonomous vehicle project VILMA01 (First Intelligent Vehicle of the Autonomous Mobility Laboratory) [1] developed at UNICAMP, Brazil. The purpose of this vehicle is to enable the testing of cooperation strategies between the driver and the automated system.

The first section presents the software and hardware architecture of VILMA01. The next section presents the architecture of the embedded system software. Then, the tests performed to validate the proposed architecture are presented, and finally, it ends with some conclusions about the project.

II. VEHICLE AUTOMATION ARCHITECTURE

After the initial definition of functional groups of the autonomous vehicle, the design and development of automation

funding of CAPES and CNPq.

for a street approved car, a Fiat Punto 1.4V *Attractive* vehicle, began. The automation consisted of control steering, accelerator, brake, and the gearbox of the vehicle by an embedded system. In the steering, the automation was carried out through an electric motor coupled to the steering axle without making mechanical modifications so as not to affect the approval of the vehicle. The other three systems was automated by electronic circuits and data networks. The automation project consisted of the hardware architecture design presented in [1]. For the development of automation, it was defined that every programmable device should have a debugging and programming procedure. This procedure should include the required hardware and software elements.

The Software architecture was designed so that the autonomous vehicle modules had the ability to be developed in three different programming architectures described below:

- **Firmware** Software developed directly on the hardware of electronic equipment. At the moment, the only one modified is the steering motor software, since the other firmware within the architecture are programmed by third parties but must be configured and therefore known.
- **Embedded software** Software implemented in the embedded system designed for real-time tasks in charge of interacting with hardware and firmware. The programs designed in this architecture are state machines from the automation hardware iteration with the software, an emergency routine, control layer routines that have real-time requirements, location routine, and interaction with sensors. Note that also there is a program that allows communication with the software on Linux. In the following section, we present a detailed description of the implemented software.
- **Software on Linux.** Software implemented in PC-type architectures with the possibility of being distributed on different computers. The first requirement to design the architecture was to define the mediator (*middleware*) or meta operating system where all the programs of the PC type architecture will be executed. For this, tools were studied to make the transfer of information between the system modules in a robust, distributed, easy to use and capable of exchanging information synchronously and

asynchronously, such as KogMo-RTDB [2], Microsoft Robotics Developer Studio and the Robotic Operating System (ROS) [3]. ROS was the mediator selected to make the connections between the programs. Having defined ROS as *Middleware* of the software, on Linux, the programs to connect the vehicle’s existing instrumentation and the VILMA01 embedded system were implemented and tested.

Multiple autonomous vehicle architectures adopt the ROS Framework for the development of perception and navigation programs [4]–[7] which has allowed taking advantage of tools and programs developed under open source licenses.

III. EMBEDDED SYSTEM SOFTWARE

The main goal of the embedded system software is to respond to the possible states in which the vehicle may be, taking into account the priority between tasks and the execution times that they require. In this order of ideas the main functions projected are represented by the figure 1, where the blue lines are data vectors, the black lines are electrical signals and f_i means the process or *thread* with the order of priority in which the function is executed.

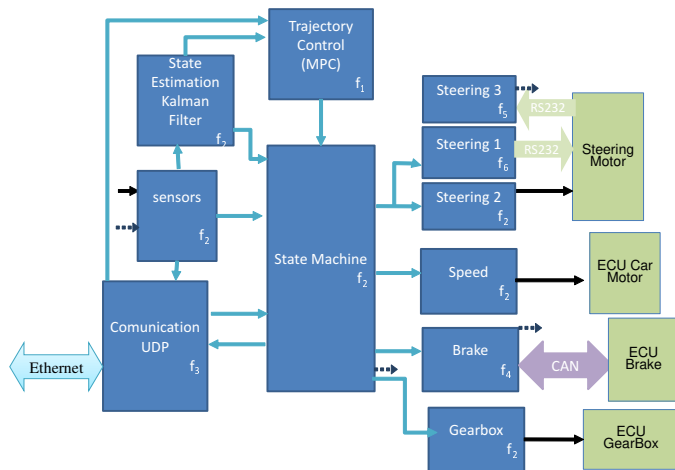


Fig. 1. Embedded Software in microautobox Hardware. Black line (electrical signal) and blue line (data vector)

Simulink is visual programming framework which generates the code to the microautobox embedded system. The implemented processes are of two types, synchronous and asynchronous and can be controlled by software or hardware. The following are all required processes:

- f_1 . Synchronous process in charge of implementing the algorithms of the control system layer implemented through the hardware by a timer at 100Hz.
- f_2 . Main system process implemented through hardware by a timer configured at a frequency of 1KHz, the only one in charge of the tasks of configuration and interface with the hardware.
- f_3 . Asynchronous interruption by reception (RX) of the communication MicroAutobox’s UDP in charge of read-

ing the commands from the PC and transmitting (TX) the information required by the same reception.

- f_4 . Synchronous process in charge of communicating with the CAN network at a frequency of 100Hz.
- f_5 . Asynchronous interruption by reception (RX) of RS232 communication to receive the state of the steering motor controller.
- f_6 . Synchronous designed process, but with asynchronous capacity configured through software interruption at 100hz.

Over these threads were implemented the programs required for vehicle automation following state machines rules to increase the safety of the system.

Each of the physical elements was tested, the communication protocols, as well as each of the embedded system’s functions. An image-based control system was tested on this architecture to evaluate different cooperative driving strategies, where an autonomous system and a driver share control [1], an MPC controller (*Model Predictive Control*) in SIL (*software in the loop*) [8] and different sensor fusion strategies [9].

IV. CONCLUSION

The transformation of a commercial vehicle into an autonomous vehicle, VILMA01 (First Intelligent Vehicle of the Autonomous Mobility Laboratory), was successful. It was developed through a methodology based on mechatronics concepts, analyzing the problem holistically to design the parts of the system and the interaction between them. In the conversion, the individual automation elements and their integration were tested. The implemented hardware and software architecture allowed the integration of the reliability of an automotive-type embedded system (MicroAutobox Dspace) with the flexibility and capacity of distributed PC computing systems based on Linux and ROS. This architecture allowed for rapid development, taking advantage of existing codes, and performing secure debugging procedures.

The real-time software was governed by state machines that allow acting in emergency conditions and given the multiple uses that the hardware can have. The software must be accompanied by asynchronous communications protocols that will not generate blockage when any problem occurs in the system. Future work is underway to test control algorithms based on the *Model predictive control (MPC)* technique with the moving vehicle for which the vehicle is being equipped with additional sensors to do this task safely.

ACKNOWLEDGMENT

The authors would like to acknowledge the support granted by CAPES and CNPq - processes PDSE:9129/12-0 and SWE:209656/2013-1. Garcia-Bedoya was Ph.D. Scholarship PEC/PG CAPES/CNPq-Brazil during part of the project.

REFERENCES

- [1] O. Garcia, G. B. Vitor, J. V. Ferreira, P. S. Meirelles, and A. de Miranda Neto, “The vilma intelligent vehicle: an architectural design for cooperative control between driver and automated system,” *Journal of Modern Transportation*, vol. 26, no. 3, pp. 220–229, Sep 2018. [Online]. Available: <https://doi.org/10.1007/s40534-018-0160-3>

- [2] A. Geiger, M. Lauer, F. Moosmann, B. Ranft, H. Rapp, C. Stiller, and J. Ziegler, "Team annieway's entry to the 2011 grand cooperative driving challenge," *Intelligent Transportation Systems, IEEE Transactions on*, vol. 13, no. 3, pp. 1008–1017, Sept 2012.
- [3] M. Quigley, K. Conley, B. Gerkey, J. Faust, T. Foote, J. Leibs, R. Wheeler, and A. Y. Ng, "Ros: an open-source robot operating system," in *ICRA workshop on open source software*, vol. 3, no. 3.2, 2009, p. 5.
- [4] K. Belcarz, T. Białek, M. Komorkiewicz, and P. Żołnierczyk, "Developing autonomous vehicle research platform—a case study," in *IOP Conference Series: Materials Science and Engineering*, vol. 421, no. 2. IOP Publishing, 2018, p. 022002.
- [5] P. Marin-Plaza, A. Hussein, D. Martin, and A. d. I. Escalera, "Global and local path planning study in a ros-based research platform for autonomous vehicles," *Journal of Advanced Transportation*, vol. 2018, 2018.
- [6] S. Kato, E. Takeuchi, Y. Ishiguro, Y. Ninomiya, K. Takeda, and T. Hamada, "An open approach to autonomous vehicles," *IEEE Micro*, vol. 35, no. 6, pp. 60–68, 2015.
- [7] D. R. Bruno, T. C. Santos, J. A. Silva, D. F. Wolf, and F. S. Osório, "Advanced driver assistance system based on automated routines for the benefit of human faults correction in robotics vehicles," in *2018 Latin American Robotic Symposium, 2018 Brazilian Symposium on Robotics (SBR) and 2018 Workshop on Robotics in Education (WRE)*. IEEE, 2018, pp. 112–117.
- [8] O. G. Bedoya and J. Ferreira, "Risk analysis for cooperation between the driver and the control system of an autonomous vehicle," *International Review of Mechanical Engineering (IREME)*, vol. 12, no. 4, 2018, doi:10.15866/ireme.v12i4.13054.
- [9] O. Garcia-Bedoya and F. J.V, "Sensor fusion tests for an autonomous vehicle, using extended kalman filter." *Journal of Engineering Science & Technology Review*, vol. 11, no. 3, 2018.

Autopilot for a robotic boat based on an open hardware configuration

1st Omar Milián Morón
Automatic Control Department
Central University of las Villas
Santa Clara, Cuba
omilian@uclv.cu

2nd Delvis García García
Automatic Control Department
Central University of las Villas
Santa Clara, Cuba
dggarcia@uclv.edu.cu

3rd Yunier Valeriano Medina
Automatic Control Department
Central University of las Villas
Santa Clara, Cuba
yunier@uclv.edu.cu

Abstract—In this paper, it is presented the hardware and software architecture for the configuration of the autopilot of *Krick Felix* robotic boat. The autopilot implementation on the embedded system comprises combination of both Pixhawk controller and the ArduPilot platform. The results achieved through experimental tests demonstrate the accurate performance of the autopilot.

Index Terms—Embedded Systems, ArduPilot, Guidance.

I. INTRODUCTION

Most marine vehicle hardware architectures are based on a distributed system that has its independent functions [1]–[3]. The on-board hardware unit encompasses all the elements and sensors necessary for control tasks, while the unit located on land is dedicated to navigation supervision. These units connect to and exchange data using network protocols. Different types of embedded systems are used in the segment on-board the robotic boats [4]–[6]. The Pixhawk Controller has the potential to be installed on board marine vehicles [7]. ArduPilot is one of the most widely used open source autopilot software in unmanned vehicles [8]. Although this platform has a solution for marine vehicles, for specific application a personalization is required [9]–[11]. For instance, to develop the missions that require a high precision degree, it is necessary to incorporate new algorithms that ensure these levels of performance, control the heading angle and facilitate the process of adjusting the parameters.

In this paper, it is proposed a autopilot solution for the *Krick Felix* vehicle, which contributes to performing missions of path following [12]. The personalization of the *Krick Felix* as a robotic boat is the first challenge to solve. Besides the ArduPilot platform requires to be integrated with the Pixhawk controller. The ArduPilot firmware is modified by adding a new mode of operation, which contains the implementation of the ILOS (Integral Line of Sight) controller as a guidance algorithm [13]. Our approach integrates the requirement for counteracting the deviations caused by sea currents and the wind during navigation. Notice that this type of algorithm has not been implemented as a core of the autopilot setup based on both Pixhawk and ArduPilot.

II. GENERAL DESCRIPTION OF *Krick Felix* BOAT

Figure 1 shows the real shape of the *Krick Felix* robotic boat. Inside, the necessary hardware components have been installed to implement the guidance and control algorithms. The boat has an engine and a rudder for heading control located in the rear, which are electrically powered. The main geometric, physical and inertial specifications of the boat are: length (L) 0.634 m, mass (m) 0.8 kg and cruising speed (u_0) 1.2 m/s.



Figure 1. *Krick Felix* robotic boat.

III. HARDWARE ARCHITECTURE

The autopilot is a device that is used to control vehicles without human intervention [14]. Control and guidance algorithms are implemented in this device. This setup requires to define a configuration for allowing the integration between hardware and software. Figure 2 shows the proposed hardware architecture, which has two clearly defined segments: a station on-board the boat and a remote station located on land. The

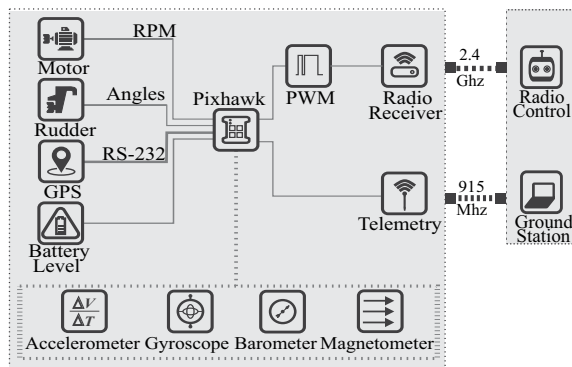


Figure 2. Hardware architecture of *Krick Felix* [15].

Pixhawk has the necessary features for processing the data

between the sensors and actuators during the execution of the guidance and control algorithms [16].

IV. SOFTWARE ARCHITECTURE

The executed firmware by the controller is based on the ArduPilot project, Rover version 3.4.2. The operation and supervision interface on the ground station of the ArduPilot platform and the software running on the on-board controller communicate through the MAVLink protocol. The autopilot operation mode interacts with both the external sensors and the actuators based on the ability of hardware abstraction. Configured tasks on autopilot are executed by the NuttX real-time operating system. To integrate both the ArduPilot software and the hardware platform, we incorporate the ILOS and ModeILOS classes to the project. The ModeILOS class comprises the functionalities associated with the update strategy of the path to follow for each point of the trajectory, which provides the ILOS class.

Algorithm 1 illustrates the operations performed through the functionalities of the ILOS library. Given a time t and the following inputs: (i) the coordinates of the points that make up the trajectory in meters $(x_k, y_k, x_{k+1}, y_{k+1})$, (ii) the vehicle position (x_{gps}, y_{gps}) and (iii) the adjustment values (σ, Δ) are obtained both the desired heading (ψ_d) at each moment and the perpendicular error to the path $(e(t))$.

Algorithm 1 ILOS

Input: $x_k, y_k, x_{k+1}, y_{k+1}, x_{gps}, y_{gps}, \sigma, \Delta$

Output: $\psi_d, s(t), e(t)$

```

1: while  $N \neq 0$  do
2:    $\alpha_k = \arctan((y_{k+1} - y_k)/(x_{k+1} - x_k))$ 
3:    $s(t) = (x_{gps} - x_k) \cdot \cos(\alpha_k) + (y_{gps} - y_k) \cdot \sin(\alpha_k)$ 
4:    $e(t) = -(x_{gps} - x_k) \cdot \sin(\alpha_k) + (y_{gps} - y_k) \cdot \cos(\alpha_k)$ 
5:    $\dot{y}_{int} = (e(t)\Delta)/(\Delta^2 + (e(t) + \sigma \cdot y_{int})^2)$ 
6:    $y_{int} += 0.02 \cdot \dot{e}(t)/3$ 
7:    $\psi_d = -\arctan((e(t) + \sigma \cdot y_{int})/\Delta) + \alpha_k$ 
8: end while

```

Algorithm 2 provides the structure of the P-D (Proportional-Derivative) heading controller. The function of this controller is to control the tracking of the references generated by the ILOS. The sincronization between both algorithms allows them to run sequentially. Notice that both variables ψ and r come from the sensors.

Algorithm 2 P-D

Input: $\psi_d, \psi, r, G_1, G_2$

Output: δ_T

```

1: while  $N \neq 0$  do
2:    $error_\psi = \psi_d - \psi$ 
3:    $\delta_T = G_1 \cdot error_\psi - G_2 \cdot r$ 
4: end while

```

V. EXPERIMENTS AND RESULTS

The configuration and development of the mission is carried out from the ground station using the Mission Planner software. The user must provide the configuration values of the ILOS and P-D controllers, for the mission carried out are: $\sigma = 0.5 \text{ m/s}$, $\Delta = 2 \text{ m}$, $G_1 = 10$ y $G_2 = 1$, respectively.

Figure 3 shows the results obtained during an experimental test. Vehicle convergence to the path is achieved, as well as precision in the follow-up, despite of the affectations of the wind and the currents. Figure 4 shows the behavior of

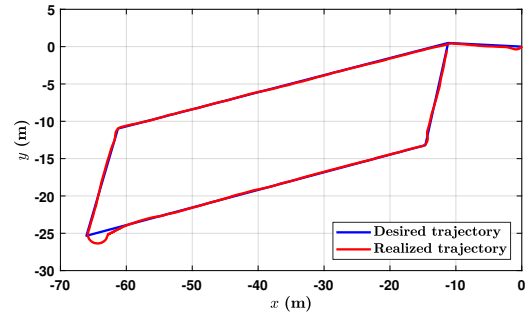


Figure 3. Vehicle trajectory during an experiment.

the perpendicular error to the path. This error represents the difference between the y -coordinate of the path and of the vehicle. The action of the ILOS controller manages to reduce its value, making it relatively zero in each section. Figure 5

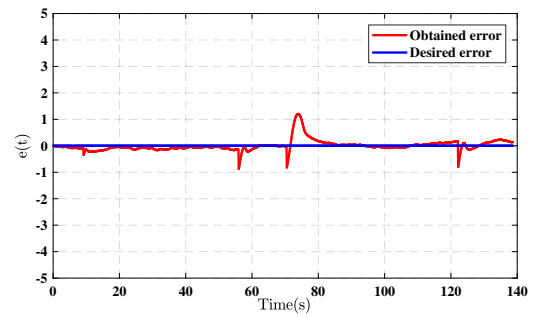


Figure 4. Error behavior.

shows the output of the ILOS controller, which provides the reference to be followed by the P-D controller ensuring that the boat maintains the desired heading.

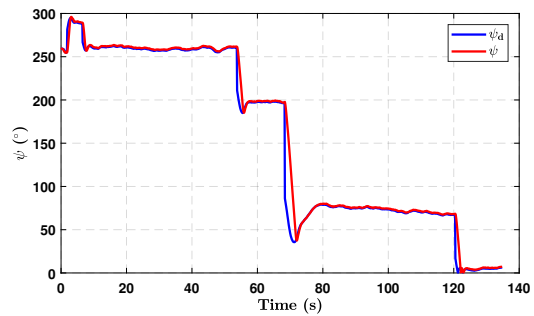


Figure 5. Heading angle.

VI. CONCLUSION

The presented hardware and software architecture enables autonomous navigation of the *Krick Felix*. The implementation of the ILOS controller ensures precision during the path following, despite the damages caused by marine disturbances. The accurate performance of the autopilot has been demonstrated with the results obtained in experimental tests.

REFERENCES

- [1] U. K. Verfuss, A. S. Aniceto, D. V. Harris, D. Gillespie, S. Fielding, G. Jiménez, P. Johnston, R. R. Sinclair, A. Sivertsen, S. A. Solb, R. Storvold, M. Biuw, and R. Wyatt, "A review of unmanned vehicles for the detection and monitoring of marine fauna," *Marine Pollution Bulletin*, vol. 140, pp. 17 – 29, 2019.
- [2] M. Kang, S. Kwon, J. Park, T. Kim, J. Han, J. Wang, S. Hong, Y. Shim, S. Yoon, B. Yoo, and J. Kim, "Development of usv autonomy for the 2014 maritime robotx challenge," *IFAC-PapersOnLine*, vol. 48, no. 16, pp. 13 – 18, 2015, 10th IFAC Conference on Manoeuvring and Control of Marine Craft MCMC 2015.
- [3] I. S. Silva, F. Campopiano, G. S. Lopes, A. K. Uenojo, H. T. Silva, E. L. Pellini, A. A. Alvarez, and E. A. Barros, "Development of a trimaran asv," *IFAC-PapersOnLine*, vol. 51, no. 29, pp. 8 – 13, 2018, 11th IFAC Conference on Control Applications in Marine Systems, Robotics, and Vehicles CAMS 2018.
- [4] A. Martínez, Y. Rodríguez, L. Hernández, C. Guerra, J. Lemus, and H. Sahli, "Diseño de arquitectura de hardware y software," *Revista Iberoamericana de Automática e Informática Industrial RIAI*, vol. 10, no. 3, pp. 333–343, 2013.
- [5] A. Cadena, P. Teran, G. Reyes, J. Lino, V. Yaselga, and S. Vera, "Development of a hybrid autonomous underwater vehicle for benthic monitoring," in *2018 4th International Conference on Control, Automation and Robotics (ICCAR)*, April 2018, pp. 437–440.
- [6] E. Ebeid, M. Skriver, and J. Jin, "A survey on open-source flight control platforms of unmanned aerial vehicle," in *2017 Euromicro Conference on Digital System Design (DSD)*, Aug 2017, pp. 396–402.
- [7] C. Tsai, Y. Lai, J. Perng, I. Tsui, and Y. Chung, "Design and application of an autonomous surface vehicle with an ai-based sensing capability," in *2019 IEEE Underwater Technology (UT)*, April 2019, pp. 1–4.
- [8] Z. Luo, X. Xiang, and Q. Zhang, "Autopilot system of remotely operated vehicle based on ardupilot," in *Intelligent Robotics and Applications*, H. Yu, J. Liu, L. Liu, Z. Ju, Y. Liu, and D. Zhou, Eds. Cham: Springer International Publishing, 2019, pp. 206–217.
- [9] S. H. O'Brien, D. and D. Graves, "Constructing a cost-effective unmanned surface vessel for use in volumetric calculation," in *Proceedings of the Western Dredging Association Dredging Summit & Expo '18*, Jun. 2018.
- [10] M. Specht, C. Specht, H. Lasota, and P. Cywiński, "Assessment of the steering precision of a hydrographic unmanned surface vessel (usv) along sounding profiles using a low-cost multi-global navigation satellite system (gnss) receiver supported autopilot," *Sensors*, vol. 19, no. 18, 2019.
- [11] C. Specht, E. Świtalski, and M. Specht, "Application of an autonomous/unmanned survey vessel (asv/usv) in bathymetric measurements," *Polish Maritime Research*, vol. 24, no. 3, pp. 36–44, 2017.
- [12] J. M. de la Cruz García, J. A. Almansa, and J. M. G. Sierra, "Automática marina: una revisión desde el punto de vista del control," *Revista Iberoamericana de Automática e Informática Industrial RIAI*, vol. 9, no. 3, pp. 205 – 218, 2012.
- [13] W. Caharija, K. Y. Pettersen, M. Bibuli, P. Calado, E. Zereik, J. Braga, J. T. Gravdahl, A. J. Sørensen, and G. Bruzzone, "Integral line-of-sight guidance and control of underactuated marine vehicles: Theory, simulations, and experiments," *IEEE Transactions on Control Systems Technology*, vol. 24, no. 5, pp. 1623–1642, Sep. 2016.
- [14] T. I. Fossen, *Handbook of Marine Craft Hydrodynamics and Motion Control*. Nueva York, Estados Unidos: John Wiley & Sons, ISBN: 978-1-119-99149-6, 2011.
- [15] L. Hernández-Morales, Y. Valeriano-Medina, L. Hernández-Santana, and E. Mesa-Suarez, "Nonlinear guidance law algorithm applied to a small unmanned surface vehicle," *Proceedings of the Institution of Mechanical Engineers, Part M: Journal of Engineering for the Maritime Environment*, 2019. [Online]. Available: <https://doi.org/10.1177/1475090220901431>
- [16] L. Feng and Q. Fangchao, "Research on the hardware structure characteristics and ekf filtering algorithm of the autopilot pixhawk," in *2016 Sixth International Conference on Instrumentation Measurement, Computer, Communication and Control (IMCCC)*, July 2016, pp. 228–231.

Categoría

FORO TECNOLÓGICO

Bioingeniería

Área Temática

Medidor portátil de impedancia eléctrica para aplicaciones biológicas.

Gerardo Battaglia
Laboratorio de Tecnología Biomédica.
UTN FRA
Avellaneda, Argentina
gerardobattaglia@gmail.com

Edgardo Porral
Laboratorio de Tecnología Biomédica
UTN FRA
Avellaneda, Argentina
eporral@fra.utn.edu.ar

Ivan Szkrabko
Laboratorio de Tecnología Biomédica
UTN FRA
Avellaneda, Argentina
ivanconelszk@gmail.com

Martín Enríquez
Laboratorio de Tecnología Biomédica.
UTN FRA
Avellaneda, Argentina
martin.hernan.enriquez@gmail.com

Marcelo Leo
Laboratorio LIA
UTN FRA
Avellaneda, Argentina
marceloleo@yahoo.com.ar

Resumen—El presente artículo se describe el diseño y construcción de un sistema de medición y análisis de impedancia eléctrica para aplicaciones biológicas, tanto in-vivo como in-vitro, el cual muestra los valores de esta en módulo y fase, inyectando para su determinación corrientes muy bajas del orden de los 50 nA. El sistema consta de tres bloques fundamentales: un generador de señal senoidal, un bloque de adecuación de las señales analógicas de tensión, corriente y medición de módulo y fase y un bloque de visualización y registro de los datos adquiridos. Adicionalmente el equipo cuenta con la posibilidad de monitorear en tiempo real la temperatura de las muestras. En esta publicación se describen los circuitos electrónicos desarrollados, así como el firmware utilizado en el microcontrolador. Como resultados de este trabajo se presentan las curvas de calibración e incertidumbre en las medidas realizadas.

Keywords— bioimpedancia, impedancia, in-vitro, in-vivo, tejidos biológicos.

I. INTRODUCCIÓN

Existen diversos equipos analizadores de impedancia, que son utilizados para realizar medidas en muestras biológicas [1], los mismo son muy costosos, y no son portables [2]. La mínima corriente entregada por los mismos es del orden de los uA, por lo tanto en estos equipos se debe introducir un circuito adicional para reducir la corriente entregada a 100nA o menos [3]. Para que sea de utilidad en aplicaciones clínicas y/o biológicas de laboratorio es deseable que el equipo sea pequeño, portátil, fácil y amigable.

El objetivo entonces es desarrollar un instrumento portátil, fácil de usar que permitirá la recolección de datos para realizar investigaciones con la medición de impedancia eléctrica en tejidos biológicos [4], ya sea in-vivo como in-vitro [5]. Los efectos del paso de corriente por un organismo están documentados en la bibliografía [6]. Éstos dependen de la amplitud, la frecuencia y el tiempo de exposición de dicha corriente, existiendo normas internacionales, de obligado cumplimiento, que limitan los valores de estas magnitudes, evitando ocasionar ningún efecto dañino o molesto sobre la muestra. Esto es importante en nuestro caso donde la inyección de corriente es deliberada [6].

En biología o fisiología el método más común para medir impedancia eléctrica es el de inyectar una corriente conocida y medir la caída de tensión producida [7]-[8].

Por razones de seguridad eléctrica, portabilidad, y una notoria mejora en la relación señal-ruido, el equipo debe

funcionar alimentado por un conjunto de baterías de Niquel-Metal recargables, esto aísla al equipo de la red eléctrica [9][11]. Para esto existen principalmente dos configuraciones bipolar y tetrapolar (Fig. 1), describiremos esta última [8][10].

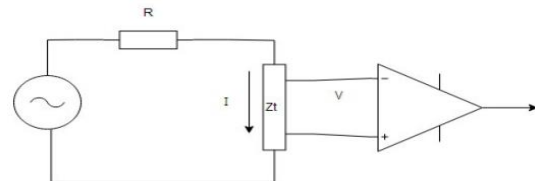


Fig. 1 Esquema de conexión simplificado de una medición de impedancia tetrapolar.

II. MATERIALES Y MÉTODOS

A. El sistema consta de principalmente de tres bloques funcionales a saber:

-Bloque generador de señal senoidal, que genera una corriente alterna de 50 nA a una frecuencia de 1 KHz mediante un oscilador en puente Wien.

- Bloque de amplificación y adecuación de señales: La ganancia de la rama de tensión puede ser descrita en dos partes. La primera etapa es de ganancia 10 fija compensada, para minimizar las derivas por potenciales de media celda. La segunda, es variable por décadas y se logra mediante amplificadores operacionales de muy bajo offset.

- Bloque de control y cómputo conformado por el microcontrolador de la familia MC9S08 de Freescale, un LCD y un teclado. En la Fig. 2 se puede observar un diagrama en bloques del sistema desarrollado.

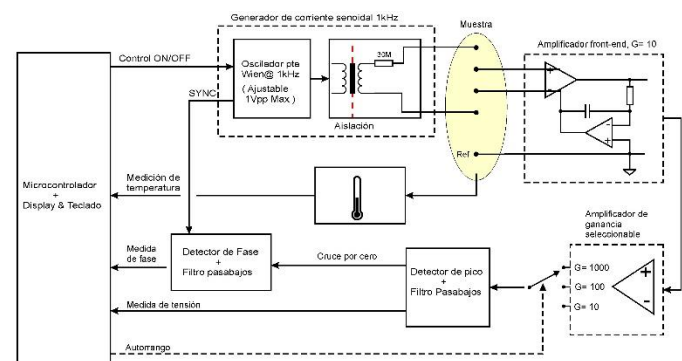


Fig. 2 Diagrama en bloques del sistema desarrollado.

En el siguiente esquemático Fig. 3 se puede ver de manera simplificada el circuito encargado de determinar la fase.

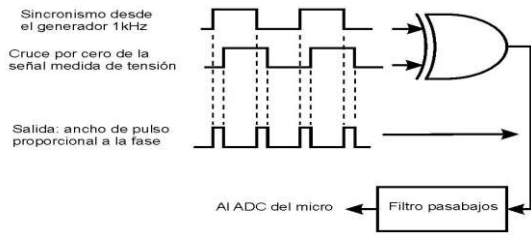


Fig. 3. Esquema de conexión para determinación de fase.

El firmware activa el generador de corriente en el momento de realizar la medida de impedancia para reducir el consumo. La tensión amplificada y filtrada por el detector de pico ingresa al ADC y se verifica que sea igual o mayor al 10% de la amplitud máxima de entrada, de no ser así, se aumenta la ganancia una década hasta llegar a cumplir dicha condición o alcanzar la ganancia máxima de amplificación de tensión. Luego de establecer las condiciones requeridas se procede a calcular el módulo y la fase de la Z a medir.

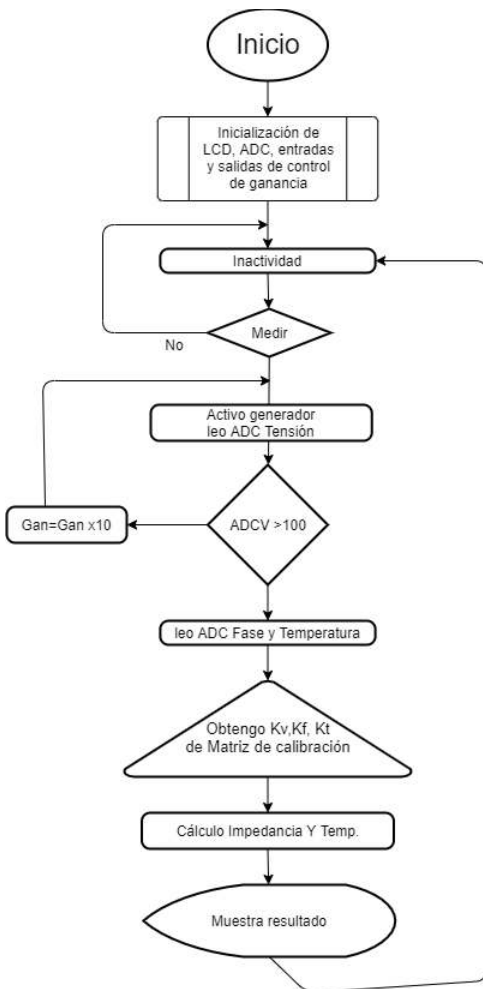


Fig. 4 Diagrama de flujo de firmware

III. RESULTADOS

Como resultado fundamental de este trabajo se realizó el diseño y la implementación de un sistema de medición de impedancia. El mismo permite su determinación con un error relativo menor al 5 %. La calibración se realizó mediante la utilización de resistores patrones y capacitores contrastados mediante el medidor LCR Agilent U1732A, y se utilizaron

constantes de calibración independientes para cada rango de ganancia, y cada 100 cuentas del ADC de 12 bits.

La calibración se realizó entre los 22Ω y los 150 KΩ puesto que entre estos valores se encuentran las impedancias de nuestra aplicación específica.

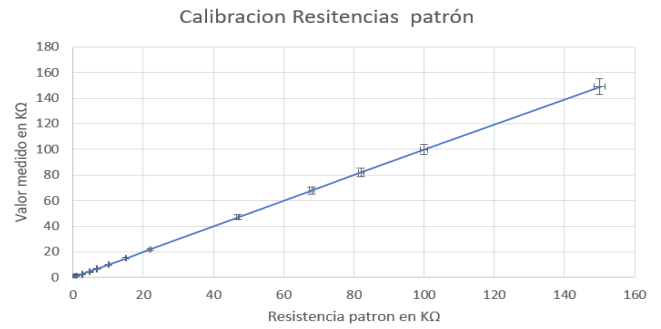


Fig. 5 Resultado de calibración resistiva pura.

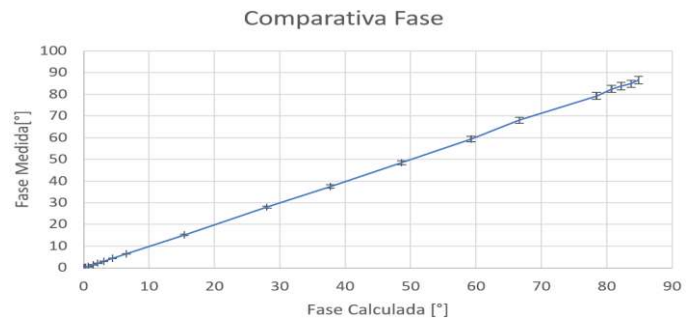


Fig. 6 Comparativo de mediciones entre valor medido y valor de impedancia calculado.

TABLA I

Resistencia [kΩ]	Capacidad [nF]	Error Abs	Error rel %
0,022	10	0,00100	4,55
0,033	10	0,00100	3,03
0,047	10	0,00200	4,26
0,1	10	0,00200	2
0,22	10	0,01200	4,55
0,33	10	0,01000	3,03
0,47	10	0,01200	2,55
0,68	10	0,01300	1,91
1	10	0,02000	2
2,4	10	0,01000	0,42
4,7	10	0,05000	1,06
6,8	10	0,12000	1,76
10	10	0,03000	0,3
15	10	0,10000	0,67
22	10	0,09000	0,41
47	10	-0,11000	-0,23
68	10	-0,02000	-0,03
82	10	0,10000	0,12
100	10	0,20000	0,2
150	10	1,00000	0,67

IV. CONCLUSIONES

Se ha podido desarrollar un sistema de medida para impedancia eléctrica para aplicaciones biológicas con resultados aceptables y a un costo relativamente bajo.

Actualmente se está desarrollando una actualización del sistema mediante un nuevo conjunto de hardware CPU (ESP32) y un generador de señales DDS (AD9850) para implementar un análisis más amplio de la impedancia a medir, realizando un barrido en frecuencia de 10 Hz a 1 MHz. Con posibilidades de adaptarse a aplicaciones *Wearable* [12].

[1] C. Felice et al. «Impedance bacteriometry: medium and interface contributions during bacterial growth.» IEEE transactions on bio-medical engineering vol. 39,12,1996.

[2] Tegam, «Application Note 303. The LCR Meter as an Impedance Analyzer,» ed. 10 TEGAM WAY • GENEVA, OHIO 44041, 2009.

[3] P. Bagloy y B. Iliev, «In-vivo Blood Characterization System,» IEEE Instrumentation and Measurement Technology Conference Proceedings, 2006

[4] D. Meroni, D. Bovio, M. Gualtieri and A. Aliverti, "In-vivo Measurements of Tissue Impedivity by Electrical Impedance Spectroscopy," 2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Honolulu, HI, 2018, pp. 1-4, doi: 10.1109/EMBC.2018.8513502.

[5] D. Meroni, D. Bovio, P. A. Frisoli and A. Aliverti, "Measurement of electrical impedance in different ex-vivo tissues," 2016 38th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Orlando, FL, 2016, pp. 2311-2314, doi: 10.1109/EMBC.2016.7591192.

[6] S. Grimnes y . Ø. Martinsen, Bioimpedance and Bioelectricity Basics, 3 ed., Academic Press, 2015.

[7] M. Moncada, M. Saldarriaga, A. Bravo y C. Pinedo, «Medición de Impedancia Eléctrica en Tejido Biológico – Revisión,» TecnoLógicas, n° 25, pp. 51-76, 2010.

[8] J. Rosell, J. Colominas, P. Riu, R. Pallas-Areny and J. G. Webster, "Skin impedance from 1 Hz to 1 MHz," in IEEE Transactions on Biomedical Engineering, vol. 35, no. 8, pp. 649-651, Aug. 1988, doi: 10.1109/10.4599.

[9] J. Castello, V. Gomez, R. Garcia Gil y J. Espi, «Analizador de Impedancia/Ganacia-Fase para PC,» Revista española de electrónica, n° 565, pp. 70-75, 2001.

[10] A. Montalibet and E. McAdams, "A Practical Method to Reduce Electrode Mismatch Artefacts during 4-electrode BioImpedance Spectroscopy Measurements," 2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), Honolulu, HI, 2018, pp. 5775-5779, doi: 10.1109/EMBC.2018.8513656.

[11] G. R. Steber «A low cost RF impedance analyzer. » Nuts and Volts Magazine, n° 10, 2008

[12] N. Li, M. Lin and F. Li, "Wearable Bioelectrical impedance monitor based on ADuCM350," 2019 12th International Congress on Image and Signal Processing, BioMedical Engineering and Informatics (CISP-BMEI), Suzhou, China, 2019, pp. 1-3, doi: 10.1109/CISP-BMEI48845.2019.8965939.

Aptitud de uso de sistema embebido en Monitor de Profundidad Anestésica

Diego Enrique Coulombie

Dto de Ingeniería e Investigaciones Tecnológicas - Universidad Nacional de La Matanza

San Justo, Argentina

dcoulombie@unlam.edu.ar

Resumen—Se ensayó la usabilidad de un sistema embebido de uso médico diseñado para implementarse en un Monitor de Profundidad Anestésica, siguiendo las normativas internacionales que regulan a los dispositivos sanitarios. Como resultado del ensayo se obtuvieron las especificaciones relacionadas con la mitigación de los riesgos que pueden asociarse al uso correcto y a los errores durante el uso normal.

Palabras clave—Usabilidad, interfaz del usuario

I. INTRODUCCIÓN

Los dispositivos médicos se diseñan y fabrican bajo un marco regulatorio que es de cumplimiento obligatorio. Son los estados a través de sus diferentes organismos los encargados de velar por el cumplimiento de ese marco, solicitándole a los fabricantes que cumplan con normas adecuadas al producto previamente a su comercialización [1]. El producto que es objeto del ensayo es un “Monitor de Profundidad Anestésica”, un sistema adquisición en tiempo real que consta de 2 partes: una llamada cabezal con interfaz de luz y pulsador cercana al paciente anestesiado y otra llamada monitor con pantalla táctil cercana al usuario, en este caso un anestesista. Ambas partes tienen software embebido que interactúa con las interfaces. La norma adecuada a este producto electromédico es la IEC60601-1 [2]. Dentro de esta norma hay un punto específico y de cumplimiento requerido que es el 12.2, denominado en la traducción española de la norma como Aptitud de uso del equipo electromédico, en la versión en inglés: Usability of ME equipment, y en la jerga local usabilidad. Aquí comienza una cascada de vínculos a otras normas (Fig1), ya que el punto 12.2 nos deriva a cumplir con la norma colateral IEC 60601-1-6 [3] y esta a su vez con la IEC 62366 [4].



Fig 1: Secuencia normativa para la usabilidad de un equipo médico

La usabilidad en el equipamiento médico es la facilidad con que un usuario puede aprender y usar una interfaz, con efectividad y eficiencia, de manera que no represente un riesgo inadmisibles para el usuario y el paciente.

Es un concepto bastante usado en el diseño del software de aplicación, es requerido en los productos médicos y muy

pocas veces relacionado con el software embebido. En los productos médicos debe seguirse un proceso que considere la usabilidad del producto completo, independientemente si tiene software o no. La usabilidad está relacionada con las interfaces del usuario y no con el software específicamente, pero como muchas de ellas se resuelven con esta herramienta, el proceso de usabilidad termina teniendo un gran impacto sobre el software. Las interfaces pueden ser: manijas, leyendas, manuales, luces, pantallas, pulsadores, alarmas, señales informativas auditivas y vibratorias, reconocimiento de voz, síntesis del habla, pantallas táctiles, teclado, ratón y controles hápticos entre otros. El software, incluido el embebido, puede ser parte de muchas de estas interfaces.

Desde el inicio del desarrollo, comienza también el proceso de usabilidad conjuntamente con la de gestión de los riesgos [5]. Estos procesos están activos durante todo el ciclo de vida del producto, incluso hasta la etapa de retirada del mercado.

La norma de usabilidad [4] no es una norma de producto, es una norma de proceso. Es decir que no define ni impone niveles o medidas de seguridad, ni características técnicas del producto o métodos para resolver las interfaces. La norma describe el “proceso de ingeniería de aptitud de uso” y proporciona una guía de como implementar y ejecutar éste proceso. Como resultado del proceso, el fabricante establece por si mismo los requisitos de usabilidad y medidas técnicas para lograr que la interfaz conlleve a un riesgo controlado. No solo eso, la norma otorga también al fabricante la posibilidad de ajustar el nivel de esfuerzo que puede dedicarle al estudio de la usabilidad, en base a la naturaleza del producto, a las características del usuario, al tamaño y complejidad de la interfaz, y a la severidad de los peligros asociados con el uso. El alcance de la norma se limita a la usabilidad en el uso correcto y los errores en uso normal. No cubre las situaciones de uso anormal (indebido) sea intencionado o por omisión.

Los resultados del proceso nutren de especificaciones medibles, inequívocas y trazables a las entradas del diseño, para que de esta manera la seguridad de la interfaz pueda ser verificada y validada por el mismo fabricante o por un tercero a pedido de la autoridad sanitaria

El proceso de diseño del Monitor de Profundidad Anestésica mencionado tuvo en cuenta la usabilidad y aquí se expone la parte que corresponde solo al software embebido.

II. MÉTODOS

La técnica usada, toma como base las guías propuestas por la norma [4] declarando y describiendo de manera conceptual la especificación de uso, definiendo a que pacientes y usuarios va dirigida la interfaz, el uso previsto, la población de pacientes según: rango etario, estado de salud y condición clínica. También la parte del cuerpo donde se aplicará el producto, el perfil del usuario (no del paciente), el ambiente de uso y el principio de operación. Se debe proporcionar una descripción, maquetas o modelos de las interfaces propuestas. Luego hacer una descripción de las tareas que harán los usuarios y pacientes para definir las interacciones que tendrán con cada interfaz. Analizando esta información se deberán encontrar las secuencias de sucesos que desencadenen peligros durante el uso normal. Por último, luego de determinar el nivel de riesgo según [5] para cada situación, detallar las medidas de control paliativo, los requisitos asociados y los ensayos para la verificación de su cumplimiento o su justificación técnica. Terminada la primera iteración de este proceso se habrán identificado las secuencias previsible de sucesos que pueden ser peligrosos y los criterios de aceptación que nacieron de las medidas de control, todas ellas relacionadas con el software embebido, sea éste el origen del peligro o parte de la medida de control.

III. RESULTADOS

Los peligros identificados, los sucesos que los ocasionarían y las medidas de control para mitigar el riesgo de esos peligros se muestran en la TABLA 1. En la secuencia de sucesos, uno es el error de uso (subrayado) y las condiciones que se generan para que se origine la situación peligrosa (*itálica*). La tabla es un extracto del ensayo completo, mostrándose los resultados no redundantes y de mayor relevancia con relación al hardware, la interfaz visual, las alarmas, la gestión de datos, etc.

TABLA 1: RESULTADOS

Secuencia previsible de sucesos	Requisito / Criterio de aceptación de la medida de control
Preparando el cabezal en la sala <u>El usuario intenta encender el cabezal apretando el pulsador</u> <i>El cabezal no se enciende o se enciende y se apaga</i>	Implementar “debouncing” para el pulsador de encendido. Dar realimentación de encendido con indicación luminosa y/o sonora
Preparando el cabezal en la sala <u>El usuario no alcanza a ver el destello del led cuando está encendido</u> <i>El usuario activa el pulsador nuevamente y lo apaga.</i>	Para disminuir el consumo del led, éste puede ser pulsado, pero debe estar activo al menos un 50% con un tiempo de encendido mayor a 500ms .
Preparando el monitor en la sala <u>El usuario lo ubica a una distancia que no le permite ver con claridad</u> <i>El usuario ve los indicadores, pero confunde su valor. No toma en cuenta otras variables redundantes o no cubiertas por el monitoreo</i>	Indicaciones de uso: distancia óptima menor a 1m. Tamaños mínimos pantalla monitor indicadores numéricos 14mm altura gráficos: 18mm íconos: 12mm
Al iniciar un monitoreo <u>El usuario no registra los datos del paciente</u>	Verificar que no se puede iniciar un registro si no se cargan los datos de paciente

<i>Finalizado el estudio no sabe a quien pertenece</i>	
Al revisar la calidad de conexión o estado de los electrodos <u>El usuario no relaciona los colores con el estado</u> <i>El electrodo aumenta su impedancia dejando un trazado plano</i>	Verificar que la escala cromática es fácilmente interpretable: norma: rojo mal, amarillo precaución, verde bien. Verificar la existencia de la alarma por impedancia mayor a 20kOhm
Al revisar los valores numéricos de monitoreo <u>El usuario considera que son valores normales cuando no lo son</u> <i>No llega a entender el significado de los indicadores</i>	Verificar la existencia de la alarma por indicación por debajo de 10 en una escala de 1 a 100, donde 100 es es sin sedación y 1 es con exceso de sedación
Durante el monitoreo <u>El usuario no observa el indicador del estado de la batería</u> <i>El cabezal se desconecta por falta de alimentación</i>	Verificar la existencia de la alarma por batería baja con pronóstico de duración menor a 10 minutos
Finalizado el monitoreo, <u>El usuario no sabe como llegar al menú para hacer la copia del registro</u> <i>Queda el equipo registrando sin saber cuando finalizó</i>	Verificar que es accesible y comprensible el botón de finalizar en la pantalla de monitoreo y que vaya directo al menú de guardar
Finalizado el monitoreo, <u>El usuario no pone un pendrive o pone uno con menos espacio que el tamaño del registro</u> <i>Queda el registro no guardado o trunco o dañado</i>	Verificar la eficiencia y seguridad del método de guardado.
Finalizado el monitoreo, <u>El usuario no hace la copia de seguridad</u> <i>Borra el registro</i>	Verificar que no se pueda borrar un registro del que antes no se haga una copia

IV. CONCLUSIONES

Cada una de las soluciones propuestas para mitigar los riesgos en forma de medidas de control obtenidas como resultados del proceso de usabilidad, se convertirán en requisitos o entradas para el proceso de diseño del producto. También surgirá de estos resultados las especificaciones para el ensayo final al momento de la certificación del producto por un laboratorio externo. Este informe junto con el análisis de riesgos se deben presentar en el laboratorio para que verificando el producto y la documentación pueda validarse que se ha considerado la usabilidad como un factor para del proceso de diseño. De esta manera, si el laboratorio no manifiesta “No conformidades” de producto ni de proceso, se puede considerar que la usabilidad del producto relacionada con la seguridad es aceptable, al menos hasta el momento del registro del producto médico. Como se mencionó en la introducción, la usabilidad no finaliza con el diseño, debiéndose re-evaluar periódicamente (anualmente como mínimo) con la información que se obtenga de la posproducción, de los reclamos de los usuarios y de los cambios normativos y regulatorios.

REFERENCIAS

- [1] Reglamento Técnico Mercosur de Registro de Productos Médicos. Disposición ANMAT N.º 2318/02. T.O. 2004
- [2] IEC 60601-1:2005+AMD1:2012 CSV Medical electrical equipment - Part 1: General requirements for basic safety and essential performance.
- [3] IEC 60601-1-6:2010+AMD1:2013 CSV Medical electrical equipment - Part 1-6: General requirements for basic safety and essential performance - Collateral standard: Usability
- [4] IEC 62366-1:2015 Medical devices - Part 1: Application of usability engineering to medical devices
- [5] ISO 14971:2019 Medical devices - Application of risk management to medical devices

Categoría

FORO TECNOLÓGICO

Comunicaciones inalámbricas

Área Temática

Predicción del Alcance Teórico de Enlaces LoRa en Ambientes Rurales

Federico M. Insaurralde^{1,3,4}, Sergio F. Hernandez Velazquez^{1,3}, Roberto A. Kiessling^{1,3}, Alfredo F. Debattista^{1,3}, Alejandro A. Valenzuela^{2,3}

¹ Dpto. de Electrónica, Facultad de Ciencias Físico Matemáticas y Naturales, Universidad Nacional de San Luis, San Luis, Argentina

² Universidad de Ciencias Aplicadas de Bonn-Rhein-Sieg, Sankt Augustin, Alemania

fedein21@gmail.com, {sfhernandez|rkiessling|adeba}@unsl.edu.ar, alejandro.valenzuela@h-brs.de

Resumen— El presente trabajo analiza la aproximación que tienen diferentes modelos de predicción de propagación, para simular el comportamiento del uso de la tecnología LoRa, en un entorno rural específico de estudio. Se proponen dos configuraciones de parámetros técnicos, que simulen condiciones extremas de ancho de banda y sensibilidad, para así determinar cuantitativamente las distancias máximas teóricas factibles de alcanzar, consideradas al momento del diseño de una red de sensores.

Palabras Clave— Propagación de Señales, Modelo de Vegetación, Modelo de Espacio Libre, LoRa, Radio Mobile.

I. INTRODUCCION

En la actualidad, las redes de comunicaciones se han visto fuertemente demandadas por mayor capacidad y por diversidad en su interconexión. A ello se le ha sumado Internet de las Cosas (IoT, por sus siglas en inglés) y nuevas tecnologías que permiten acompañar y diversificar el alcance y funcionalidad de tales redes. En esta línea y a partir de lo realizado en [1] y [2], se busca desarrollar y solucionar la problemática de encontrar alternativas tecnológicas que brinden soporte para las comunicaciones en ámbitos rurales. Para ello se propone el empleo de la tecnología LoRa, la cual permite desarrollar nodos sensores de bajo costo, largo alcance y bajo consumo de energía, analizando las pérdidas por propagación, considerando diferentes modelos. A partir de ellos se elaboraron tablas que reflejan las máximas distancias teóricas alcanzables con esta tecnología, comparando los resultados analíticos para dos configuraciones de parámetros técnicos de enlace, en tres escenarios posibles de propagación, empleando tres (3) modelos de predicción de propagación diferentes para el cálculo respectivo de pérdidas por vegetación y dos (2) para las pérdidas por espacio libre. Estos resultados se utilizan como parámetros de diseño para la implementación en áreas sembradas de maíz y soja ubicadas en la provincia de San Luis (territorio semiárido).

II. DESARROLLO

A. Tecnología LoRa

Con base en la tecnología LoRa y las características de los dispositivos [3] y [4], se establecen dos configuraciones:

Configuración 1: Frecuencia de transmisión (f_{tx}) = 915 MHz, Potencia de transmisión (P_{tx}) = 14 dBm, Factor de ensanchamiento = 6 ($SF6$), Sensibilidad del receptor (S_{rx}) = -111 dBm, Ancho de Banda (BW) = 500 kHz.

Configuración 2: f_{tx} = 915 MHz, P_{tx} = 14 dBm, $SF11$, S_{rx} = -146 dBm, (BW) = 10.5 kHz.

En ambas configuraciones se utilizará una antena dipolo de $\frac{1}{2} \lambda$ (media longitud de onda), con una ganancia de 2.15 dBi tanto en el transmisor (G_{tx}) como en el receptor (G_{rx}).

Las mismas fueron seleccionadas ya que representan los casos extremos en los cuales se obtiene mayor tasa de datos, pero menor sensibilidad en el receptor o viceversa,

respectivamente. A partir de aquí se presentarán los resultados obtenidos con la Configuración 1, ya que la misma presentó el peor caso entre ambas, al momento de analizarlas.

B. Pérdidas por Atenuación en el Espacio Libre

Las pérdidas por espacio libre son las atenuaciones que sufre una onda electromagnética al propagarse por este medio. Para el caso de estudio, se da cuando la altura de la vegetación es muy baja y no obstruye la señal transmitida. Para la aproximación de estas pérdidas se toman como referencia dos modelos de predicción de propagación: de Dos Rayos [5][6] y Longley-Rice [7]; donde el primero es considerado para los cálculos analíticos (aproxima mejor el resultado a grandes distancias que el modelo de espacio libre) y el segundo para simulación, ya que toma datos como tipo y altura de antenas, polarización, refractividad, permitividad, clima, etc. el cual es empleado por el software de simulación Radio Mobile [8].

C. Pérdidas por Vegetación

A partir de [9] y en base a recomendaciones de la Unión Internacional de Telecomunicaciones (ITU), se tuvieron en cuenta tres modelos empíricos: ITU-R P.833-9 [10], COST 235 [11], Modified Exponential Decay (MED) [12]. Estos se ajustan mejor al caso de estudio del presente trabajo (sembrados de maíz en estado avanzado de maduración).

III. RESULTADOS

A. Cálculos analíticos

A partir de los datos de S_{rx} , P_{tx} y pérdidas obtenidas mediante los modelos mencionados en secciones anteriores, se procede a calcular el presupuesto de enlace utilizando (1).

$$P_{tx} + (G_{tx} + G_{rx}) - (L_{fs} + L_{veg}) - S_{rx} = FM \quad (1)$$

Donde L_{fs} son las pérdidas por espacio libre, L_{veg} son las pérdidas por vegetación y FM es el margen de desvanecimiento, considerado como la diferencia entre la potencia en el receptor y la sensibilidad del mismo y debe ser positivo para que el enlace pueda ser exitoso.

Se plantean 3 escenarios y métodos de cálculo/simulación para cada uno, con el fin de calcular las máximas distancias alcanzables en cada enlace, considerando un $FM \approx 0$.

Primer escenario: Entre Tx (Nodo) y Rx (Gateway) existe línea de vista (sin obstrucción por la vegetación). No se consideran atenuaciones extra por vegetación, sino que el crecimiento de la misma se modela como un aumento en la altura del suelo que, en este caso, se considerará como una disminución de la altura de las antenas en esa medida, las cuales poseen una medida inicial de 1.5 m y 12 m.

A partir de las máximas pérdidas admisibles, se obtienen, para un terreno con altura de vegetación de 0.2 m, 0.75 m y 1.3 m, unas distancias máximas de 6689.8 m, 4961.4 m y 2498.7 m respectivamente. En estos casos se supone el despejamiento de la primera zona de Fresnel [6].

³ Integrante del Grupo de Investigación: "Desarrollo de Sistemas Embebidos Interconectados para Aplicaciones AgroTICs"

⁴ Becario del Consejo Interuniversitario Nacional, Beca Estímulo a las Vocaciones Científicas (EVC-CIN)

Segundo escenario: Con el fin de evaluar qué sucedería si el enlace se encontrara completamente obstruido, como se puede dar en el caso de la comunicación entre dos nodos, se considera que Tx y Rx poseen la misma altura (1.5 m en el presente trabajo) y la vegetación obstruye durante todo el trayecto la línea de vista entre ambos, teniendo en cuenta que, como lo es el caso del sembrado maíz, la altura de la misma es de aproximadamente 2.5 m cuando el cultivo está en un estado avanzado de maduración. Las distancias máximas fueron calculadas utilizando el modelo de Dos Rayos sumado a las pérdidas por vegetación dadas por cada modelo ya indicado en la sección II.C. Las distancias obtenidas fueron 845.44 m, 129.05 m y 301.17 m con ITU-R P.833-9, COST 235 y MED respectivamente.

Tercer escenario: La vegetación obstruye parcialmente la línea de vista entre Tx y Rx. Para calcular esta pérdida se utiliza el modelo ITU-R P.833-9, sumado a las pérdidas por espacio libre usando el modelo de Dos Rayos, tomando alturas de antenas de 1.5 m en Tx y 12 m en Rx y altura de la vegetación de 2.5 m. La distancia máxima alcanzable es de 3260.94 m.

B. Simulación

En esta sección se muestran los resultados de la simulación, empleando el software Radio Mobile, con los datos correspondientes a la configuración 1, con el fin de establecer una comparación con los resultados analíticos y validar las distancias máximas alcanzables.

La Fig. 1 indica un enlace con las condiciones establecidas en el primer escenario donde se toma una altura de vegetación de 0.2 m y una distancia entre Tx y Rx de 1050 m, caso típico de análisis para las dimensiones del campo analizado.

Se puede observar en la TABLA I que, a pesar de haber obtenido analíticamente pérdidas por espacio libre mayores, el *FM* también es mayor. Esto se debe a que se considera un despejamiento completo de la primera zona de Fresnel. Dicha afirmación fue corroborada en simulación modificando la altura de la antena del transmisor de manera que el despeje sea óptimo resultando un *FM* es de 34,6 dB.

TABLA I. RESULTADOS DEL PRIMER ESCENARIO

Cálculo	Simulación	Analítico
<i>FM</i> [dB]	20.5	32.17
<i>L_{veg}</i> [dB]	1	-
<i>L_{fs}</i> [dB]	92.1	97.13

Si el enlace se encuentra completamente obstruido por la vegetación, se cumplen las condiciones del segundo escenario. La TABLA II muestra los resultados obtenidos con el modelo ITU-R P.833-9 para una distancia entre Tx y Rx de 1050 m como se observa en la Fig. 2. Se toma este modelo ya que es el que arrojó menores atenuaciones.

TABLA II. RESULTADOS DEL SEGUNDO ESCENARIO

Cálculo	Simulación	Analítico
<i>FM</i> [dB]	10.7	-4.83
<i>L_{veg}</i> [dB]	13.7	20.33
<i>L_{fs}</i> [dB]	92.1	113.8

Se observa que a esta distancia el enlace no es viable considerando los resultados analíticos, mientras que si lo es en simulación. Se puede demostrar que, para el tipo de vegetación considerada, en comparación con otros tipos de vegetación, las pérdidas son bajas y que, aun usando el modelo ITU-R P.833-9 siguen siendo excesivas para este tipo de vegetación. También se puede observar que al bajar la altura de las antenas las pérdidas consideradas por el modelo de Dos Rayos aumentan.

Por último, se trabaja con un enlace que cumpla con las características planteadas en el tercer escenario (Fig. 3). En este caso la distancia considerada entre el transmisor y el receptor es de 1430 m. caso típico de análisis para las dimensiones del campo analizado.

TABLA III. RESULTADOS DEL TERCER ESCENARIO

Cálculo	Simulación	Analítico
<i>FM</i> [dB]	8.8	16.42
<i>L_{veg}</i> [dB]	7.3	11.76
<i>L_{fs}</i> [dB]	94.7	101.1

En base a los resultados obtenidos se puede concluir que las pérdidas por vegetación y espacio libre obtenidas por medio de métodos analíticos son mayores que las obtenidas en Radio Mobile, pero a través de éste se obtuvo un menor *FM* ya que también considera pérdidas estadísticas (5.9 dB) y por obstrucción (11.6 dB), las cuales no son consideradas analíticamente en el modelo planteado.

IV. CONCLUSIÓN

Se concluye que el modelo de Dos Rayos logra aproximarse a los resultados obtenidos por simulación, e indica a través de los cálculos analíticos que, por este método, se obtienen las distancias máximas teóricas a las que se pueda afirmar que será viable el enlace, bajo las consideraciones antes indicadas.

En caso de que las alturas de las antenas no logren el despejamiento óptimo de Fresnel, se necesitaría una mejor aproximación de los cálculos, haciendo uso de la recomendación ITU-R P.530-13 [13]. Para el caso de estudio, estas pérdidas oscilan entre los 10dB y 15 dB.

Por otro lado, se puede decir que las pérdidas por vegetación obtenidas por medio de métodos analíticos son mayores que las obtenidas en Radio Mobile, siendo las proporcionadas por modelo ITU-R P.833-9, las que más se aproximan al caso de estudio y de allí su elección.

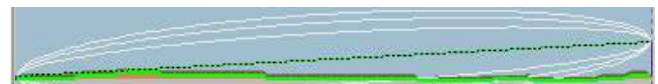


Fig. 1. Enlace entre TX1 y RX1 correspondiente al primer escenario.

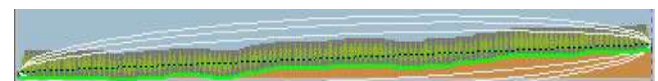


Fig. 2. Enlace entre TX2 y RX2 correspondiente al segundo escenario.

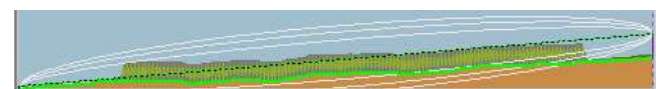


Fig. 3. Enlace entre TX3 y RX3 correspondiente al tercer escenario.

REFERENCIAS

- [1] Lucas E. Ramero, Adolfo A. Silnik, Alfredo F. Debattista, Roberto A. Kiessling y Alejandro A. Valenzuela, "Propuesta de Arquitectura de Red de Datos para el Proyecto Campo Conectado", 46JAIIO - CAI - ISSN: 2525-0949. Págs 112 a 126.
- [2] Mauro Schwab, "Low Power Wireless Sensor Node Platform for Agriculture Monitoring in Argentina", International Conference on Cyber-Enabled Distributed Computing and Knowledge Discovery (CyberC), 2018.
- [3] Semtech Corporation, "SX1276/77/78/79 - 137 MHz to 1020 MHz Low Power Long Range Transceiver", Hoja de Datos de SX1276/77/78/79, Sep. 2013 [Revisado Ago. 2016].
- [4] Dragino, "LG02/OLG02 LoRa Gateway User Manual", Versión 1. 5.2, Update:2018-09-11 .
- [5] Naseer Sabri, "Path Loss Analysis of WSN Wave Propagation in Vegetation", J. Phys.: Conf. Ser. 423 012063, 2013.
- [6] Rappaport T. S. "Wireless communications, principles and practice". Prentice Hall, 1996. pp. 85-94.
- [7] *SoftWright*, "Notes on Longley-Rice Propagation". https://www.softwright.com/faq/engineering/prop_longley_rice.html (Accedido 28 de Marzo, 2020).
- [8] *Radio Mobile*, "Radio Mobile Freeware by VE2DBE Since 1988" <https://www.ve2dbe.com/english1.html>. Radio Mobile WEB Site (Accedido 16 de Julio, 2020)
- [9] Adebayo S. Adewumi and Olusegun Olabisi, "Characterization and Modeling of Vegetation Effects on UHF Propagation through a Long Forested Channel", Progress In Electromagnetics Research Letters, Vol. 73, 9–16, 2018.
- [10] ITU-R, "Atenuación debida a la vegetación", Recomendación ITU-R P.833-9 (09/2016), p. 5.
- [11] CCIR study programme IAi5, 'Influence of terrain irregularities and vegetation on tropospheric propagation'. Report 236-6, 1986.
- [12] Weissberger, M. A., "An initial critical summary of models for predicting the attenuation of radio waves by foliage," Electromagnetic Compatibility Analysis Center, Annapolis, MD, ECAC-TR-81- 101, 1981.
- [13] ITU-R, "Datos de propagación y métodos de predicción necesarios para el diseño de sistemas terrenales con visibilidad directa", Recomendacion ITU-R P.530-13 (10/2009).

Desarrollo de Banco de Pruebas para Evaluación de Redes LoRaWAN

Federico Torres

Laboratorio de Comunicaciones Digitales

FCEfYn, UNC

Cordoba, Argentina

insftorres@gmail.com

Jorge M. Finochietto

Laboratorio de Comunicaciones Digitales

FCEfYn, UNC

Cordoba, Argentina

jorge.finochietto@unc.edu.ar

Guillermo G. Riva

GINTEA

UTN-FRC

Cordoba, Argentina

griva@frc.utn.edu.ar

Abstract—En la actualidad existen nuevos protocolos inalámbricos de comunicaciones para telemetría cada vez mas eficientes respecto a la sensibilidad de recepción, utilización del espectro de radio, uso de energía y seguridad. Sin embargo, debido a estas optimizaciones y a su versatilidad de aplicación en diferentes casos de uso, estos protocolos presentan muchos parámetros de configuración que deben ser definidos antes de desplegar la red. La selección de los valores adecuados para cada caso no es trivial, y requiere de conocimiento teórico y experimental. Además, no se dispone de herramientas flexibles y versátiles para evaluar el rendimiento de estas redes en un entorno controlado. En este trabajo se presenta el desarrollo de un banco de pruebas para evaluación del desempeño de redes LoRaWAN según una configuración de parámetros dada antes de su despliegue real, y se exponen los resultados obtenidos en la implementación de tres escenarios diferentes.

Index Terms—Testbench, Telemetría, IoT, LoRaWAN, LoRaServer

I. INTRODUCCIÓN

En la actualidad, existen nuevos protocolos de comunicaciones inalámbricos para telemetría cada vez mas eficientes respecto a la sensibilidad de recepción, utilización del espectro de radio, uso de energía y seguridad. Ejemplos de ello son *LoRaWAN*, *Sigfox*, *Weightless*, *Ingeniu*, etc. La dificultad que enfrentan los desarrolladores es no solo la adecuada selección del hardware y Network Server (en el caso de *LoRaWAN*) a utilizar [1], sino la correcta configuración de los mismos. En este sentido, se considera de gran importancia desarrollar bancos de pruebas que permitan evaluar el desempeño de la red de forma flexible y controlada con diferentes configuraciones antes de su instalación final. Ello se debe principalmente al gran número de parámetros de configuración, resultando en más de 6720 combinaciones posibles en *LoRaWAN* [2], [3], [4], [5], para obtener un buen desempeño de la red, lo cual es dependiente del escenario [6], [7]. Una mala selección de los parámetros puede resultar en una gran reducción de la vida útil de los nodos [8]. Actualmente, existen bancos de pruebas para analizar redes *LoRaWAN* similares al propuesto en este trabajo, los cuales no permiten configurar y visualizar las métricas de la red de una manera interactiva y simple [9].

En este trabajo se desarrollan herramientas de monitoreo del estado de los elementos que conforman la red *LoRaWAN*, que son Nodos, Gateway (GW), Network Server (NS), de

configuración de la red y de análisis del tráfico de datos, que sean simples e intuitivas para cualquier usuario no experto en este protocolo, y que posibiliten evaluar el desempeño de implementaciones del protocolo *LoRaWAN* en un banco de prueba controlado. Esto es de gran utilidad ya que posibilita evaluar los sistemas de comunicaciones previamente a su despliegue, previendo y limitando potenciales problemas futuros complejos de resolver una vez que ya está realizado el despliegue de la red. Un banco de pruebas posibilita desarrollar, en un entorno totalmente controlado, sistemas que sean robustos a efectos no deseados como interferencia, degradación del canal de comunicación por obstrucción, etc.

II. DESARROLLO

El desarrollo del banco de pruebas propuesto en este trabajo consiste de tres etapas: 1) armado y configuración de los elementos de la red *LoRaWAN*, 2) adquisición, procesamiento y almacenamiento de logs e información de paquetes generados en la red, y 3) diseño e implementación de interfaz Web para configurar los nodos y visualizar la información adquirida.

A. Armado y configuración de la red *LoRaWAN*

1) *Hardware utilizado*: Para los nodos de la red se utilizaron placas de desarrollo *LoPy* y *LoPy4* de *Pycom* basados en *ESP32*, y un *Gateway MultiConnect Conduit* de *Multitech*.

2) *Entorno de desarrollo*: Se utilizó *MicroPython* para programar a los nodos, la cual es una implementación del lenguaje de programación *Python 3* desarrollada para microcontroladores.

3) *Instalación de LoRa Server*: Se realizó la instalación de *LoRa Server* en una máquina virtual con *Ubuntu 16.04 LTS* de 64 bits, con todos los componentes y sus dependencias instalados en una única instancia del servidor. Como requisito previo, debió instalarse el siguiente software:

- **Broker MQTT**: MQTT es un protocolo de mensajería de publicación/suscripción. Permite a los usuarios publicar información dentro de tópicos a los cuales otros pueden suscribirse. El broker utilizado es *Mosquitto* de *Eclipse*.
- **Redis**: base de datos de almacenamiento transitorio.
- **PostgreSQL**: base de datos de almacenamiento a largo plazo.

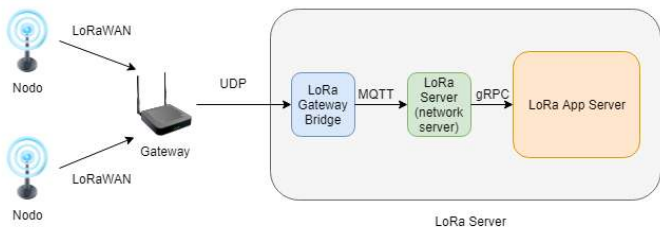


Fig. 1. Diagrama de la red LoRaWAN implementada.

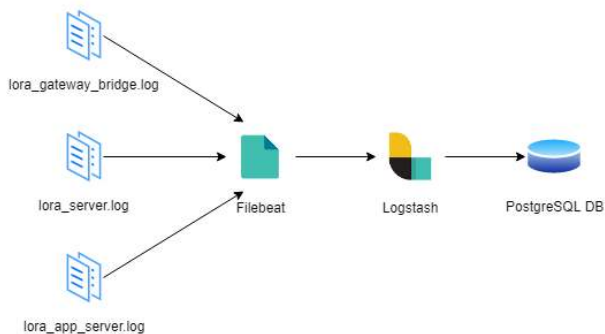


Fig. 2. Flujo de adquisición, procesamiento y almacenamiento de logs.

Una vez configurado el software y creadas las bases de datos y sus usuarios, se instalaron y configuraron los distintos módulos que componen a LoRa Server. Estos son: *LoRa Gateway Bridge*, *LoRa Server*, y *LoRa App Server*.

4) *Configuración del Gateway*: Se configura mediante SSH al *packet forwarder*, software que ejecuta el GW, para reenviar los paquetes desde y hacia el NS de LoRa Server.

Para la sincronización entre nodos, GW y la PC con LoRa Server, se utiliza el protocolo NTP. El diagrama final de la red es el que puede verse en la Fig. 1.

5) *Adquisición, procesamiento y almacenamiento de logs e información de paquetes*: Todos los módulos de LoRa Server generan logs durante su ejecución para debugging. En ellos puede verse la información del tópico MQTT, aplicación y nodo correspondientes a un mensaje transmitido o recibido, nodos que se unen a la red, problemas al decodificar un mensaje recibido, errores o advertencias en la comunicación entre los módulos de LoRa Server, con el broker MQTT, etc.

Como se busca una forma clara y amigable de visualización de estos logs para el usuario, se procesa y almacena la información de forma más organizada. Para ello se modificó la salida de los logs de los módulos de LoRa Server para guardarlos en archivos, y procesar los datos con Logstash y Filebeat (desarrollados por Elastic). Estos analizadores y recolectores procesan los logs y envían los datos a una base de datos PostgreSQL para su almacenamiento (Fig. 2).

6) *Aplicación Web*: Para visualizar e interpretar la información obtenida de la red se utilizó una aplicación Web desarrollada en el lenguaje Python con el framework Dash. La misma permite configurar el esquema de funcionamiento de la red, entre cantidad de nodos, y como es el esquema de

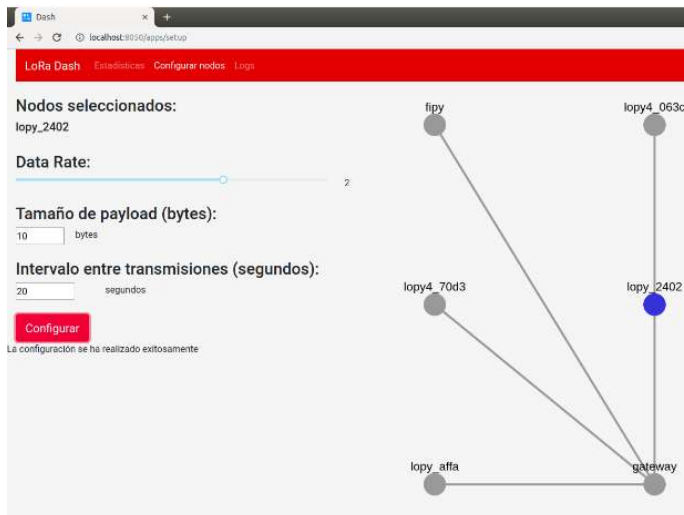


Fig. 3. Entorno de configuración de la red.

transmisión (frecuencia, data rate, intervalo de transmisión, tamaño de paquete, etc) como se muestra en la Fig. 3. Algunas métricas que el usuario puede visualizar son: bytes recibidos, paquetes transmitidos, confirmados, y perdidos, RSSI, SNR, potencia de transmisión, canal de RF, delay y jitter.

III. RESULTADOS

Para validar el banco de pruebas se implementaron tres escenarios. En el escenario 1, se configuró un nodo transmitiendo datos cada 5 minutos con confirmación de recepción, usando data rate DR 3. En el escenario 2, se usaron dos nodos transmitiendo con confirmación, con DR 2 y el mismo canal, uno transmitiendo cada 5 segundos y el otro aleatoriamente entre 1 y 5 segundos. En el escenario 3 (Fig. 4), se utilizaron cuatro nodos transmitiendo con confirmación, con DR 2 y el mismo canal de subida, un nodo transmitiendo cada 20 segundos, y los demás aleatoriamente entre 18 y 22 segundos.

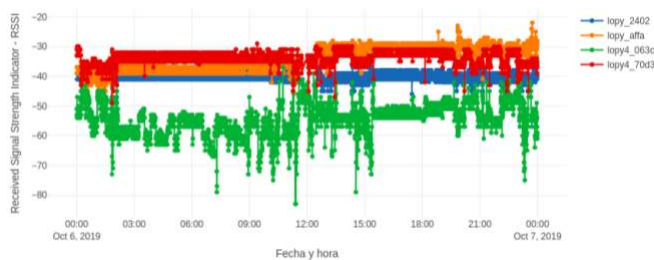


Fig. 4. Variación temporal del nivel de señal recibida en el Gateway.

IV. CONCLUSIÓN

En este trabajo se muestran resultados de la implementación del banco de evaluación del funcionamiento de redes LoRaWAN para diferentes escenarios y configuraciones de los parámetros. Como trabajo futuro se prevé el uso de nodos de otros fabricantes y la actualización del firmware de los nodos inalámbricamente.

REFERENCIAS

- [1] F. Torres, J. Soriano, and G. Riva, "First Steps in the Development of a LoRaWAN Testbench," 2018 Ninth Argentine Symposium and Conference on Embedded Systems (CASE), Cordoba, 2018, pp. 7-12, doi:10.23919/SASE-CASE.2018.8542160.
- [2] "Semtech. LoRa Modulation Basics," 2015.
- [3] A. L. D. Bankov, and E. Khorov, "On the Limits of LoRaWAN Channel Access," 2016 International Conference on Engineering and Telecommunication (EnT), Moscow, 2016, pp. 10-14, doi: 10.1109/EnT.2016.011.
- [4] F. Adelantado, X. Vilajosana, P. Tuset-Peiro, B. Martinez, J. Melia-Segui and T. Watteyne, "Understanding the Limits of LoRaWAN," in IEEE Communications Magazine, vol. 55, no. 9, pp. 34-40, Sept. 2017, doi: 10.1109/MCOM.2017.1600613.
- [5] A. Augustin, J. Yi, T. Clausen, and W. Mark Townsley, "A Study of LoRa: Long Range & Low Power Networks for the Internet of Things," Sensors 16(9):1466, DOI: 10.3390/s16091466, 2016.
- [6] M. Bor and U. Roedig, "LoRa Transmission Parameter Selection," 2017 13th International Conference on Distributed Computing in Sensor Systems (DCOSS), Ottawa, ON, 2017, pp. 27-34, doi: 10.1109/DCOSS.2017.10.
- [7] M. S. U. Raza, and P. Kulkarni, "Low Power Wide Area Networks: An Overview," in IEEE Communications Surveys & Tutorials, vol. 19, no. 2, pp. 855-873, Secondquarter 2017, doi: 10.1109/COMST.2017.2652320.
- [8] D. Magrin, M. Capuzzo, and A. Zanella, "A Thorough Study of LoRaWAN Performance Under Different Parameter Settings," in IEEE Internet of Things Journal, vol. 7, no. 1, pp. 116-127, Jan. 2020, doi: 10.1109/JIOT.2019.2946487.
- [9] J. M. Marais, R. Malekian, and A. M. Abu-Mahfouz, "Evaluating the LoRaWAN Protocol Using a Permanent Outdoor Testbed," IEEE Sensors Journal, 1-1. doi:10.1109/jsen.2019.2900735.

Análisis de Protocolos en Redes LTE mediante Plataforma OpenAirInterface

Javier Dealesandro, Carlos Zerbini, Guillermo Riva

Grupo de Investigación y Transferencia en Electrónica Avanzada (GInTEA)

Universidad Tecnológica Nacional, Facultad Regional Córdoba

Córdoba, Argentina

javierdealesandro@gmail.com, carloszerbini@gmail.com, guilriva@gmail.com

Abstract—El avance en tecnologías de radio definida por software (SDR) ha posibilitado su efectiva aplicación en sistemas de 4G y 5G. OpenAirInterface es un proyecto colaborativo para evaluar técnicas avanzadas de procesamiento en comunicaciones, permitiendo el acceso a la academia con fines didácticos y de investigación. En este trabajo se exponen resultados en la emulación de comunicación LTE entre un equipo de usuario y una celda base, demostrando sus cualidades para analizar procesos en sus distintas capas. Estas experiencias son directamente aplicables a un escenario real de comunicación inalámbrica.

Index Terms—Measurement, wireless, OpenAirInterface, LTE, SDR

I. INTRODUCCIÓN

Tradicionalmente, la infraestructura LTE [1] ha sido propietaria y de alto costo. En los últimos años, se han desarrollado plataformas de hardware y software abiertos de alto desempeño, siendo posible observar sus sistemas en acción más allá del simple análisis de normas, e introducir modificaciones para evaluar sus efectos.

Existen trabajos previos que implementan sistemas LTE sobre SDR, tales como *openLTE* [2], *gr-LTE* [3], *libLTE* [4], y *srsLTE* [5], además de las librerías brindadas por *Matlab* [6]. Sin embargo, los tres primeros se encuentran discontinuados, *srsLTE* migra hacia un modelo comercial, mientras que *Matlab* se concentra en la capa física y es propietario. Una completa comparación de todas estas implementaciones se presenta en [7]. OpenAirInterface (OAI) [8], en tanto, es un importante proyecto del cual forman parte la academia y la industria. Si bien OAI es una herramienta con gran potencial, su gran complejidad y constante evolución hacen muy difícil su apropiación.

En este trabajo se implementa y se evalúa mediante OAI un caso real de comunicación entre una celda base y un terminal móvil, utilizando un canal físico simulado. Los datos transferidos entre ambos son las muestras de la señal modulada OFDM en capa física, por lo que la implementación se puede llevar luego a un escenario inalámbrico sin mayores modificaciones. En particular, se realiza un trabajo de interpretación de los protocolos teóricos LTE, llevándolos a la práctica mediante el análisis de los mensajes de OAI, demostrando su utilidad a nivel educativo, de investigación y de innovación tecnológica.

Trabajo parcialmente financiado mediante el PID CCUTNCO0007833, *Monitoreo de Calidad de Servicio en Redes de Comunicaciones Móviles*.

II. DESARROLLO

OAI permite implementar la red de acceso por radio (RAN) LTE, formada por el nodo base (eNB) y los equipos de usuario (UEs), así como el núcleo de red conmutada por paquetes (EPC). En este trabajo nos concentramos en la implementación de la RAN, utilizando un canal simulado ideal. Asimismo, contando con los drivers adecuados para una placa transceptora SDR, es posible migrar directamente hacia un sistema inalámbrico completamente funcional, entre el eNB y un móvil emulado o un smartphone comercial.

OAI cuenta con simuladores que permiten abstraerse a distintos niveles en las capas de protocolo LTE. Estas capas son, en orden descendente, Radio Resource Control (RRC), Packet Data Convergence (PDCP), Radio Link Control (RLC), Medium Access Control (MAC) y Physical (PHY). En este trabajo se selecciona el simulador *Basic Simulator*, el cual desciende hasta la capa física (modulación OFDM) pero implementa un canal inalámbrico ideal para abstraerse de él. De este modo, si bien nos concentramos en los procedimientos de capas superiores, la señal se genera a nivel de capa física para su fácil migración al escenario inalámbrico. Se contempla un UE contra un eNB, en sentidos *Uplink (UL)* de UE a eNB, y *Downlink (DL)* de eNB a UE. El UE y el eNB se implementan sobre dos máquinas virtuales con Ubuntu 18.04. El canal inalámbrico simulado se transporta sobre un bridge TCP entre ambas. Las capturas de tráfico son realizadas mediante la herramienta *Tracer* de OAI, y analizadas mediante *Wireshark*.

III. RESULTADOS

Sin pérdida de generalidad, tomaremos como caso de implementación los procedimientos normales desde que se produce el encendido de un UE hasta su completa habilitación para transferir datos de aplicación hacia el eNB [9]. Analizamos a continuación los resultados obtenidos en la Fig. 1, interpretando los mensajes observados en el contexto de los procedimientos recomendados por las normas 3GPP LTE [10], [11], [12], resumidos en la Fig. 2. Para reflejar estas relaciones, la Fig. 2 incluye referencias a los mensajes de la Fig. 1.

Al activarse, el UE requiere del eNB la asignación de recursos de radio mediante el procedimiento *Random Access Procedure*. Para ello, genera una secuencia Zadoff-Chu aleatoria y la envía mediante un preámbulo en su canal RACH, identificándose mediante el RA-RNTI 2 (Msjs. 1 y 2). En

Msj.	Canal	Tamaño	Descripción
1	MAC-LTE	59	RACH Preamble chosen for UE 0 (RAPID=57, attempt=0)
2	MAC-LTE	66	RAR (RA-RNTI=2, SFN=200 , SF=6) (RAPID=57: TA=0, UL-Grant=844, Temp C-RNTI=28641)
3	LTE RRC UL_CCCH	77	RRCConnectionRequest
4	LTE RRC DL_CCCH	100	RRCConnectionSetup
5	RLC-LTE	122	[UL] [AM] SRB:1 [DATA] sn=0 [56-bytes..
6	LTE RRC UL_DCCH..	276	RRCConnectionSetupComplete, Attach request, PDN connectivity request
7	RLC-LTE	78	[DL] [AM] SRB:1 [CONTROL] ACK_SN=2
8	RLC-LTE	70	[DL] [AM] SRB:1 [DATA] sn=0 [6-bytes..
9	RLC-LTE	63	[DL] [AM] SRB:1
32	RLC-LTE	63	[DL] [AM] SRB:1
33	MAC-LTE	122	UL-SCH: (SFN=206 , SF=5) UEId=0 (Power Headroom Report) (Long BSR) (Padding:remainder)
34	LTE RRC DL_DCCH	66	SecurityModeCommand
35	LTE RRC UL_DCCH	122	[UL] [AM] SRB:1 [CONTROL] ACK_SN=2 , SecurityModeComplete
36	RLC-LTE	63	[DL] [AM] SRB:1 [CONTROL] ACK_SN=3
37	LTE RRC DL_DCCH	72	UECapabilityEnquiry
38	LTE RRC UL_DCCH	122	[UL] [AM] SRB:1 [CONTROL] ACK_SN=3 , UECapabilityInformation
39	RLC-LTE	63	[DL] [AM] SRB:1 [CONTROL] ACK_SN=4
40	LTE RRC DL_DCCH	114	RRCConnectionReconfiguration
41	LTE RRC UL_DCCH	122	[UL] [AM] SRB:1 [CONTROL] ACK_SN=4 , RRCConnectionReconfigurationComplete
42	RLC-LTE	63	[DL] [AM] SRB:1 [CONTROL] ACK_SN=5
43	MAC-LTE	122	UL-SCH: (SFN=215 , SF=5) UEId=0 (Long BSR) (Padding:remainder)

Fig. 1. Resultados obtenidos en una emulación mediante OAI.

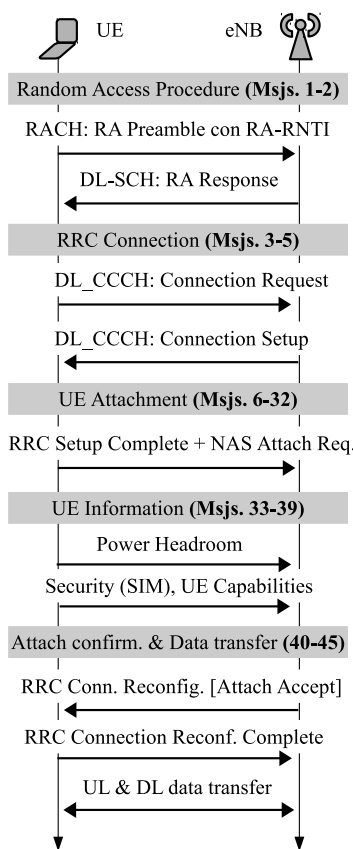


Fig. 2. Secuencia de mensajes según normas 3GPP LTE.

respuesta, un scheduler en el eNB le asigna recursos en tiempo-frecuencia, a lo que el eNB responde generando una *Random Access Response (RAR)* sobre el canal DL_SCH, y asignando al UE el identificador temporal C-RNTI 28641 (Msj. 2). Todo ello ocurre en capa MAC, y a partir de estos procesos el UE adquiere acceso a capas superiores.

Posteriormente, como se observa en las capturas de la Fig. 1,

se inicia el pedido de conexión en capa RRC sobre el canal UL_CCCH, donde el UE solicita un identificador permanente (Msj. 3). La eNB responde con el mensaje RRCConnectionSetup (Msj. 4) en el canal DL_CCCH, mediante el cual se crea un túnel o *Signaling Radio Bearer (SRB)* en modo de confirmación (Acknowledged Mode, AM). Finalmente, el UE confirma conexión mediante los Msjs. 5-6, RRCConnectionSetupComplete, a través del canal UL_DCCH, e inicia el procedimiento de *Attachment* para quedar definitivamente habilitado a enviar datos. Este mensaje dispara una serie de procedimientos entre eNB y EPC, no mostrados aquí, a fin de crear un *Default Radio Bearer (DRB)* por donde el UE cursará datos de usuario hacia la internet. Los Msjs. 7 a 32 de la Fig. 1 contienen información de capa RLC relacionada a estos procedimientos, y pueden ser analizados mediante Wireshark.

Se observan asimismo en nuestros resultados los procedimientos de autenticación (Msjs. 34-36) donde eNB y UE intercambian claves, y solicitud de capacidades del UE por parte de la eNB (Msjs. 37-39). Finalmente, observamos que el eNB envía el Msj. 40, RRCConnectionReconfiguration [Attach Accept], que el UE responde con el Msj. 41, confirmado en el Msj. 42, quedando habilitado así un canal (DRB) por donde transferir datos desde y hacia el UE. Desde allí, el UE genera datos de relleno (padding) como muestra el Msj. 43, hasta tanto el usuario genere información útil desde una aplicación.

IV. CONCLUSIÓN

A partir del trabajo realizado se comprueba que, si bien se trata de una plataforma compleja y en constante evolución, que demanda esfuerzo de instalación y aprendizaje, OAI puede ser utilizado efectivamente para el análisis de protocolos utilizados en sistemas 4G LTE. Asimismo, considerando que OAI es un esfuerzo colaborativo y que soporta hoy muchas características de 5G, su conveniencia para realizar investigación y desarrollo es evidente.

REFERENCIAS

- [1] M. Rumney (Editor), "LTE and the Evolution to 4G Wireless: Design and Measurement Challenges 2nd. Ed., " Wiley, 2013.
- [2] "OpenLTE - An open source 3GPP LTE implementation," [Online:] <http://openlte.sourceforge.net/>
- [3] J. Demel, S. Koslowski, and Friedrich K. Jondral, "A LTE Receiver Framework Using GNU Radio," *Journal of Signal Processing Systems*, 78(3):313–320, 2015.
- [4] "libLTE: Open source 3GPP LTE library," [Online:] <http://sourceforge.net/projects/liblte/>.
- [5] I. Gomez-Miguel, A. Garcia-Saavedra, P. D. Sutton, P. Serrano, C. Cano, and D. J. Leith, "srsLTE: An Open-Source Platform for LTE Evolution and Experimentation," *ACM WiNTECH 2016*.
- [6] LTE Toolbox, Mathworks, <https://www.mathworks.com/products/lte.html>
- [7] D. Gutierrez, F. Gimenez, C. Zerbin and G. Riva, "Measurement of 4G LTE Cells with SDR Technology," in *IEEE Latin America Transactions*, Vol. 18, No. 02, pp. 206-2013, Feb. 2020.
- [8] N. Nikaein, M. K. Marina, S. Manickam, A. Dawson, R. Knopp, and C. Bonnet, "OpenAirInterface: A Flexible Platform for 5G Research," *ACM SIGCOMM CCR*, 44(5):33–38, 2014.
- [9] N. Cardona, J.J. Olmos, M. García, J.F. Monserrat "3GPP LTE: Hacia la 4G móvil," Ed. Marcombo, 2011.
- [10] "LTE Attach and Default Bearer Setup, " [Online:] <https://www.eventhelix.com/lte/attach/lte-attach.pdf>.
- [11] "LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Radio Resource Control (RRC) Protocol specification, " ETSI, 2018.
- [12] "LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); Radio Link Control (RLC) Protocol specification, " ETSI, 2018.



Categoría

FORO TECNOLÓGICO

FPGA-HDL y ASIC

Área Temática

Implementación de Filtro de Detección de Bordes Sobel en SoC usando Síntesis de Alto Nivel

Roberto Millon  y Emmanuel Frati 

Departamento de Ciencias Básicas y Tecnológicas, UNDeC
Chilecito (5360), La Rioja, Argentina
{rmillon,fefrati}@undec.edu.ar

Enzo Rucci 

III-LIDI, Facultad de Informática, UNLP
La Plata (1900), Bs As, Argentina
erucci@lidi.info.unlp.edu.ar

Resumen—Las FPGAs se han destacado como dispositivos de bajo consumo energético y alta productividad para muchas aplicaciones de procesamiento de imágenes. En este trabajo se presenta la implementación de un filtro de detección de bordes Sobel usando síntesis de alto nivel sobre una plataforma SoC. A diferencia de otras propuestas, esta implementación no requiere de un sistema operativo embebido en la placa ni tampoco de librerías específicas de imágenes.

Index Terms—Detección de bordes, Sobel, SoC, Zybo, HLS

I. INTRODUCCIÓN

El objetivo principal del procesamiento digital de imágenes es mejorar la calidad de una imagen o extraer información contenida en la misma [1]. En ese sentido, las FPGAs se han destacado como dispositivos de bajo consumo energético y alta productividad para muchas aplicaciones de procesamiento de imágenes [2].

Dentro del procesamiento de imágenes, las técnicas de detección de bordes o contornos son empleadas para segmentar una imagen en regiones homogéneas [3]. Estas técnicas se aplican sobre imágenes en escala de grises representadas por una función $f(x, y)$, donde f se corresponde con la intensidad o nivel de gris en cada píxel. Un borde está constituido por un cambio abrupto de intensidad en una región reducida y es lo que facilita delimitar los objetos presentes en una imagen.

El filtro (u operador) Sobel es un método de detección de bordes muy popular que ha sido ampliamente estudiado. En el ámbito de las FPGAs, las implementaciones del filtro Sobel han sido desarrolladas tanto en lenguajes de descripción de hardware (HDL) como en lenguajes de alto nivel (HLL). En HDL, se pueden destacar tres diseños de este operador. En [4] se desarrolló una versión simple del filtro en VHDL y se realizaron pruebas de rendimiento en 3 FPGAs de Xilinx de distinta gama, mientras que en [5] se desarrolló una versión multidireccional de este operador. Las pruebas de rendimiento de este último se realizaron en una FPGA Spartan3 XC3S200. En cuanto a Verilog, se encuentra un diseño del filtro implementado en un FPGA Virtex 4 de Xilinx [6]. Por otro lado, vale la pena mencionar 2 versiones HLS del filtro Sobel. En primer lugar, en [7] se implementa el algoritmo en una plataforma System-on-Chip (SoC) de Avnet-Xilinx denominada Zedboard. Las imágenes ingresan por una cámara USB al sistema y los resultados se envían al puerto HDMI para ser visualizados en pantalla. El procesador es el

responsable de controlar todos los componentes del sistema, para lo cual cuenta con un sistema operativo (SO) Linux embebido. En segundo lugar, en [8] se realizan pruebas de la implementación en otra plataforma SoC denominada ZYBO, del consorcio Digilent-Xilinx. En este caso, se utilizan tanto los puertos HDMI como VGA para el ingreso de las imágenes y su posterior procesamiento. Una característica en común de ambos desarrollos de alto nivel es que los autores utilizaron funciones de librerías de video provistas por Xilinx.

En este trabajo se presenta la implementación de un filtro Sobel sintetizado en lenguaje de alto nivel sobre una plataforma SoC. A diferencia de las propuestas existentes, la implementación presentada no requiere embeber un SO en la placa ni tampoco utiliza funciones de librerías de imágenes/video. Además, se encuentra disponible en un repositorio web público [9] para beneficio de la comunidad, lo que facilita su reuso o modificación para otros fines.

II. FILTRO DE DETECCIÓN DE BORDES SOBEL

El filtro Sobel es un método de detección de contornos basado en gradientes (o de primer orden) que se aplica a imágenes en escala de grises [10]. Utiliza dos máscaras de convolución independientes M_h y M_v para obtener los cambios de intensidad en dirección horizontal y vertical, respectivamente, que se pueden observar en la Eq. 1.

$$M_h = \begin{pmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ 1 & 2 & 1 \end{pmatrix} M_v = \begin{pmatrix} -1 & 0 & 1 \\ -2 & 0 & 2 \\ -1 & 0 & 1 \end{pmatrix} \quad (1)$$

Desde el punto de vista matemático, el operador emplea las máscaras para aplicar convolución a la imagen original y así calcular aproximaciones a las derivadas tanto en el eje horizontal como en el eje vertical. En cada píxel de la imagen, los resultados de las aproximaciones de ambos gradientes pueden ser combinados para obtener su magnitud (o tasa de cambio de intensidad) con la siguiente ecuación $G = \sqrt{G_x^2 + G_y^2}$.

III. IMPLEMENTACIÓN

Para la implementación del filtro Sobel se emplearon dos clases de arreglos diferentes denominados *buffer de línea* y *ventana deslizante*, siguiendo las recomendaciones de [11].

Por un lado, los buffers de línea almacenan una fila completa de píxeles de la imagen y se usa la cantidad mínima que permita mantener el contexto necesario para procesar cada píxel. Por otro lado, la ventana deslizante almacena un conjunto de píxeles centrado en el píxel de interés de forma de poder aplicar la convolución correspondiente. En este caso particular, se requiere una ventana deslizante de 3×3 y 3 buffers de línea de *AnchoDeImagen* elementos, como se muestra en la Fig. 1.

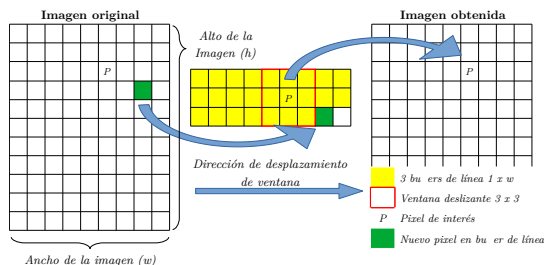


Figura 1: Aplicación de convolución

El núcleo de procesamiento está formado por 3 bloques sintetizados y validados en alto nivel con la herramienta Vivado HLS v2019.1 de Xilinx. El primer bloque (RGB2GRAY) convierte imágenes RGB en escala de grises utilizando el método basado en la media aritmética de los tres componentes; el segundo bloque (FILTRO SOBEL) detecta los bordes en la imagen; y el tercer bloque (U8toU32) combina 4 caracteres de 8 bits para formar una palabra de 32 bits. Se utilizaron directivas para la optimización de la síntesis. En particular, se usó HLS INTERFACE para indicar que se desea emplear los estándares AXI Stream y AXI Lite en las comunicaciones de las imágenes y sus parámetros. También se empleó HLS ARRAY PARTITION para permitir la lectura de las memorias en paralelo (buffers de línea, ventana deslizante y máscaras). Por último, se incluyó la directiva HLS UNROLL para que las convoluciones puedan computarse en paralelo.

Para realizar pruebas reales del filtro se diseñó un sistema que permite adquirir imágenes RGB en formato BMP desde una tarjeta de memoria microSD, detectar sus bordes y almacenar la nueva imagen en la memoria microSD. El sistema está formado por un bloque DMA que accede a la memoria microSD para la lectura de la imagen y envía el flujo de píxeles al bloque de procesamiento. Luego de operar, el bloque de procesamiento devuelve el flujo de píxeles al DMA para su posterior almacenamiento en memoria. La configuración y habilitación del sistema son realizadas por el procesador. En la Fig. 2 se observa un diagrama en bloques del sistema. Por último, todos los módulos fueron integrados usando la herramienta Vivado 2019.1.

IV. RESULTADOS EXPERIMENTALES

La plataforma de desarrollo usada es ZYBO, basada en la arquitectura AP SoC e integrada por un procesador *dual-core* ARM Cortex-A9 y una FPGA XC7Z010-1-CLG400C. La aplicación de prueba se desarrolló con la herramienta XSDK 2019.1 de Xilinx y se configuró la implementación para que

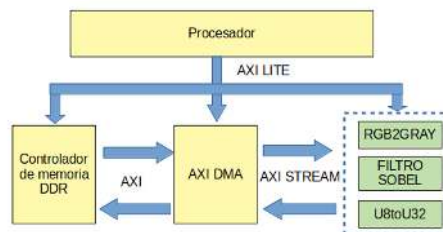
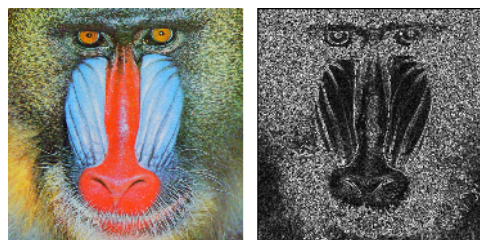


Figura 2: Sistema implementado



(a)



(b)

Figura 3: Imágenes de prueba. (a) *Mandrill*. (b) *Kodim23*

pueda procesar imágenes de hasta 1920×1080 píxeles (Full HD). El sistema fue probado con 2 imágenes obtenidas de repositorios públicos: *Mandrill* de 512×512 [12] y *Kodim23* de 768×512 [13]. La Fig. 3 muestra el resultado del filtrado aplicado las imágenes de prueba.

El análisis temporal reporta que el tiempo de ciclo es 8.62ns mientras que el retardo es de 3.96ms. El tiempo requerido para procesar *Kodim23* a 100Mhz es de 40.97ms. Con respecto al uso de recursos, la Tabla I resume los valores requeridos. Como se puede notar, el diseño no es grande y quedan aun recursos disponibles para otras aplicaciones si fuese necesario.

Recurso	Slice LUTs	Slice Registers	F7 Muxes	BRAM	DSPs
Total	17600	35200	8800	60	80
Usados	2877	3221	6	1	2
Utilización	16 %	9 %	1 %	2 %	3 %

Tabla I: Uso de recursos

V. CONCLUSIONES Y TRABAJO FUTURO

En este trabajo se presentó la implementación de un filtro Sobel sintetizado en lenguaje de alto nivel sobre una plataforma SoC, la cual no requiere de un SO embebido en la placa ni tampoco librerías específicas de imágenes. Además, se encuentra disponible en un repositorio web público para beneficio de la comunidad. Como trabajo futuro, se espera desarrollar una versión del mismo algoritmo en HDL y realizar un análisis comparativo de las mismas considerando uso de recursos y rendimiento alcanzado.

REFERENCIAS

- [1] M. Pavan Kumar, "Hardware Acceleration of Edge Detection Using HLS," 2019. [Online]. Available: <http://scholarworks.csun.edu/bitstream/handle/10211.3/210950/Murthy-Pavan%20Kumar-thesis-2019.pdf?sequence=1>
- [2] L. Daoud, D. Zydek, and H. Selvaraj, "A Survey of High Level Synthesis Languages, Tools, and Compilers for Reconfigurable High Performance Computing," in *Advances in Systems Science*, J. Swiatek, A. Grzech, P. Swiatek, and J. M. Tomczak, Eds. Cham: Springer International Publishing, 2014, vol. 240, pp. 483–492. [Online]. Available: http://link.springer.com/10.1007/978-3-319-01857-7_47
- [3] T. Acharya and A. K. Ray, *Image Processing: Principles and Applications*. John Wiley & Sons.
- [4] G. Chaple and R. D. Daruwala, "Design of Sobel operator based image edge detection algorithm on FPGA," in *2014 International Conference on Communication and Signal Processing*. Melmaruvathur, India: IEEE, Apr. 2014, pp. 788–792. [Online]. Available: <http://ieeexplore.ieee.org/document/6949951/>
- [5] A. Nosrat and Y. S. Kavian, "Hardware description of multi-directional fast sobel edge detection processor by VHDL for implementing on FPGA," vol. 47, no. 25, pp. 1–7. [Online]. Available: <http://research.ijcaonline.org/volume47/number25/pxc3879872.pdf>
- [6] V. Sanduja and R. Patial, "Sobel edge detection using parallel architecture based on FPGA," vol. 3, p. 5.
- [7] Y. Zheng, "The design of sobel edge extraction system on FPGA," vol. 11, p. 08001. [Online]. Available: <http://www.itm-conferences.org/10.1051/itmconf/201711108001>
- [8] A. Ben Amara, E. Pissaloux, and M. Atri, "Sobel edge detection system design and integration on an FPGA based HD video streaming architecture," in *2016 11th International Design Test Symposium (IDT)*, pp. 160–164, ISSN: 2162-061X.
- [9] "Implementación de filtro de detección de bordes sobel en soc usando hls." [Online]. Available: https://github.com/robertoamt/Sobel_HLS_ZYBO
- [10] N. Nausheen, A. Seal, P. Khanna, and S. Halder, "A FPGA based implementation of Sobel edge detection," *Microprocessors and Microsystems*, vol. 56, pp. 84–91, Feb. 2018. [Online]. Available: <https://linkinghub.elsevier.com/retrieve/pii/S0141933116302289>
- [11] F. M. Vallina, "Implementing memory structures for video processing in the vivado HLS tool," p. 8.
- [12] "The usc-sipi image database." [Online]. Available: <http://sipi.usc.edu/database/database.php>
- [13] "Kodak image dataset." [Online]. Available: <http://www.cs.albany.edu/~xypan/research/snr/Kodak.html>

FlowHDL, Lenguaje de Programación Visual para el Diseño Digital de Lógica Programable

Ing. Anibal Fernando Antonelli, Ing. Carlos Arturo Gayoso

Laboratorio de Componentes Electrónicos

Instituto de Investigaciones Científicas y Tecnológicas en Electrónica (ICYTE)

Facultad de Ingeniería, Universidad Nacional de Mar del Plata (FI-UNMdP)

Mar del Plata, Buenos Aires, Argentina

anibal.antonelli@fi.mdp.edu.ar

Resumen—Dentro del Diseño Digital de Lógica Programable se cuenta con una gran cantidad de herramientas de software, sin embargo se observa que existe la necesidad de disponer de mayores facilidades para los usuarios de estos sistemas. Los principios necesarios de usabilidad pueden ser provistos por los Lenguajes de Programación Visual. Por otro lado, para generar código VHDL o Verilog sintetizable en una FPGA a través de un sistema visual coherente, es necesario superar múltiples inconvenientes. En este trabajo se presenta una nueva herramienta visual para el diseño de circuitos electrónicos digitales.

Index Terms—Lenguaje de Programación Visual, Diseño digital, VHDL, Máquinas de Estado, Tablas de Verdad, Desarrollo de Software.

I. INTRODUCCIÓN

Si bien, se dispone de una gran cantidad de herramientas de diseño digital, se observa que existe la necesidad de contar con aquellas que simplifiquen la descripción, entendimiento y desarrollo de circuitos digitales. Desde la década de los 80' Lenguajes de Programación Visuales como LabView [1] se vienen desarrollando en éste sentido. Herramientas de código abierto como RKM [2] para máquinas de estado, o icestudio [3] para interconexión de componentes también han sido creadas para este fin. En éste contexto, la mejora en los tiempos de diseño y aprendizaje, aprovechando el recurso visual y la generación de códigos textuales, son recursos que aun deben ser aún más explotados para el desarrollo del diseño digital.

Según Marriott y Meyer [4] un Lenguaje Visual es un conjunto de diagramas que representan "sentencias" válidas en ese mismo lenguaje. Tales diagramas se pueden entender como una colección de "símbolos" en un espacio bidimensional o tridimensional. Puede ser lograda la creación de programas de forma más accesible para los usuarios con estas herramientas [5].

Es introducido en el presente trabajo un Lenguaje de Programación Visual para el Diseño Digital denominado FlowHDL. El mismo se cuenta con nodos funcionales, que al igual que en VHDL y Verilog (donde la especificación funcional son denominados Entidades y Módulos respectivamente), los cuales pueden instanciar componentes particulares y ser interconectados a través de sus compuertas de entrada y salida; una vez que se cuenta con el Lenguaje de Descripción de Hardware (HDL por sus siglas en ingles), los componentes se sintetizan en elementos electrónicos digitales y las interconexiones en conexiones físicas que transmiten señales eléctricas.

En el paradigma de la Programación de Flujo de Datos [6] se cuenta, de igual forma, con nodos funcionales y conexiones a través de entradas y salidas. Tanto la Programación de

Flujo de Datos como FlowHDL se los considera dentro de la clasificación de Lenguajes Visuales dada por Erwig [7] como Gráfo Dirigido. Pero a diferencia de FlowHDL en la Programación de Flujo de Datos, en las conexiones se cuentan con colas que regulan el procesamiento y el flujo de los mismos [8].

II. LENGUAJE PROPUESTO

Con el presente Lenguaje Visual se busca agilizar y lograr un entendimiento estructural del sistema en su conjunto [5] en el proceso de Diseño Digital de la Lógica Programable. El mismo por ser un Lenguaje de Programación Visual con manipulación directa desde la interfaz, puede ser utilizado tanto para la enseñanza, como para el uso general en el desarrollo de un proyecto.

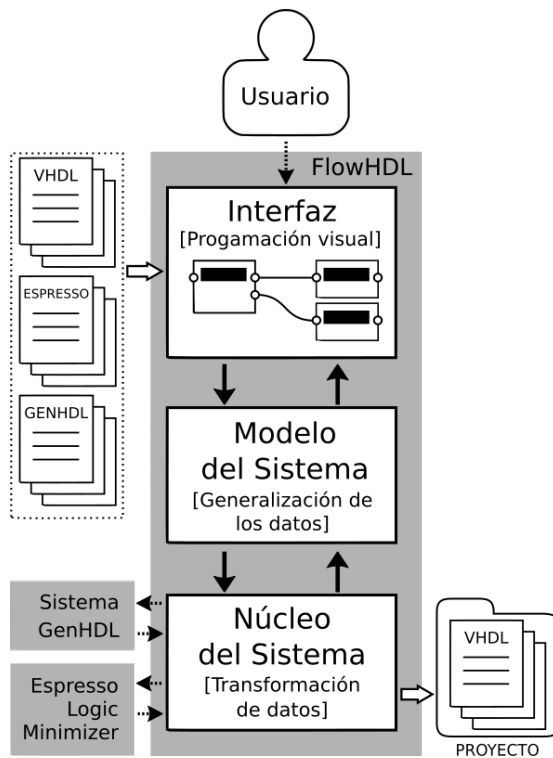


Fig. 1. Diagrama del Sistema.

Se cuenta con tres grandes bloques en la arquitectura del Software (Fig. 1). Desde la Interfaz de Usuario se crean y conectan nodos funcionales; la estructura funcional de mayor jerarquía del diseño se encuentra con el nodo funcional padre (top Entity en VHDL), en donde los sub-nodos se conectan.

Para crear nuevos nodos provenientes de diferentes fuentes se cuenta en la interfaz con iconos para arrastrar y lanzar.

En ésta interfaz se encuentran Entidades en archivos VHDL de proyectos pre-existentes, Tablas de Verdad creadas desde cero o importadas desde archivos con el formato utilizado por el software Espresso Logic Minimizer [9], o Máquinas de Estado para ser creadas de cero en la interfaz o ser importadas a través de un nuevo Lenguaje de Dominio Especifico (DSL en sus siglas en inglés) [10] denominado GenHDL, el cual se ha creado para este fin.

Como señala Meyers [5] existe el riesgo que se complejice el entendimiento y administración visual de los diferentes elementos y sus relaciones en proyectos de gran escala. El soporte de nodos jerárquicos, se torna de vital importancia, para así permitir el diseño de componentes de alto nivel que agrupen subcomponentes conceptualmente relacionados. Esto viene soportado por los lenguajes ya utilizados para el Diseño Digital.

Se ha tomado como base de la interfaz de interconexión a un software de Programación de Flujo. Se analizaron distintos proyectos de código abierto que se podían adecuar a las necesidades. Así, QuickQanava [11], Node Editor [12] y Node Editor in ImGui [13] eran las que se ajustaban en mayor medida a los requerimientos. Finalmente se utiliza Node Editor como base de la interfaz. Para que sean soportadas las funcionalidades nodos jerárquicos, actualización dinámica, abstracción de los datos entre otras, se debió realizar una amplia refactorización del código.

El Modelo de Datos es una capa de abstracción que se utiliza para brindar la posibilidad de que el sistema sea extensible. Así se puede desarrollar nuevas fuentes de datos, como por ejemplo que se de soporte al lenguaje Verilog, sin que sea necesario realizar grandes cambios el código de la interfaz gráfica. También, con la separación entre interfaz y modelo se logra la actualización dinámica en base a las fuentes de datos, con lo cual, al detectarse cambios en las fuentes de código VHDL, la interfaz visual puede ser actualizada para reflejarlos.

En el Núcleo del Sistema se encuentran la lógica particular de cada fuente de datos, como así también las transformaciones necesarias para generar el código VHDL resultante (o en el futuro Verilog) con posibilidad de sintetizarse en una FPGA.

III. RESULTADOS

Con Espresso es posible, a partir de tablas de verdad, generar funciones lógicas normalizadas. Estas funciones son devueltas en un formato diferente a VHDL, con lo cual se transforman a través del uso de la herramienta de expresiones regulares. En la Fig. 2 observar para una tabla de verdad dada su correspondiente salida en el sistema.

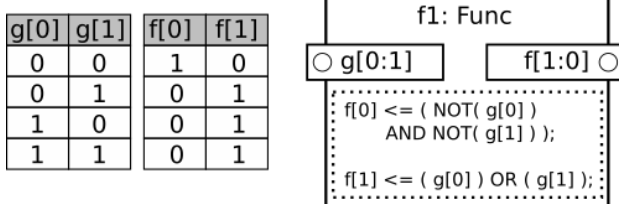


Fig. 2. A) Tabla de verdad cargada. B) Entidad generada con su respectiva función lógica.

```

state machine sch (clock: i_reloj, reset:
i_reset)
state off
o_sig <= (others => '0')
transition
with (i_switch = '1') to on
state on
o_sig <= i_sig
transition
with (i_switch = '0') to off
    
```

Listing 2. Código GenHDL de Máquina de Estados con reset sincrónico

Es posible también seleccionar un archivo VHDL que contenga una Entidad para ser cargada en la Interfaz automáticamente su cabecera: nombre, atributos genéricos, entradas y salidas, señales. Se puede observar la cabecera de una Entidad VHDL (Listing 1), así como el resultado en la Interfaz al importar el archivo (Fig. 3).

```

entity FullAdder is
generic (
n: integer := 8 );
port (
cin: in std_logic;
a: in std_logic_vector( n-1 downto 0 );
b: in std_logic_vector( n-1 downto 0 );
r: out std_logic_vector( n-1 downto 0 );
cout: out std_logic );
end FullAdder;
    
```

Listing 1. Código VHDL a importar

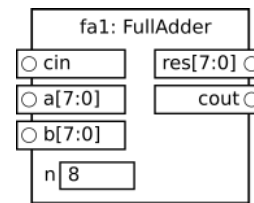


Fig. 3. Componente creado en la importación Listing.1

Desde la interfaz es posible establecer los valores genéricos específicos del componente, como así también la interconexión de las entradas y salidas con otros elementos.

Por otro lado, se puede realizar la creación de Maquinas de Estado desde la interfaz gráfica, como así también, a través del Lenguaje de Dominio Especifico GenHDL. De éste modo, la creación de Maquinas de Estado es facilitada ampliamente en comparación al uso exclusivo de VHDL con el mismo fin. Se observa para la Máquina de Estado de la Fig. 4, el código GenHDL necesario para su representación (Listing 2).

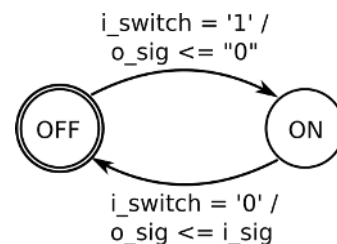


Fig. 4. Máquina de estado a representar

Adicionalmente, a partir de la creación de Máquinas de Estado desde el Lenguaje Visual se cuenta con la opción de

mostrar su generación intermedia a código GenHDL, para luego comparar con el VHDL resultante. De ésta forma se posibilita el exponer desde el concepto visual hacia el textual simplificado, y de allí al específico en VHDL. Se busca de ésta forma mejorar el aprendizaje de los conceptos de construcción de Máquinas de Estado en el Diseño Digital.

IV. CONCLUSIONES

Se implementó un Lenguaje de Programación Visual para el diseño de Lógica Programable el cual brinda, en comparación con otros lenguajes tradicionales, ciertas ventajas tanto en el proceso de aprendizaje como de desarrollo. Aún resta realizar mejoras para contar con una mayor completitud en términos de expresividad del lenguaje, así como también una validación en los puntos de inserción de código VHDL (en el futuro Verilog). Interactuando con el compilador de código abierto Yosys [14] se pueden lograr estas mejoras al Sistema.

REFERENCIAS

- [1] J. R. L. Vizcaíno and J. P. Sebastián, *LabVIEW: Entorno gráfico de programación*. Marcombo, 2011.
- [2] vortexmakes, "Rkm: State machine framework for reactive embedded systems," <https://github.com/vortexmakes/RKH>, 2019.
- [3] J. Arroyo, "icestudio: Experimental graphic editor for open fpgas," <https://github.com/bqlabs/icestudio>, 2016.
- [4] K. Marriott, B. Meyer, and K. B. Wittenburg, "A survey of visual language specification and recognition," in *Visual language theory*. Springer, 1998, pp. 5–85.
- [5] B. A. Myers, "Taxonomies of visual programming and program visualization," *Journal of Visual Languages & Computing*, vol. 1, no. 1, pp. 97–123, 1990.
- [6] T. Sousa, "Dataflow programming: Concept, languages and applications," in *Dataflow Programming*, 01 2012.
- [7] M. Erwig, K. Smeltzer, and X. Wang, "What is a visual language?" *Journal of Visual Languages & Computing*, vol. 38, pp. 9–17, 2017.
- [8] A. Abdel-Hamid, M. Zaki, and S. Tahar, "A tool converting finite state machine to vhdl," vol. 4, 06 2004, pp. 1907 – 1910 Vol.4.
- [9] R. L. Rudell, "Multiple-valued logic minimization for pla synthesis," California Univ Berkley Electronics Research Lab, Tech. Rep., 1986.
- [10] M. Fowler, *Domain-specific languages*. Pearson Education, 2010.
- [11] cneben, "Quickqanava: visualization library / qt node editor," <https://github.com/cneben/QuickQanava>, 2020.
- [12] D. P. et al, "Qt5 node editor," <https://github.com/paceholder/nodeditor>, 2017.
- [13] M. Cichoń, "Node editor, imgui," <https://github.com/thedmd/imgui-node-editor>, 2017.
- [14] D. Shah, E. Hung, C. Wolf, S. Bazanski, D. Gisselquist, and M. Milanovic, "Yosys+nextpnr: an open source framework from verilog to bitstream for commercial fpgas," *CoRR*, vol. abs/1903.10407, 2019. [Online]. Available: <http://arxiv.org/abs/1903.10407>

Prototipo de Sistema de Detección de Malezas en Cultivos Basado en SoC

José Noguera
Depto. De Computación y Sistemas
UNICEN
Tandil, Argentina
jnoguera@alumnos.exa.unicen.edu.ar

Lucas Leiva
LabSET - INTIA
UNICEN
Tandil, Argentina
lleiva@labset.exa.unicen.edu.ar

Oscar Goñi
LabSET - INTIA
UNICEN
Tandil, Argentina
oegoni@labset.exa.unicen.edu.ar

Martín Vázquez
LabSET - INTIA
UNICEN
Tandil, Argentina
mvazquez@labset.exa.unicen.edu.ar

Marcelo Tosini
LabSET - INTIA
UNICEN
Tandil, Argentina
mtosini@labset.exa.unicen.edu.ar

Abstract — El control de malezas es un tema de interés en el sector productivo agropecuario. Actualmente el mercado se está enfocando hacia las aplicaciones selectivas, que realizan la aplicación de herbicidas sólo donde es requerido. El uso de esta tecnología permite aumentar rindes, disminuyendo costos y contaminación. En este trabajo se presenta el desarrollo de un prototipo de sistema de detección de malezas basado en AP SoC (Zynq) y procesamiento de imágenes. El sistema permite detectar malezas en líneas entre cultivos, independientemente del tipo de cultivo, y de su estado fenológico. La solución se realizó utilizando herramientas de síntesis de alto nivel.

Keywords — Lógica Programable, Síntesis de Alto Nivel, Procesamiento de imágenes, Control de malezas

I. INTRODUCCIÓN

Dentro del contexto económico argentino la producción agrícola tiene un fuerte peso, y con el auge de las tecnologías en el campo y la concientización ambiental, se comenzó la búsqueda de un mejor empleo de los recursos aplicados, derivando en un gran interés por la agricultura de precisión [1]. Uno de los principales intereses del sector es el control de malezas. Actualmente, este control es llevado a cabo mediante la aplicación de herbicidas, de manera tal que una aplicación selectiva, mediante la detección de la presencia de malezas, permite incrementar el rendimiento, disminuye los costos y merma el impacto que estos productos tienen sobre el ambiente.

Existen soluciones disponibles que abordan el problema, como Trimble WeedSeeker [2] que implementa pulverizaciones a partir de la detección de índice verde normalizado (NDVI) en campos sin presencia de cultivo. Inta [3] propone un sensor basado en el método de detección NIR/RR que determina la cantidad de luz reflejada por la planta en las longitudes de onda del rojo e infrarrojo cercano. El sensor detecta la existencia de malezas aunque no es capaz de distinguir entre éstas y el cultivo. Los sensores WEEDit [4] cuentan con una fuente activa de luz roja que brilla en dirección al suelo. Cuando la luz es aplicada sobre materia vegetal viva, la clorofila en la planta absorbe parte de ella, la convierte y la emite como infrarrojo cercano (NIR). Por otra parte, DeepAgro [5] propone la clasificación de malezas en cultivos de soja, a partir del uso de técnicas de Deep Learning aplicadas sobre la información capturada desde cámaras.

El procesamiento de imágenes es un conjunto de técnicas que mejoran la información visual, ya sea para la percepción humana o computacional [6], y se ha demostrado que son adecuadas para la problemática expuesta, como los trabajos de Romeo J. et al. en [7], Liu H. et al. en [8] y Burgos-Artizzu X. P. et al. [9]. Por otra parte, varios trabajos han corroborado los rindes de combinar el procesamiento de imágenes y la tecnología FPGA para la resolución de problemas como son la detección de peatones en tiempo real [10], procesamiento de vídeo estéreo de alta definición [11], entre otros.

En el presente trabajo se presenta el desarrollo de un prototipo de un sistema de detección de malezas mediante procesamiento de imágenes para aplicación selectiva. Se propone la implementación de un algoritmo (y su implementación hardware) para la detección de malezas entre surcos de cultivos (basado conceptualmente en el trabajo presentado en [12]) pero sobre una plataforma SoC (Xilinx Zynq). El aporte del trabajo es la solución lograda capaz de operar en tiempo real, y que puede ser utilizada en diferentes tipos de cultivos y sobre diferentes estados fenológicos de los mismos. En la sección II del trabajo se presenta la descripción del hardware utilizado, en la sección III la metodología y el desarrollo del algoritmo de detección de malezas. La sección IV presenta los resultados obtenidos de la síntesis y finalmente en la sección V las conclusiones y trabajos futuros.

II. PLATAFORMA HARDWARE

Se propuso la construcción de un prototipo de sistema de visión computacional embebido, que emula su presencia en maquinaria agrícola y tiene la capacidad de operar a un mínimo de 9,72 metros por segundo, logrando una clasificación en una distancia de 2 metros de profundidad de imagen a una velocidad menor a 0,20 segundos por cuadro.

El hardware se compone de un kit de desarrollo Digilent Zybo Z7-20, que contiene un Zynq de Xilinx y soporte para conectividad de periféricos y multimedia. La plataforma se integra a través de su interfaz MIPI CSI-2 con una cámara Pcam 5C de Digilent, que cuenta con un sensor de imagen OV5640. Los resultados obtenidos pueden ser visualizados en tiempo real utilizando una pantalla táctil LCD de 7 pulgadas de SportPear Electronics acoplada al kit de desarrollo Zybo Z7-20 a través de su interfaz HDMI.

Se incorporó además al sistema lógica microcontrolada basada en un dispositivo NodeMCU, la cual procesa

información del entorno permitiendo aumentar la precisión del sistema de detección de malezas. Esta plataforma realiza un muestreo de los datos provenientes de un giróscopo, un sensor de luz y un medidor de distancia láser, y otorga los datos a la plataforma principal de procesamiento (Zynq) a través de un bus SPI. El PS del dispositivo recolecta y transmite los parámetros al PL, que es donde se implementa el algoritmo de detección de malezas.

El prototipo se ensambló sobre un monociclo de tracción mecánica para la estabilización manual, a modo de emular el comportamiento de un vehículo autónomo. Actualmente solo se utiliza el sistema microcontrolado para la estabilización manual, dejando los parámetros de iluminación y distancia para versiones futuras del producto. El diagrama en bloques de los dispositivos electrónicos y su configuración puede observarse en la Fig. 1

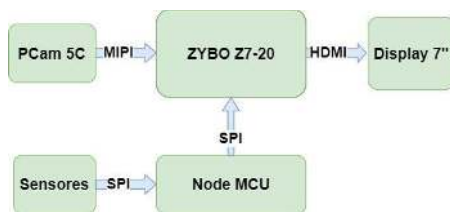


Fig. 1. Configuración de los componentes electrónicos del sistema

III. DESARROLLO DEL SISTEMA DE DETECCIÓN DE MALEZAS

El algoritmo propuesto se basa conceptualmente en la presentación realizada por Barreda et. al [12] el cual detecta la presencia de malezas en las líneas intercultivo. El diseño del algoritmo del sistema comenzó con su implementación en un lenguaje de alto nivel, precisamente Python en su versión 3.7.5, la librería *OpenCV* y *Jupyter Notebook* como entorno de trabajo. Esto permitió obtener un algoritmo funcional de manera rápida.

El algoritmo comprende 3 etapas principales: el preprocesamiento, la obtención de líneas y la generación de máscara y clasificación. En la primera etapa se realiza la información relevante a través del índice verde y se elimina la información espúrea. En la segunda etapa, se detectan las líneas de surco de cultivo, y finalmente en la última etapa se generan las máscaras de líneas de cultivo y se combina con los resultados de la primera etapa para la detección de las malezas.

Posteriormente se realizó una migración del código al lenguaje C++, con la librería *OpenCV* en su versión para este lenguaje y sobre el entorno Vivado HLS. Esta etapa permitió la verificación funcional del algoritmo bajo las directrices de la codificación dirigida a la descripción de hardware. Además se cambió la representación de datos numéricos de punto flotante de 32 bits hacia representaciones en punto fijo (con representación a medida) a fin de minimizar el consumo de recursos y aumentar el rendimiento, manteniendo la precisión en la identificación de malezas.

Finalmente se adaptó el código para su síntesis utilizando la librería *xfOpenCV* (subconjunto de funciones de *OpenCV* ofrecida por Xilinx y optimizada para su síntesis), y se aplicaron directivas de optimización para la especificación de hardware funcional del algoritmo. Durante el desarrollo se detectó que la función *HoughLines* de *xfOpenCV* utilizada durante la detección de líneas de surco presenta una excesiva penalización en el consumo de LUTs. Estos resultados obligaron a realizar un rediseño del

algoritmo de detección de líneas que minimice el consumo de recursos.

En la Fig. 2 se presentan los resultados obtenidos para una imagen de prueba en la implementación en Python y en Vivado HLS, siendo ésta la equivalente a su implementación hardware, según los resultados de cosimulación. En la Fig. 2.b se resaltan en rojo las malezas, pero se omite el marcado de surcos de cultivo para minimizar la complejidad del hardware generado.

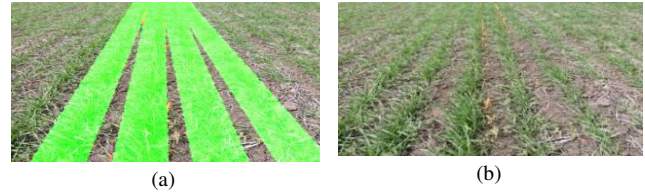


Fig. 2. Comparativa entre clasificación en Python (a) contra la clasificación obtenida en la simulación sobre Vivado HLS (b)

El algoritmo fue sintetizado y verificado con éxito mediante co-simulación. Luego, el mismo fue exportado como IP Core e implementado en el dispositivo Zynq.

IV. RESULTADOS

La implementación del sistema se realizó sobre el dispositivo Zynq XC7Z020 de Xilinx contenido en el kit de desarrollo Zybo Z7-20. Se utilizaron los entornos de desarrollo Vivado y Vivado HLS de Xilinx en sus versiones 2018.2. La integración del core IP generado por la herramienta de alto nivel se integró de forma directa dentro de una plataforma software predefinida, que contiene la lógica necesaria para la captura de imágenes desde PCam 5C y la visualización de resultados en una pantalla con interfaz HDMI.

La ocupación final de recursos obtenida de la implementación completa del sistema fue del 29% de BRAMs, 45% de DSP48Es, 33% de FFs y 58% de LUTs. Estos resultados demuestran que el sistema permite incorporar nueva lógica en futuras versiones. Por otra parte, se obtuvo que la latencia estimada es de 0,121 segundos por imagen, cumpliendo con los requerimientos originales.

V. CONCLUSIONES Y TRABAJO FUTURO

Este trabajo presenta el desarrollo de un sistema de detección de malezas basado en un AP SoC Zynq de Xilinx. Es un prototipo funcional que posee la capacidad de detectar malezas que se encuentran entre los surcos de cultivos en tiempo real.

La metodología aplicada utilizando una herramienta de síntesis de alto nivel permitió generar soluciones rápidas y validaciones de precisión del algoritmo en todas las etapas de desarrollo. Asimismo, se observó que el uso de las funciones de la librería *xfOpenCV* para el procesamiento de imágenes ofrecida por Xilinx presenta dificultades que obligan a buscar soluciones alternativas, como en el caso de la función *HoughLines*. El uso de un lenguaje de alto nivel como entrada para la síntesis disminuyó el tiempo de desarrollo para la resolución de este tipo de inconvenientes.

Se propone extender la funcionalidad del sistema, integrando la información proveniente del subsistema microcontrolado para la configuración automática tanto de la cámara (sensor de luz), como la estimaciones de posición de las malezas (sensor de distancia). Además se pretende incorporar diferentes configuraciones de usuario en tiempo real y la integración con un pico pulverizador controlado.

AGRADECIMIENTOS

Este trabajo fue financiado por la Fundación Sadosky en su convocatoria FaseCero 2018 (FFC3), y ejecutado mediante el convenio tripartito entre Fundación Sadosky, la Universidad Nacional del Centro de la Provincia de Buenos Aires y Redimec SRL.

REFERENCIAS

- [1] G. A. Tinghitella, F. E. Bert, E. Trigo, M. C. Fernández Diez, J. C. Méndez & F. Demichelis, La revolución Agrotech en Argentina: Financiamiento, oportunidades y desafíos, 2018.
- [2] Trimble, Sistema de fumigación automática WeedSeeker, <https://agriculture.trimble.com/precision-ag/products/weedseeker/>
- [3] INTA, Detector de Malezas, <http://agroelectronica.inta.gob.ar/node/10>
- [4] Weed-It, WEED-IT Precision Spraying, <https://www.weed-it.com/>
- [5] DeepAgro, Precision Spraying, <https://www.deepagro.co/>
- [6] McAndrew, A. A computational introduction to digital image processing. CRC Press, 2015
- [7] Romeo, J., Pajares, G., Montalvo, M., Guerrero, J. M., Guijarro, M., & Ribeiro, A. (2012). Crop row detection in maize fields inspired on the human visual perception. *The Scientific World Journal*, 2012.
- [8] Liu, H., P. Li, C. Saunders and S. Lee, 2013. Development of a green plant image segmentation method of machine vision system for no-tillage fallow weed detection. Proceedings of the Society for Engineering in Agriculture (SEAg) Conference, (EAC' 13), Mandurah, WA, Australia, p: 37-37.
- [9] Burgos-Artizzu, X. P., Ribeiro, A., Guijarro, M., & Pajares, G.. Real-time image processing for crop/weed discrimination in maize fields. *Computers and Electronics in Agriculture*, 75(2), pp. 337-346, 2011.
- [10] Hahnle, M., Saxon, F., Hisung, M., Brunsmann, U., & Doll, K. FPGA-based real-time pedestrian detection on high-resolution images. In *Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition Workshops*, pp. 629-635, 2013.
- [11] Greisen, P., Heinze, S., Gross, M., & Burg, A. P. An FPGA-based processing pipeline for high-definition stereo video. *EURASIP Journal on Image and Video Processing*, 2011(1), 18
- [12] Barreda, J., Ruíz, A., Ribeiro, A. Seguimiento visual de líneas de cultivo (visual tracking of crop rows). Thesis Master, Universidad de Murcia, Spain, 2009

IP Core para captura y digitalización de señales de audio implementado en FPGA

Maxim Dorogov
Facultad de Ingeniería
Universidad de Buenos Aires
Buenos Aires, Argentina
mdorogov@fi.uba.ar

Resumen—En este trabajo se propone un diseño e implementación, en FPGA, de un sistema de adquisición de señales de audio de baja distorsión con salida digital compatible con el protocolo de comunicación S/PDIF. El mismo se conforma por un IP Core codificado en Verilog, encargado de controlar la adquisición, el procesamiento y la transmisión de los datos en tiempo real y un *front-end* analógico de baja distorsión para acondicionar las señales a capturar mediante un convertor A/D diferencial de 24 bits.

Index Terms—Analog to digital converter, Audio processing, Verilog, FPGA, DSP, Mixed Design, S/PDIF.

I. INTRODUCCIÓN

La necesidad de almacenar y procesar las señales del mundo analógico con herramientas digitales en una computadora conlleva la utilización de dispositivos de conversión A/D. En el ámbito del audio profesional estos dispositivos se conocen con el nombre de *Placa de sonido o interfaz de audio*. Un convertor A/D es controlado por un microcontrolador con el cual se comunica mediante un cierto protocolo. Como parte del sistema se suele incluir a un circuito integrado de propósito específico o una FPGA para manejar la comunicación con la computadora u otro dispositivo. Dicho esquema se muestra en la Fig. 1.

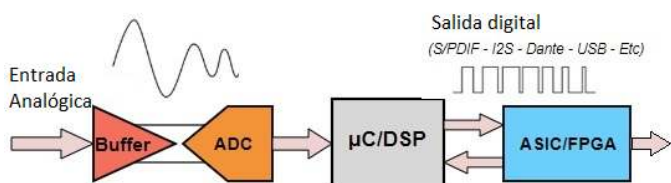


Figura 1. Diagrama en bloques de un sistema de adquisición de señales típico.

En este trabajo se reemplazó este esquema típico y se implementó el sistema digital en una FPGA aprovechando las ventajas que este tipo de dispositivos provee: minimizar la latencia y poder realizar procesamiento concurrente dentro de un hardware reconfigurable. Para la etapa de adquisición se usó un convertor A/D diferencial LT2380-24 de aproximaciones sucesivas (SAR) de 24 bits. Se espera dejar un precedente de código abierto y hardware libre para un sistema de adquisición de audio. El proyecto se puede consultar en https://github.com/maximdorogov/SPDIF_SarCore.

II. IMPLEMENTACIÓN Y SÍNTESIS DEL IP CORE

En la Fig. 2 se muestra un diagrama en bloques del hardware digital desarrollado:

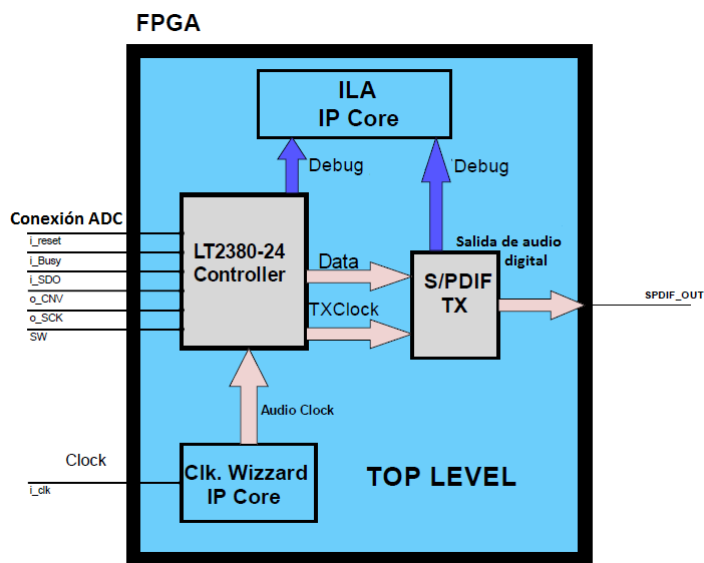


Figura 2. Diagrama en bloques del IP Core que integra todos los módulos de procesamiento y control.

Dos IP Cores adicionales fueron integrados al sistema: Mixed Mode Clock Manager (MMCM), para obtener una frecuencia de clock compatible con el protocolo y un Analizador Lógico Integrado (ILA) que se utilizó durante la verificación del sistema.

II-A. LT2380-24 Controller

La señal de entrada es muestreada a la máxima frecuencia del convertor: 1.5625 Mhz, y se promedia hasta alcanzar valores compatibles con el estándar S/PDIF. De esta manera se aplica un *oversampling* maximizando la relación señal/ruido y aumentando la cantidad de bits efectiva de la conversión [1]. La velocidad de transmisión del protocolo S/PDIF está ligada a la frecuencia de muestreo utilizada [2], ambas se configuran mediante la señal de control *i_Fs*. En la tabla I se indican todas las frecuencias de muestreo y transmisión junto con la cantidad de muestras a promediar por el sistema.

Tabla I
TABLA CON ASIGNACIÓN DE FRECUENCIAS.

i_Fs	Promedio	Frec. de muestreo [kHz]	S/PDIF Clock [MHz]
00	32x	48	6.144
01	16x	96	12.288
10	8x	192	24.576

II-B. Resumen de síntesis

El sistema se sintetizó en una FPGA Arty A7-35 de Xilinx. En la tabla II se muestra el resumen de síntesis de los recursos utilizados y el consumo de potencia estimado.

Tabla II
RESUMEN DE SÍNTESIS.

	LUTs	IOB	BUFGCTRL	MMCME	Slice Reg.
Disponible	20800	210	32	5	41600
Utilizado	97	9	3	1	148

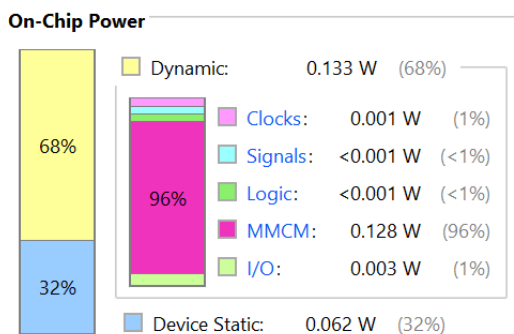


Figura 3. Consumo de potencia estimado.

III. ETAPA DE ENTRADA

La etapa de entrada se compone por una *front-end* analógico y el convertor A/D antes mencionado. El circuito implementado para el convertor se observa en la Fig. 4.

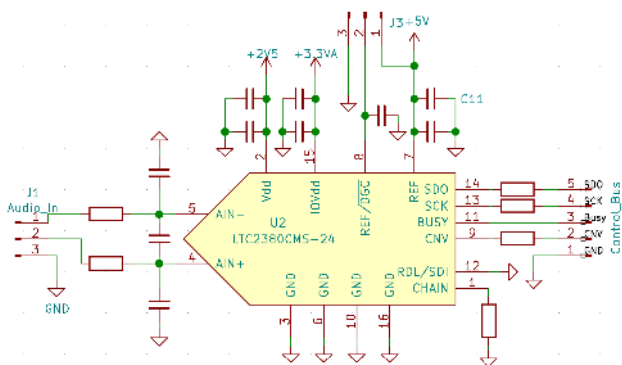


Figura 4. Diagrama esquemático del circuito asociado al convertor A/D.

La topología elegida para el circuito del *front-end* fue un amplificador con salida diferencial de ganancia unitaria. La

ventaja de una topología simétrica como la que se presenta en la Fig. 5, además de la reducción del ruido de modo común, es la atenuación de armónicas pares.

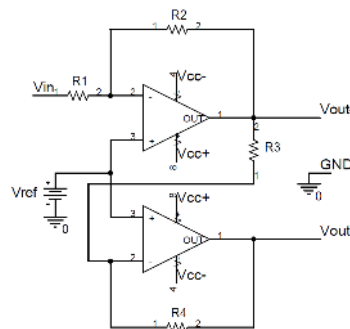


Figura 5. Diagrama esquemático del amplificador diferencial. Se utilizaron dos amplificadores OPA627.

IV. RESULTADOS OBTENIDOS

Para evaluar la THD agregada por el IP Core se generó un archivo WAV mediante Matlab, con una señal de referencia senoidal de 1 kHz, en 24 bits. La THD de la señal generada se midió con el software SpectraPlus y se obtuvo un valor de -137.1 dB (0.000014 %), estableciendo un piso de medición.

En la FPGA se instanció un modulo DDS con valores de la señal de referencia tabulados en una memoria SRAM. Se agregó este bloque al IP Core para transmitir esa señal hacia una computadora. La THD medida, esta vez recibiendo la señal desde la FPGA por S/PDIF fue de -137.7 dB (0.000013 %). Lo cual, asumiendo una incerteza de 1 PPM en la medición, es un resultado mas que consistente para afirmar que el sistema agrega una distorsión por debajo del piso de medición de las herramientas del laboratorio. Para la medición de todo el sistema se utilizó una placa de audio Focusrite Scarlett 6i6 [3], con una THD de 0.0015 %. Al conectar el front-end se midió exactamente la misma distorsión, lo que indica que todo el sistema implementado es transparente a efectos de la medición. Esto es consistente con el resultado obtenido durante la medición del IP Core ya que la distorsión que podría generar se encuentra cuatro ordenes de magnitud por debajo de lo que podemos medir con esta placa de audio.

V. CONCLUSIONES

Se desarrolló con éxito un IP Core con un bajo uso de recursos y consumo de potencia. En la estimación de potencia se observa que el módulo MMCM consume el 96 % del total. Este bloque se instanció debido a la falta de un cristal de 98.304 Mhz en la placa prototipo. Si se coloca dicho cristal el módulo MMCM no será necesario, reduciendo el consumo del sistema hasta los 300µW. Comparando con las publicaciones [5], [6], [7] y [8] se logró reducir la THD varios ordenes de magnitud y un protocolo de comunicación compatible con dispositivos comerciales a la par del estado de arte. En las publicaciones que presentan resumen de síntesis se utilizó una FPGA de Altera, con lo cual es difícil hacer una comparación objetiva sobre la utilización de recursos.

REFERENCIAS

- [1] M. Pachchigar, "Increase dynamic range of SAR ADCs using oversampling", Analog Devices, Tech. Article.
- [2] Julian Dunn, "The AES3 and IEC60958 Digital Interface", Audio Precision Technote, TN-26, 2001.
- [3] Focusrite Scarlett 6i6 User Guide, Focusrite, 2016.
- [4] STMicroelectronics, Appl. Note AN5073.
- [5] K. Vaca, M. M. Jefferies, X. Yang, "An Open Audio Processing Platform with Zync FPGA", IEEE International Symposium on Measurement and Control in Robotics (ISMCR), 2019.
- [6] H. Yamashita, S. Kano, S. Hirano, T. Goto, and M. Sakurai, "Evaluation System for Digital Audio by 1-Bit Stream Using FPGA", IEEE 4th Global Conference on Consumer Electronics, 2015.
- [7] E. Bezzam, R. Scheibler, J. Azcarreta, H. Pan, M. Simeoni, R. Beuchat, S. Kashani, "Hardware and software for reproducible research in audio array signal processing", IEEE International Conference on Acoustics, Speech and Signal Processing. 2017 (ICASSP).
- [8] K. Denis, P. Anisimov, L. Statsenko, "Audio Signal Transmission Over Low-Speed Communication Channels for Emergency Broadcast", International Science and Technology Conference "EastConf", 2019.

Desarrollo Rápido de Aplicaciones de Procesamiento de Imágenes en Zybo Z7-20

Tomás Medina
Depto. De Computación y Sistemas
UNICEN
Tandil, Argentina
medinatomasariel@gmail.

Lucas Leiva
LabSET – INTIA- UNICEN
Tandil, Argentina
UNTREF
Caseros, Argentina
lleiva@labset.exa.unicen.edu.ar

Abstract— El uso de sistemas de procesamiento de imágenes es cada vez más frecuente y su aplicación embebida resulta apropiada en *edge computing*, donde el sistema entrega información procesada. Los FPGA son una buena opción para el desarrollo de sistemas de visión computacional. Sin embargo, a los expertos en procesamiento de imágenes puede resultarles compleja la migración de sus algoritmos a hardware. En este trabajo, se presenta un diseño base para la construcción de aplicaciones de procesamiento de imágenes basada en Zynq, que permite la implementación de algoritmos en alto nivel en lenguajes C/C++, utilizando la herramienta Vivado HLS, acoplar la solución directamente en la arquitectura propuesta.

Keywords— *image processing, platform, zynq*

I. INTRODUCCIÓN

Los FPGA y recientemente los dispositivos SoC (System on Chip) se han aplicado en diversas áreas durante los últimos 20 años. Si bien su origen se enfocó en el uso exclusivo para aplicaciones electrónicas, debido al alto rendimiento que presentan actualmente, son comúnmente utilizados en áreas de procesamiento de imágenes y señales (sistemas embebidos de video inteligentes y SoCs orientados al procesamiento de señales e imágenes) [1]. Los FPGA ofrecen oportunidades para explotar los diferentes niveles de paralelismo que la mayoría de las aplicaciones de procesamiento de imágenes exigen [2].

El enfoque convencional para la implementación de aplicaciones de visión embebidas basadas en FPGA comienza con el desarrollo y testeado de los algoritmos sobre una sistema de procesamiento de propósito general (PC) ya que en estos entornos es más fácil realizar la depuración [3]. Estos algoritmos de alto nivel son modelos de comportamiento del diseño, y generalmente están escritos en C/C++ porque proporcionan descripciones eficientes y son compatibles con una amplia gama de compiladores, herramientas de desarrollo y depuración para FPGA, a través del uso de herramientas de HLS (*High Level Synthesis*) [4]. En este sentido, resulta propicio considerar la disponibilidad de configuraciones base que permitan a los expertos en aplicaciones de procesamiento de imágenes, integrar las soluciones de forma sencilla.

Existen varios trabajos en la literatura que abordan la construcción de plataformas de código abierto para el diseño de soluciones de procesamiento de imágenes basadas en FPGAs. Por ejemplo, en [5] se detalla una plataforma reconfigurable en Virtex-4SX35 para la detección de bordes a partir de los datos capturados de una cámara OV7610. En [6,7] se han propuesto otros proyectos de código abierto para el procesamiento de imágenes utilizando Altera DE2-115. En [8] se presenta otra solución que añade un entorno de diseño y validación, utilizando como entrada la información de imágenes capturada por un dispositivo

OV7670, y presenta resultados utilizando una placa Nexys 4 FPGA.

Este trabajo presenta una configuración inicial que puede ser utilizada para la construcción de sistemas de procesamiento de imágenes embebidos, y una guía para su uso, disponible en [9]. La propuesta está basada en Zynq, particularmente en la placa de desarrollo Zybo Z7-20 [11]. La implementación admite la incorporación de algoritmos de procesamiento de imágenes desarrollados en C++, y mediante la herramienta de síntesis Vivado HLS generar el bloque hardware correspondiente al algoritmo desarrollado, e incorporarlo de manera sencilla. El objetivo principal del trabajo es brindar un entorno y una metodología que permitan reducir los inconvenientes iniciales, y generar soluciones rápidamente. En la sección II se presenta la descripción de la plataforma, presentando los componentes hardware, el diseño de la configuración del hardware y la metodología para la implementación de algoritmos. La sección III describe algunos de los resultados obtenidos, y finalmente en la sección IV se detallan las conclusiones y trabajo futuro.

II. DISEÑO DE LA PLATAFORMA

A. Componentes Electrónicos

La plataforma está basada en el uso de un sensor de imagen Pcam 5C de Digilent [10]. El periférico cuenta con un sensor de imagen OV5640 con una montura de lente M12 que permite acoplar una óptica de acuerdo a las necesidades, e interfaz de conexión MIPI CSI-2.

Se seleccionó como unidad principal de procesamiento el kit de desarrollo Zybo Z7-20 que permite ser integrado con el sensor Pcam 5C. El equipamiento posee un SoC FPGA de Xilinx, Zynq XC7Z020-1CLG400C, interfaces de entrada y salida, como interruptores de control, entradas y salidas HDMI, interfaz con tarjeta micro SD, que se consideran útiles para incluir funcionalidad en versiones futuras.

La visualización de los resultados se realiza a través de una pantalla táctil LCD de 7 pulgadas de SportPear Electronics [12], que posee interfaz HDMI y se acopla a la Zybo Z7-20.

B. Diseño de Bloques

El diseño de la configuración base fue realizado usando Xilinx Vivado 2018.2 utilizando la herramienta *IP Integrator Block Design* contenida en Vivado. La Fig. 1 representa el diagrama de bloques IP.

El *pipeline* de procesamiento de video incluye los siguientes conjuntos de módulos IP:

- *MIPI a AXI-Stream*: compuesto por los módulos IP *MIPI D-PHY* [13] y *MIPI CSI-2 Receiver* [14], se encarga de

hacer la conversión de la señal proveniente de la Pcam 5C a un AXI4-Stream.

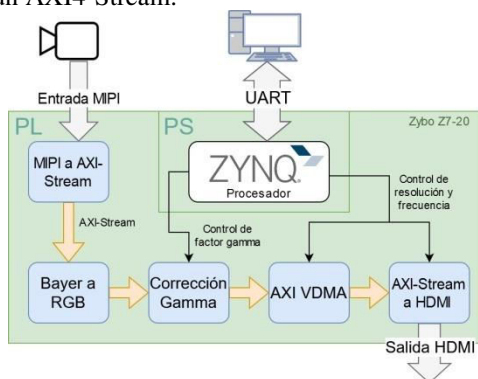


Fig. 1. Representación simplificada del diagrama en bloques de la configuración Hardware en Xilinx Vivado 2018.2.

- **Bayer a RGB:** conformado por el módulo IP *Sensor Demosaic* [15], toma la información obtenida del sensor según el formato de Mosaico de Bayer y la convierte a un espacio de color RGB.
- **Corrección Gamma:** compuesto por el módulo IP *Gamma Correction* [16], realiza una corrección gamma a la imagen. El factor de corrección puede ser configurado en tiempo real.
- **AXI VDMA:** conformado por el módulo IP *AXI Video Direct Memory Access* [17], se utiliza para comunicar (con gran ancho de banda) la memoria con un AXI-Stream de video. Es necesario para sincronizar los frames de videos salientes con la señal externa, para manejar cambios de frecuencia o resolución.
- **AXI-Stream a HDMI:** compuesto por los módulos IP *AXI4-Stream to Video Out* [18] y *RGB to DVI Encoder* [19], convierte el AXI-Stream a una señal de video paralela (con tasa de cuadros configurable en tiempo real), y adaptan esa señal para que sea transmisible por la salida HDMI.

En el diseño se incluye al Sistema de Procesamiento Zynq. El procesador ejecuta el programa que permite la configuración de los parámetros de video (resolución, tasa de cuadros). Cabe destacar que estas configuraciones se pueden establecer en tiempo real mediante UART.

C. Diseño del Software de Procesamiento de Imágenes

La biblioteca *OpenCV* [20] ofrece un amplio catálogo de funciones para sistemas de procesamiento de imágenes. En tanto, la biblioteca *xfOpenCV* [21] de Xilinx ofrece un subconjunto de las funciones de *OpenCV* listas y optimizadas para implementar en FPGA. De esta forma, los algoritmos de procesamiento de imágenes pueden ser descritos en un lenguaje de alto nivel como C/C++ en la herramienta Vivado HLS.

Para que el módulo IP generado pueda acoplarse en el diseño, basta con definir como *AXI-Streams* las entradas y salidas, y usar las funciones provistas por *xfOpenCV* para procesar la imagen según se necesite. Además, se pueden codificar funciones propias que trabajen sobre las imágenes por el alto nivel de abstracción del lenguaje. Para lograr una mayor eficiencia en términos temporales se recomienda utilizar la directiva *Dataflow*, considerando sus limitaciones descritas en [22]. Esta directiva es compatible con las interfaces AXI-Stream y permite explotar la concurrencia de ejecución de las funciones, que ya se encuentran por sí mismas optimizadas dentro de la librería.

Una de las ventajas principales del entorno de desarrollo es su capacidad de simulación de los resultados por software. Luego de obtener los resultados deseados en la simulación en C, se pueden utilizar las directivas de Vivado HLS para configurar la síntesis del módulo IP, realizando una exploración del diseño rápida en cuanto a rendimiento y consumo de recursos. Además, la herramienta permite la co-simulación, que compara los resultados de la simulación en software respecto a los del módulo IP sintetizado.

Finalmente, el módulo IP es exportado e incluido en el pipeline de procesamiento de video del diagrama de bloques de Vivado (Fig. 1), ubicándolo preferentemente entre los bloques de *Corrección Gamma* y *AXI VDMA*.

III. RESULTADOS

Se realizaron diferentes pruebas experimentales. La primera fue un *Pass-through* de las imágenes obtenidas desde la cámara al puerto HDMI, sin incluir ningún módulo IP de procesamiento. Por otro lado, se evaluó con una aplicación de detección de bordes, que incluye operaciones tales como *rgb2gray*, *sobel* y *addWeighted*. Además se implementó un algoritmo de detección de esquinas que aplica las funciones *rgb2gray*, *erosion*, *dilation*, *threshold* y *Harris-Stephens corner detection*.

TABLA 1. PORCENTAJES DE OCUPACIÓN PARA LOS CASOS DE ESTUDIO

	LUT	LUTRAM	FF	BRAM	DSP
Pass-through	31%	9%	22%	20%	0%
Detección de bordes	32%	9%	22%	21%	1%
Detección de esquinas	43%	10%	28%	45%	6%

En los tres casos, las pruebas se realizaron con una resolución de 1080p y 30 frames por segundo. Los porcentajes de utilización de la lógica programable se muestran en la Tabla 1, donde se aprecia que existe un gran margen para la inclusión de más lógica de procesamiento. Se debe considerar que el *throughput* en todos los casos es de 1 imagen por segundo, y la latencia de la detección de bordes es de 13.8 ms, mientras que para la detección de esquinas es de 27.9 ms.

IV. CONCLUSIONES Y TRABAJOS FUTUROS

En este trabajo se presentó una plataforma y una guía metodológica para el desarrollo de sistemas de visión embebidos basada en Zybo Z7-20. La propuesta permite integrar de manera sencilla módulos IP generados a partir de descripciones de algoritmos complejos en alto nivel utilizando Vivado HLS. Se destacan las bondades ofrecidas por este entorno tanto para la simulación como para la co-simulación.

Los resultados de síntesis demuestran que el uso de recursos es mínimo (31% de ocupación de LUTs) permitiendo incorporar lógica para la implementación de sistemas complejos. La solución fue utilizada para un sistema de detección de malezas en cultivos, para la detección de defectos en una línea de producción de baldosas cerámicas y se espera usar en un sistema de control parasitario en veterinaria ganadera. Se comprobó que la disponibilidad de esta implementación base permitió acortar el tiempo de desarrollo en todos los casos.

Finalmente, se están incorporando nuevas funcionalidades como la captura de imágenes (tanto de entrada como de resultados) en una tarjeta SD. Se propone

además la adaptación para la integración con otros dispositivos de captura como cámaras con interfaz USB.

AGRADECIMIENTOS

Este trabajo fue parcialmente financiado por la SeCAT de UNICEN (Código de Proyecto 03/C287) y la Secretaría de Investigación de la Universidad Nacional de Tres de Febrero.

REFERENCIAS

- [1] I. Bravo-Muñoz, J.L. Lázaro-Galilea, A. Gardel-Vicente. "FPGA and SoC devices applied to new trends in image/video and signal processing fields", *Electronics Special Issue FPGA and SoC Devices Applied to New Trends in Image/Video and Signal Processing Fields.*, 6(2), 25, 2017
- [2] F. Siddiqui, S. Amiri, U.I. Minhas, T. Deng, R. Woods, K. Rafferty, D. Crookes, "FPGA-Based Processor Acceleration for Image Processing Applications. *Journal of Imaging*, 5(1), 16, 2019.
- [3] D.G. Bailey, "Design for Embedded Image Processing on FPGAs" John Wiley and Sons (Asia) Pte. Ltd., Singapore, 2011.
- [4] Bailey, D. G, "The advantages and limitations of high level synthesis for FPGA based image processing", *Proceedings of the 9th International Conference on Distributed Smart Cameras*, pp 134-139, 2015.
- [5] M.K. Birla, "FPGA Based Reconfigurable Platform for Complex Image Processing", *IEEE Intl. Conf. on Electro/Information Technology*, pp 204-209, May. 2006.
- [6] C. Ababei, et al., "Open source digital camera on field programmable gate arrays," *Intl. Journal of Handheld Computing Research (IJHCR)*, Vol. 7, No. 4, pp 30-40, 2016.
- [7] C. Ababei, S.Duerr, W.J. Ebel Jr, R. Marineau, "Open source digital camera on field programmable gate arrays," *Intl. Journal of Handheld Computing Research (IJHCR)*, Vol. 7, No. 4, pp 30-40, 2016.
- [8] X. Yang, Y. Zhang, L. Wu, "A Scalable Image/Video Processing Platform with Open Source Design and Verification Environment", *20th International Symposium on Quality Electronic Design (ISQED 2019)*, 2019.
- [9] Tomás Medina Github repository, Zybo Z7-20 Video Processing Platform, <https://github.com/Tomasmed18/Zybo-Z7-20-Video-Processing-Platform>
- [10] Digilent, Pcam 5C, <https://store.digilentinc.com/pcam-5c-5-mp-fixed-focus-color-camera-module/>
- [11] Digilent, Zybo Z-20, <https://reference.digilentinc.com/reference/programmable-logic/zybo-z7/start>
- [12] SportPear Electronics, Raspberry Pi 7 inch HDMI LCD GPIO Touch (1024*600), <https://www.sportpear.com/index.php/sportpear-raspberry-pi-lcd/raspberry-pi-lcd-7-inch-hdmi-lcd-gpio-touch-1024-x600>
- [13] Digilent, "MIPI D-PHY Receiver 1.3 IP Core User Guide", Diciembre 2018.
- [14] Digilent, "MIPI CSI-2 Receiver 1.1 IP Core User Guide", Septiembre 2018.
- [15] Xilinx, "Sensor Demosaic v1.0 (Rev. 3)", *LogiCORE IP Product Guide PG286*, Mayo 2018.
- [16] Xilinx, "Gamma Correction v7.0" *LogiCORE IP Product Guide PG004*, Noviembre 2015.
- [17] Xilinx, "AXI Video Direct Memory Access V6.3", *LogiCORE IP Product Guide PG020*, Octubre 2017.
- [18] Xilinx, "AXI4-Stream to Video Out v4.0", *LogiCORE IP Product Guide PG044*, Octubre 2017.
- [19] Digilent, "RGB-to-DVI (Source) 1.4 IP Core User Guide", Septiembre 2017.
- [20] OpenCV Reference Guide. [Electronic resource]. URL: <http://docs.opencv.org>
- [21] Xilinx, "Xilinx OpenCV", *User Guide UG1233 (v2018.3)*, Enero 2019.
- [22] Xilinx, "Vivado Design Suite User Guide: High-Level Synthesis", *UG902 (v2018.2)*, Julio 2018.

EDU-CIAA-FPGA: plataforma educativa para el aprendizaje de lenguajes de descripción de hardware

Heredia, Martín A. , Larosa, Facundo S. , Ghignone Ramiro A. , Sarullo, Federico , Gouveia, Hernán
 Universidad Tecnológica Nacional – Facultad Regional Haedo
 Grupo de Aplicaciones en Sistemas Embebidos (ASE)
 Buenos Aires, Argentina
embebidos@frh.unt.edu.ar

Resumen—En los sistemas embebidos, se puede encontrar una gran variedad de aplicaciones basadas en diferentes tecnologías: microcontroladores, FPGA, Systemon Chip (SoC), entre otras. Si bien, el uso de microcontroladores y el volumen de información y soluciones disponibles de bajo costo basadas en esta tecnología son predominantes, el uso de sistemas basados en FPGA y SoC es imprescindible para ciertas aplicaciones, sobre todo aquellas que son de carácter crítico y/o requieren una elevada velocidad o capacidad de procesamiento de datos. No obstante, existen factores que dificultan la formación inicial de profesionales en esta área de la electrónica digital: el costo relativamente elevado de adquisición de placas para aprendizaje, la falta de recursos didácticos, la falta de continuidad entre los contenidos de las carreras de grado y los que se requieren para abordar esta área, entre otros. Por ello, en este trabajo se propone una solución concreta a este problema de enseñanza-aprendizaje: una placa de bajo costo inicial conjuntamente con una plataforma de herramientas pedagógicas para el autoaprendizaje o el dictado de clases y la formación de una red de colaboradores a nivel nacional para dar soporte a los estudiantes y docentes que se incorporen al proyecto.

Palabras clave— *FPGA, VHDL, Verilog, Sistemas Embebidos, SoC.*

I. INTRODUCCIÓN

Las FPGA (Field Programmable Gate Array), son un conjunto de bloques lógicos dispuestos en un arreglo matricial que presenta la posibilidad de ser configurados para implementar una gran variedad de aplicaciones [1]. Además, existen soluciones compuestas por varias tecnologías, como FPGA y procesadores dentro del mismo chip, denominadas *Systemon Chip* (SoC). El uso de FPGA y SoC se puede encontrar en áreas tales como comunicaciones, *broadcasting*, defensa, investigación, aplicaciones aeroespaciales, medicina, electrónica de consumo, entre otras [2 , 3]. Este tipo de tecnología presenta ventajas sobre otras tecnologías digitales tales como una mayor capacidad de procesamiento y capacidad de paralelismo, así como desventajas tales como el costo y tiempo de desarrollo elevados.[4 , 5]

Habida cuenta de la importancia estratégica de esta área de los sistemas embebidos resulta de gran interés fomentar la formación de profesionales que se inicien en su aprendizaje en un nivel universitario de grado o incluso, terciario o secundario. No obstante, existen algunos obstáculos para aquellos que se inician en esta tecnología: el costo relativamente elevado de los kits de desarrollo de nivel inicial, la escasez de bibliografía en español y la falta de una comunidad de usuarios que pueda dar impulso y soporte al aprendizaje. Si bien, a nivel local existen trabajos

fundacionales y de gran aporte respecto al tema, como la plataforma Kefir[6], la necesidad de expandir y divulgar el uso de estas tecnologías a nivel local aún debe ser atendida.

Este trabajo busca proveer una solución de utilidad para estudiantes, instituciones, desarrolladores independientes y empresas que tengan la necesidad de iniciarse en este tipo de tecnologías, de tal manera que el costo, la complejidad, el uso de herramientas privativas y la falta de soporte no se transformen en obstáculos para emprender esta tarea. De esta manera, el trabajo puede dividirse en tres líneas fundamentales: la plataforma de hardware, el material didáctico compuesto por una Wiki y un repositorio de ejemplos y la red de colaboradores. Finalmente, la plataforma se ha incorporado al proyecto Computadora Industrial Abierta Argentina (CIAA) [7] bajo el nombre de EDU-CIAA-FPGA [8].

II. PLATAFORMA DE HARDWARE

De acuerdo a la problemática planteada en la introducción, los criterios generales para el diseño de hardware fueron: bajo costo, posibilidad de uso de herramientas libres, posibilidad de fabricación en el país (en un entorno académico o industrial), facilidad para expandir sus funcionalidades y cumplimiento de normas de manufacturabilidad [9] para disminuir tiempos y costos.

En base a lo anterior, se decidió utilizar una FPGA económica, con un encapsulado relativamente sencillo de soldar y que permita el uso de herramientas libres para su configuración. La opción seleccionada fue la familia ICE40 de Lattice Semiconductor. En particular, se eligió la ICE40HX4K-TQ144 [10], cuyo costo unitario es de aproximadamente 6 USD [11] y permite el uso de herramientas libres para su configuración. El diagrama en bloques del Hardware propuesto para la EDU-CIAA-FPGA [8 , 12] se presenta en la Fig. 1, donde se puede observar los componentes principales: FPGA, memoria flash y la interfaz FTDI que se utiliza para realizar el grabado de la memoria flash y para comunicar a la FPGA con la PC por medio de una interfaz serial virtual. En la Fig. 2 se muestra la placa terminada.

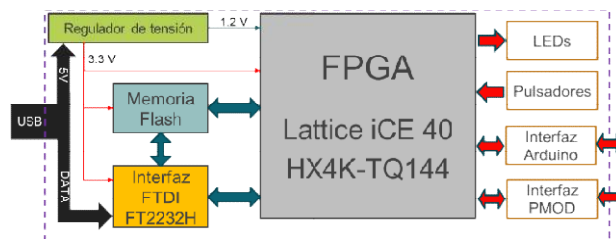


Fig. 1. Diagrama en bloques del hardware



Fig. 2. Placa de circuito impreso de la EDU-CIAA-FPGA

III. MATERIAL DIDÁCTICO

A. Wiki y documentación

Este aspecto del proyecto está compuesto por todo el material didáctico, bajo la forma de una plataforma colaborativa (wiki) [12] con herramientas y tutoriales, y un repositorio de ejemplos que complementan al hardware y permiten la realización de aportes por parte de la red de colaboradores. La wiki desarrolla conceptos fundamentales de diseño digital: circuitos combinatoriales, secuenciales, máquinas de estados finitos y memorias, así como también conceptos básicos sobre diseño en FPGA: sintaxis de lenguajes, flujos de trabajo de verificación y síntesis. Se presenta en la Wiki una formación inicial que provea las bases necesarias para iniciarse en el desarrollo para FPGA. Por último, se introduce la EDU-CIAA-FPGA y las herramientas propuestas para su uso y configuración.

En complemento con la wiki, se ofrece un repositorio de ejemplos orientados al uso de la EDU-CIAA-FPGA, cuyo objetivo es facilitar el acercamiento a estas tecnologías mediante una propuesta práctica y bien documentada. De esta forma, aquellas personas interesadas en el diseño digital en FPGA, tendrán a su disposición una base teórica sobre el tema, y además los recursos necesarios, tales como ejemplos, hardware e instalación de herramientas para el aprendizaje experimental.

B. Entorno de desarrollo basado en herramientas libres

Uno de los principales factores que dificulta la entrada al diseño digital para FPGA es la profunda dispersión existente en herramientas y entornos de desarrollo, simulación e implementación. Por un lado, cada fabricante ofrece una *suite* de diseño específica para las plataformas que comercializa, que suelen tener una complejidad de uso y/o un costo relativamente elevado para las personas que están iniciando en la temática. Por el otro, hay varios proyectos de software libre orientados a reemplazar estas aplicaciones, pero requieren que el usuario final gestione la instalación y configuración manual de una gran cantidad de librerías y dependencias.

Para evitar las dificultades mencionadas, se creó un entorno de desarrollo basado en herramientas modulares. Esta solución integra el editor de texto personalizable Atom[13] y la plataforma de desarrollo Docker [14]. La Fig. 3 muestra la arquitectura del entorno propuesto.

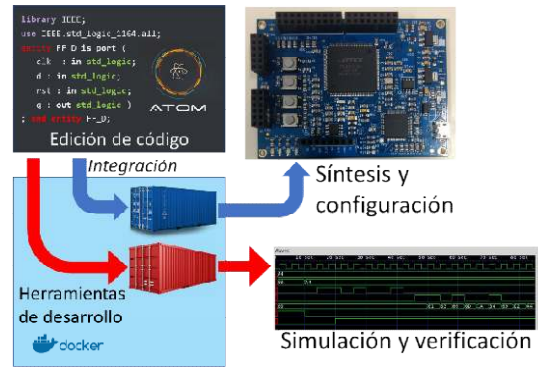


Fig. 3. Entorno de Desarrollo

Docker gestiona los contenedores modulares de código y librerías que forman las herramientas de simulación y configuración: Yosys[15, 17], Arachne-pnr[18], Icestorm[19], GHDL [20], IcarusVerilog [21], Vunit [22] y GtkWave [23]. Al tratarse de módulos autocontenidos, requieren un mínimo esfuerzo de instalación. Por otro lado, el editor Atom provee una interfaz gráfica y menús personalizados que permiten al usuario ejecutar las herramientas de desarrollo. También se pueden instalar *packages* adicionales para resaltado y completamiento de sintaxis en VHDL y Verilog.

IV. RED DE COLABORADORES

En el espíritu del proyecto CIAA se plantea un enfoque abierto, colaborativo y descentralizado. Por ello, desde un principio en la especificación del diseño de la placa se encuestaron a profesionales relacionados con la temática en el ámbito de la docencia universitaria, la investigación y las empresas para que aporten propuestas concretas para delinear el diseño. En particular, participaron de estas consultas, profesionales las empresas Satellogic, Jotatec, de distintos ámbitos de la docencia e investigación universitaria (FIUBA, UNSAM, UTN FRBA, UTN FRBB, UTN FRSN, UNER, entre otras) y del sistema científico tecnológico nacional (INTI, CITEDEF, entre otros [24]).

V. CONCLUSIONES

Se logró realizar un proyecto educativo integral para la enseñanza de tecnología FPGA en tres ejes: hardware, material didáctico y establecimiento de una red de colaboradores. Respecto a la placa, se ha logrado un precio final de US\$ 85, el cual la coloca en una posición competitiva respecto a otras opciones comerciales [25]. Las herramientas que brinda el proyecto están orientadas a ofrecer posibilidades de uso para distintos niveles: estudiantes secundarios, terciarios, de carreras de grado, o profesionales. El uso de las herramientas que aquí se presentan no se restringe a un área en particular, sino que busca ser el nexo que permita a profesionales y estudiantes adentrarse en un campo que hoy en día, y en nuestra región, no se encuentra ampliamente difundido.

Actualmente, el proyecto EDU-CIAA-FPGA se ha publicado y se han recibido adhesiones de más de un centenar de profesionales del campo de los desarrolladores independientes, la universidad y empresas de diferentes rubros. El trabajo futuro se concentrará en la elaboración de un repositorio de ejemplos, incluyendo IP cores y la difusión activa del proyecto.

VI. REFERENCIAS

- [1] Xilinx. *Introduction to FPGA Design with Vivado High-Level Synthesis*. (January, 2019)
- [2] Xilinx, “Applications” [En línea] Disponible: shorturl.at/uCGVY (accedido Mayo 30, 2020)
- [3] N. Hemsoth, T. Prickett Morgan. *FPGA Frontiers: New Applications in Reconfigurable Computing*. (Enero, 2017)
- [4] S. M. Trimberger. *Three Ages of FPGAs: A Retrospective on the First Thirty Years of FPGA Technology*. (Marzo, 2015)
- [5] Arrow. *FPGA vs CPU vs GPU vs Microcontroller: How Do They Fit into the Processing Jigsaw Puzzle?*. [En línea] Disponible: <https://www.arrow.com/en/research-and-events/articles/fpga-vs-cpu-vs-gpu-vs-microcontroller>
- [6] S. Tropea. *FPGAs Libres: hardware, simulación y síntesis*. (Agosto, 2017)
- [7] Computadora Industrial Abierta Argentina, <http://www.proyecto-ciaa.com.ar/> (accedido Mayo 30, 2020)
- [8] M. A. Heredia, F. S. Larosa, R. A. Ghignone, J. M. Cruz, N. DassieuBlanchet. *Kit de FPGA para la enseñanza de lenguajes de descripción de hardware*. (Septiembre, 2019)
- [9] IPC-2221A Task Group. *IPC-2221A Generic Standard on Printed Board Design*. Mayo, 2003.
- [10] Lattice Semiconductor. *iCE40 LP/HX Family*. September, 2018.
- [11] Mouser, “iCE40HX4K-TQ144”. [En línea] Disponible: shorturl.at/jkrT2 (accedido Mayo 30, 2020)
- [12] “FPGA para todos”, [En línea] Disponible: shorturl.at/fqwy8 (accedido Mayo 30, 2020)
- [13] Atom. *Atom Flight Manual*. Disponible: <https://flight-manual.atom.io/>
- [14] Docker. [En línea] Disponible: <https://www.docker.com/> (accedido Mayo 30, 2020)
- [15] C. Wolf, J. Glaser. *Yosys – A Free Verilog Synthesis Suite*. 2013
- [16] C. Wolf. *Design and Implementation of the Yosys Open Synthesis Suite*. Bachelor Thesis, Vienna University of Technology, 2012
- [17] Clifford Wolf. *Yosys Open Synthesis Suite*. [En línea] Disponible: <http://www.clifford.at/yosys/> (accedido Julio 18, 2020)
- [18] “Arachne-pnr”. [En línea] Disponible: <https://github.com/YosysHQ/arachne-pnr> (accedido Mayo 30, 2020)
- [19] C. Brown. “Project IceStorm”. [En línea] Disponible: <http://www.clifford.at/icestorm/> (accedido Mayo 30, 2020)
- [20] G. Tristan “GHDL”. [En línea] Disponible: <http://ghdl.free.fr/> (accedido Mayo 30, 2020)
- [21] W. Stephen “IcarusVerilog”. [En línea] Disponible: <http://iverilog.icarus.com/> (accedido Mayo 30, 2020)
- [22] L. Asplund “VUnit”. [En línea] Disponible: <https://vunit.github.io/> (accedido Mayo 30, 2020)
- [23] GTKWave. *GTKWave 3.3 Wave Analyzer User's Guide*. (Mayo, 2019)
- [24] “EDU-CIAA-FPGA”, [En línea] Disponible: <http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-fpga> (accedido Julio 2020)
- [25] Xilinx. *Boards and Kits Targeting Cost-Optimized Design*. [En línea] Disponible: <https://www.xilinx.com/products/boards-and-kits/cost-optimized-design.html> (accedido Julio 18, 2020)

Categoría

FORO TECNOLÓGICO

Implementación de embebidos

Área Temática

Dispositivo de adquisición, almacenamiento y envío de datos por telemetría

García Cabana, Matías , Larosa, Facundo Santiago
 Universidad Tecnológica Nacional
 Facultad Regional Haedo
 Grupo de Aplicaciones en Sistemas Embebidos
 Buenos Aires, Argentina
embebidos@frh.utn.edu.ar

Resumen— Los dispositivos registradores son utilizados a nivel industrial y científico para la captura y almacenamiento de datos con el fin de caracterizar trayectorias o modelar fenómenos bajo estudio. En este trabajo, se presenta el diseño de un dispositivo para almacenar, transmitir por medio de un enlace inalámbrico y graficar valores de aceleración, velocidad lineal y angular, orientación, altitud y posición en tiempo real. El hardware y software desarrollado tiene como objetivo la caracterización de vectores en el ámbito de la coherencia experimental vectores, en vehículos de guiado automático para la industria y/o en el control de drones.

Keywords— *Dispositivo registrador, Tiempo real, coherencia experimental.*

I. INTRODUCCIÓN

En el ámbito de la navegación es de vital importancia poder caracterizar los parámetros de trayectoria de un sistema. Las Unidades de Medición Inercial (IMU, por sus siglas en inglés, *Inertial Measurement Unit*) son las más utilizadas en estos casos junto con otros sensores auxiliares como los receptores de sistemas de posicionamiento global, ya que principalmente recogen información de los datos inerciales del vuelo (aceleración lineal y velocidad angular respecto de los ejes principales del vehículo) y su posición respecto de una referencia exógena respectivamente. Utilizando técnicas de fusión de datos, tales como los filtros de Kalman extendido es posible reconstruir la trayectoria del vehículo bajo estudio. El presente trabajo presenta una evolución respecto de dispositivos previos en la misma línea de trabajo [1, 2]. En este trabajo se presenta el diseño y construcción de un sistema completo de adquisición de variables de navegación cuya arquitectura general se define en la sección II para luego describir sus componentes en las secciones III, IV, V y VI. Finalmente, se presentan las conclusiones en la sección VII.

II. ARQUITECTURA DEL SISTEMA

La arquitectura del sistema propuesta se compone de tres elementos principales según se muestra en la Fig. 1 y se describe a continuación:

Dispositivo registrador: realiza la adquisición de los datos, su almacenamiento local y el envío por telemetría del paquete que los contiene. Su montaje se realiza dentro del vector o en el vehículo a caracterizar.

Estación de tierra o base de comunicación: se encarga de la recepción de datos por telemetría obtenidos por el registrador para posteriormente enviarlos a la PC.

Aplicación en la PC: implementa la interfaz de usuario, la cual controla los componentes del sistema, almacena los datos obtenidos por el registrador y los presenta de forma gráfica a fin de facilitar su análisis.

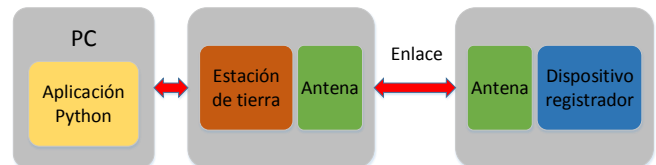


Fig. 1. Diagrama en bloques del sistema

III. DISPOSITIVO REGISTRADOR

El núcleo del dispositivo consta de un microcontrolador de doble núcleo asimétrico LPC4337 [3] el cual se compone de dos núcleos de 32 bits, uno con arquitectura ARM Cortex-M4 y el otro ARM Cortex-M0.

De acuerdo con las variables de adquisición de interés para el proyecto, se escogieron los siguientes integrados para su obtención:

IMU: realiza la adquisición de variables inerciales: aceleración lineal (acelerómetro), velocidad angular (giroscopio) y orientación magnética (magnetómetro), todas ellas en los tres ejes espaciales X, Y y Z.

Receptor: recibe las señales del sistema GPS (por sus siglas en inglés, *Global Positioning System*) permite la obtención de datos de posición y velocidad lineal.

Altímetro: proporciona la medición de la presión atmosférica (barómetro) e indica la altitud a nivel del mar a partir de aquella.



Fig. 2. Dispositivo registrador

En la Fig. 2 se observa el dispositivo registrador en conjunto con la antena modelo FXP 290 [4] y un soporte implementado con una impresora 3D.

El encargado de realizar el enlace de comunicación por telemetría es un módulo transceptor integrado modelo HUM-A-900-PRO [5]. La técnica de modulación que utiliza es la de salto de frecuencia de espectro ensanchado (FHSS, por sus siglas en inglés, *Frequency Hopping Spread Spectrum*) en el espectro de frecuencias de la banda 900Mhz - 928Mhz la cual es una banda libre en Argentina. Esta modulación le ofrece al enlace una alta inmunidad al ruido y una alta sensibilidad de recepción. El área de cobertura tiene un radio aproximado de 800 m, pero puede variar debido a las condiciones ambientales al momento de la prueba. El almacenamiento de datos se realiza a través de una tarjeta micro SD en formato FAT-FS [6]. El dispositivo registrador puede ser alimentado con una batería del tipo Litio Polímero de dos o tres celdas (7,4v / 11,1v).

IV. ESTACIÓN DE TIERRA O BASE

Este componente del sistema envía comandos y recibe datos del dispositivo registrador. La implementación se realizó diseñando un “poncho CIAA” [7] en conjunto con una placa EDU-CIAA-NXP [8], integrando además una antena y un soporte impreso en 3D (Fig. 3). La comunicación con la aplicación de la PC la realiza por medio de un puerto serial universal (USB, por sus siglas en inglés, Universal Serial Bus).



Fig. 3. Estación de tierra o base.

V. DISEÑO DE FIRMWARE

El desarrollo de firmware del registrador y de la estación de tierra se realizaron en lenguaje C, utilizando un sistema operativo de tiempo real FreeRTOS [9, 10], el cual ofrece diversas ventajas en comparación con la programación *bare metal* que no implementa este recurso. Principalmente, se obtiene una mayor mantenibilidad y extensibilidad del código, modularidad de los componentes de firmware, reutilización de código, mejoras en la eficiencia y comprensión del código, entre otras.

Además del sistema operativo, aplicó la metodología de implementación del firmware por medio de patrones de diseño

[11]. De esta manera, se confiere al sistema mayor robustez y una estructura organizada, las cuales se traducen en posibilidades de reutilización de código y una alta flexibilidad para agregar mejoras futuras.

VI. APLICACIÓN EN LA PC

La aplicación de PC es la herramienta por medio de la cual el usuario puede interactuar con el sistema. Este software permite comenzar diferentes modos de adquisición, almacenar archivos con los datos registrados en la PC y además suministra una herramienta para graficarlos.

La programación de la aplicación se realizó en el lenguaje Python [12] versión 3.7, conjuntamente con las librerías Tkinter [13] para la interfaz de usuario, matplotlib [14] para los gráficos de variables, pyserial [15] para el manejo del puerto USB y por último folium maps [16] para la generación de mapas en dos dimensiones.

El sistema cuenta con varios modos de operación los cuales determinan si se graban los datos en la memoria del registrador o en un archivo en la PC. Si el vehículo excede el rango del enlace, se podrá recuperar los datos con la memoria situada en el dispositivo registrador. En la Fig. 4 se puede apreciar una trayectoria de prueba realizada con un automóvil y graficada sobre un mapa urbano.

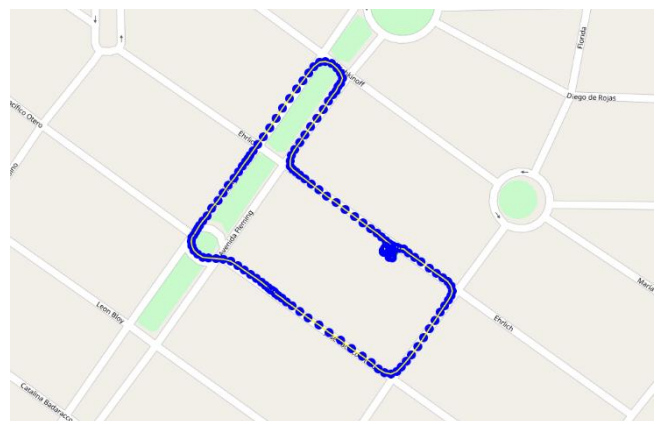


Fig. 4. Trayectoria de prueba sobre mapa urbano

VII. CONCLUSIONES

Se logró implementar un sistema completo de adquisición, almacenamiento y telemetría de datos el cual permite la caracterización de trayectorias o el estudio de dinámica de vehículos para diferentes campos de aplicación. El rango de adquisición de cada parámetro le aporta versatilidad para cubrir necesidades de la investigación o industria en diversas áreas. Las dimensiones del dispositivo adquisidor (100mm x 80mm) y las variantes de montaje facilitan su aplicación en campo. En aplicaciones donde la distancia entre la estación de tierra o base y el dispositivo adquisidor sea mayor al alcance de telemetría, se ofrece la alternativa de grabar los datos en la memoria micro SD y luego visualizar y procesar los datos con el archivo generado.

La implementación del sistema operativo en tiempo real con Free-RTOS, genera que al sistema se le pueda incorporar nuevos módulos o funcionalidades de manera rápida, pudiendo adaptar nuevos requerimientos de manera ágil y ordenada.

REFERENCIAS

- [1] M. García Cabana, F. Larosa, M. Zucotti, M. Fernández, R. Ghignone, “Registrador de vuelo y estación terrestre para telemetría de cohetes experimentales”, Congreso de Microelectrónica Aplicada (uEA) 2018.
- [2] F. Larosa, M. Mignone, I. Castelucci Vidal, M. Fernández, “Dispositivo de adquisición y registro de datos para cohetes experimentales”, Congreso Argentino de Tecnología Espacial (CATE) 2017.
- [3] LPC4337. [Online]. Disponible: www.nxp.com/products/processors-and-microcontrollers/arm-microcontrollers/general-purpose-mcus/lpc4300-cortex-m4-m0/32-bit-arm-cortex-m4-m0-mcu-up-to-1-mb-flash-and-136-kb-sram-ethernet-two-high-speed-usb-lcd-emc:LPC4337JBD144
- [4] FXP 290. [Online]. Disponible: <https://www.taoglas.com/product/fxp290-915mhz-flex-pcb-antenna/>
- [5] HUM-A-900-PRO. [Online]. Disponible: linxtechnologies.com/wp/product/humpro-long-range-transceiver-module/
- [6] FAT-FS. [Online]. Disponible: elm-chan.org/fsw/ff/00index_e.html
- [7] Poncho CIAA. [Online]. Disponible: <http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-ciaa:ponchos>
- [8] EDU-CIAA-NXP. [Online]. Disponible: <http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-ciaa:edu-ciaa-nxp>
- [9] FreeRTOS. [Online]. Disponible: www.freertos.org/
- [10] Richard Barry, “Mastering the FreeRTOS Real Time Kernel”, A Hands-On Tutorial Guide.
- [11] Bruce Powel Douglass, “Design Patterns for embedded systems in c”
- [12] Python. [Online]. Disponible: www.python.org/
- [13] Tkinter. [Online]. Disponible: docs.python.org/3.7/library/tkinter.html
- [14] Matplotlib. [Online]. Disponible: matplotlib.org/
- [15] Pyserial. [Online]. Disponible: pypi.org/project/pyserial/
- [16] Folium. [Online]. Disponible: python-visualization.github.io/folium/

Incremento de Precisión en Localización Indoor Mediante Redes Neuronales

Gerez, Agustin
Dto. de Computación y Sistemas
UNICEN
Tandil, Buenos Aires
agustingerez2@gmail.com

Goñi, Oscar Enrique
LabSET - INTIA
UNICEN
Tandil, Buenos Aires
oegoni@labset.exa.unicen.edu.ar

Leiva, Lucas
LabSET - INTIA
UNICEN
Tandil, Buenos Aires
lleiva@labset.exa.unicen.edu.ar

Abstract— El uso de WiFi es ampliamente utilizado por un gran número de dispositivos, incluyendo aquellos que componen sistemas de Internet de las Cosas (IoT) y de Inteligencia Artificial (IA). En algunos casos, las señales de radio utilizadas para transmitir información son además aprovechadas para realizar estimaciones de posición. Sin embargo, su uso se encuentra afectado a la constante fluctuación de la señal. Es posible que al momento de realizar una estimación de posición de un componente, ésta se encuentra influenciada por los obstáculos, el multirrayecto y la reflexión de la señal. Este trabajo tiene como objetivo aumentar la precisión en la estimación de distancias, para luego mediante triangulación matemática, realizar estimaciones de posición sobre el plano. El enfoque propuesto aborda el análisis de RSSI y triangulación de señales, y se propone una solución basada en Redes Neuronales que combina los resultados de tres algoritmos de estimación de distancia a fin de aumentar la precisión

Keywords—localización indoor, distancia, RSSI, red neuronal

I. INTRODUCCIÓN

En la actualidad, las tecnologías para posicionamiento de personas o bienes resultan de una herramienta indispensable en cualquier industria. Existen diversos enfoques para el posicionamiento, pero entre los más importantes se encuentran los basados en la identificación de marcas en el entorno y los basados en análisis de ondas de radio frecuencia (RF). Entre estas últimas se destacan GPS, Glonass y Galileo. Sin embargo, las ondas de radio de estos suelen presentar dificultades al momento de penetrar muros, techos, o subsuelos o bien sufrir desviaciones ante la presencia de obstáculos.

En el contexto de la localización en interiores (o indoor) el problema de visibilidad puede ser resuelto a través del uso de tecnologías como las redes de área local inalámbrica (WLAN), también conocida como Wi-Fi, las redes de área personal inalámbrica (WPAN) que incluye identificación por radiofrecuencia (RFID), la banda ultra ancha (UWB) y Bluetooth de baja energía (BLE) [1]. Se debe considerar que, las señales inalámbricas más comunes poseen variación de intensidad en el nivel de señal debido a la presencia de obstáculos, o por las características del ambiente [2,3]. La altura es una variable que influye en la fluctuación de la intensidad de la señal. Por esta razón, no existe un estándar para todos los ambientes de interiores

Respecto a los métodos de estimación de distancia, éstos se clasifican en los basados en el rango y los de rango libre [4,5]. En el enfoque basado en el rango, los nodos deciden su posición teniendo en cuenta el cálculo de ángulo o

distancia de algunos nodos de anclaje (nodos con posiciones conocidas) [6,7]. Dichas estimaciones pueden obtenerse a través de diversos procedimientos, por ejemplo, tiempo de llegada (ToA) [8], diferencia de tiempo de llegada (TDA) [9], la dirección llegada (DoA) [10] o el indicador de intensidad de señal de recepción (RSSI) [11].

En este trabajo se aborda un análisis comparativo de tres métodos (Zhu y Feng [12], Barai, Biswal y Saúl [13], y Nasca y Teofil Cojocariu [14]) de localización en interiores pertenecientes a los enfoques de RSSI y triangulación de señales. Además se presenta una solución basada en una red neuronal artificial del tipo perceptrón simple que fusiona las salidas de los algoritmos. La propuesta incrementa la precisión del cálculo de la distancia respecto a cada uno de los métodos seleccionados, permitiendo que los algoritmos de triangulación que utilicen esta técnica logren una mayor precisión en la localización espacial.

El trabajo se organiza de la siguiente manera: en la sección II se describen y presentan las principales características de los tres métodos seleccionados, la sección III presenta los resultados experimentales de la evaluación de cada uno de los enfoques y el desarrollo de la solución basada en el uso de una red neuronal. Finalmente, en la sección V se presentan conclusiones y trabajos futuros.

II. ALGORITMOS DE LOCALIZACIÓN INDOOR

Se propone el análisis de tres algoritmos de localización indoor, seleccionados por su bajo costo ya que no requieren de hardware adicional. Los algoritmos utilizan el método RSSI para captar la señal de transmisión. Este método se basa en la atenuación de la señal recibida para inferir la localización del móvil y estimar la distancia que separa el móvil de cada Access Point (AP).

El trabajo presentado por Zhu y Feng [12], propone una solución a la localización de interiores a partir de la fórmula de pérdida de ruta de camino libre (1) y del concepto de atenuación. Mediante el uso del método de triangulación y el uso de matrices se determina la posición del individuo. Una de las desventajas de este enfoque es que el objeto a localizar debe ubicarse donde al menos hay tres AP. Como ventaja, esto demuestra que mejora la precisión de localización a la vez que se reduce la desviación.

$$PL(dB) = PL(d_0) - 10 * n - \log_{10} \left(\frac{d_i}{d_0} \right) \quad (1)$$

Siendo d_0 la distancia de referencia cercana a un metro, $PL(d_0)$ la señal de fuerza medida desde d_0 , y n es el factor de atenuación. Su valor varía entre de 2 y 6 dependiendo del ambiente.

En el trabajo de Barai, Biswal y Saúl [13] realizan mediciones entre dos nodos determinando la relación entre el desvío estándar y la media de la intensidad de señal recibida (RSSI). A partir de esta relación, determina la ecuación de distancia

$$d_A = \frac{(-0.043x^5 - 4.92x^4 - 171.5x^3 - 600.8x^2 + 41.41x - 0.84)}{(x^4 + 250x^3 + 14780x^2 - 455.9x + 12.24)} \quad (2)$$

Según Barai, Biswal y Saúl, la relación se basa en que la desviación estándar cercana a uno es más baja, y los valores RSSI se aproximan a la media para una distancia particular. Para la desviación estándar mayor a tres se incrementa y los valores de RSSI se extienden en un rango alto [1].

Finalmente, el trabajo de Jacob Nasca y Teofil Cojocariu [14], presenta una solución utilizando la fórmula de pérdida de ruta de espacio libre, teniendo en cuenta la potencia del transmisor y la frecuencia del sensor. Su solución es viable aunque se ve afectado por la latencia en las actualizaciones de los AP. A partir de la fórmula de pérdida básica de transmisión en el espacio libre, se deduce la distancia d medida en metros según (3), donde $Ptx[dBm]$ es la potencia del transmisor, siendo $F[MHz]$ la frecuencia y K es una constante que depende de las unidades de la distancia y frecuencia. Por último, $L[dBm]$ es el valor de RSSI obtenido entre un emisor y receptor.

$$d = 10^{\frac{K - (Ptx + \log F + |L|)}{20}} \quad (3)$$

III. DESARROLLO

Se realizaron ensayos experimentales utilizando dos placas de prototipos nodeMCU que provee una ganancia de salida de +25 dBm[15,16] separados a diferentes distancias, uno utilizado como estación y el otro como AP. La distancia se calculó en función de cada algoritmo. Para los tres ensayos se consideró el mismo tiempo de muestreo. Se realizaron mediciones y estimaciones de los tres algoritmos a distancias reales de 0.5, 1, 1.5, 2, 3, y 4 metros. Los algoritmos de estimación fueron contrastados mediante el indicador de Error Porcentual Absoluto Medio (MAPE) para cada una de las distancias y los resultados se presentan en la Figura 1.

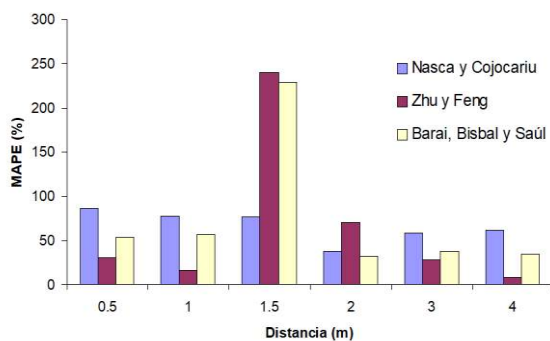


Fig.1. Valores MAPE obtenidos en base a las distancias experimentales para los algoritmos seleccionados.

La figura demuestra que si bien los métodos poseen un cierto grado de eficiencia, sus indicadores de error son elevados. En otro aspecto, se deduce que la utilización de un método en particular no es efectiva, sino que puede dependiendo de la distancia, es conveniente utilizar un método en particular.

Se observó que a distancias en un radio menor a 1.5 mts el algoritmo que mejor se adapta es Zhu y Feng, mientras que en distancias mayores es recomendable utilizar el

algoritmo de Barai, Bisbal y Saúl. En otro aspecto, se destaca el promedio de error casi constante que posee el algoritmo de Nasca y Cojocariu, pero su uso puede ser descartado debido a que el índice de error promedia el 50%.

Considerando los resultados obtenidos se plantea una solución que combina los resultados de los algoritmos seleccionados a fin de lograr un aumento en la precisión. Se implementó una red neuronal del tipo perceptrón simple con tres neuronas de entrada y una neurona de salida, con una función de activación sigmoidea estándar. La red neuronal fue entrenada con el 70% de los datos obtenidos de los métodos seleccionados considerando la distancia real como parámetro de entrada de entrenamiento para la estimación de la distancia, utilizando para el entrenamiento el método de gradiente conjugado. La red fue validada con el conjunto total de muestras. Se evaluaron los indicadores de predicción de error porcentual absoluto medio (MAPE), la raíz del error cuadrático medio (RMSE) y el error absoluto medio (MAE), tanto para la solución propuesta como los métodos escogidos. Los resultados de los indicadores se presentan en la Tabla I.

TABLE I. INDICADORES DE ERROR DE LOS MÉTODOS DE ESTIMACIÓN DE POSICIONAMIENTO INDOOR

	MAPE(%)	RMSE (m)	MAE (m)
Nasca y Cojocariu	65.67	1.440	1.206
Zhu y Feng	65.68	1.831	1.078
Barai, Biswal y Saúl	74.19	1.968	1.238
Combinación NN	40.49	1.066	0.723

Los resultados obtenidos demuestran que el uso de una red neuronal entrenada a partir de las estimaciones de los métodos permite reducir los índices de error en un factor promedio del 25%. Por otra parte, los índices de error absoluto y cuadrático también se ven reducidos. Se realizaron pruebas, utilizando redes neuronales del tipo perceptrón multicapa (MLP), sin embargo los resultados de precisión de estas arquitecturas resultaron inferiores.

IV. CONCLUSIONES

Este trabajo describe la relación entre los algoritmos que utilizan la pérdida de espacio libre con los algoritmos que relacionan la media y el desvío estándar. Se realizó la implementación de tres algoritmos de posicionamiento y fueron comparados cuantitativamente respecto al error. Los resultados indicaron que no existe una superioridad en cuanto a la precisión de uno respecto al resto, y que además sus índices de error son elevados para mediciones precisas. Sin embargo, al fusionar los resultados de los métodos en una red neuronal, el error absoluto medio pudo ser reducido en un 25%, lo que representa una mejora significativa.

Se plantea continuar el desarrollo mediante el análisis de otros métodos de localización de bajo costo computacional, que puedan ser incorporados como entradas a la red neuronal, así como también explotar el entrenamiento de la red para incrementar su precisión. Se propone además extender el trabajo, no solo a la medición de la distancia entre dos nodos, sino a la ubicación espacial del nodo.

El desarrollo propuesto se integrará junto a un sistema de recolección y análisis de datos biométricos para ser utilizado como soporte a la seguridad de operarios.

AGRADECIMIENTOS

Este trabajo fue parcialmente financiado por la SeCAT de UNICEN (Código de Proyecto 03/C287).

REFERENCIAS

- [1] F. Dwiyasa, M.-H. Lim, "A survey of problems and approaches in wireless-based indoor positioning", Proc. Int. Conf. Indoor Positioning Indoor Navigat., pp. 1-7, Oct. 2016.
- [2] L. Diaz, A. Tabernilla, F. Perez Costoya, "Sistema de Localización de Interiores". Trabajo fin de carrera. Universidad politécnica de madrid. Facultad de informatica.
- [3] Eva M. Garcia Polo. "Técnicas de Localización en Redes Inalámbricas de Sensores". Instituto de informática de Albaladejo. Departamento de Sistemas Informáticos. Universidad de Castilla-La Mancha
- [4] Shakra, E. Q., Sheltami, T. R., & Shakshuki, E. M. (2020). A comparative study of range-free and range-based localization protocols for wireless sensor network: Using cooja simulator. In *Sensor Technology: Concepts, Methodologies, Tools, and Applications* (pp. 1522-1537). IGI Global.
- [5] Xiao, J., Liu, Z., Yang, Y., Liu, D., & Han, X. (2011, June). Comparison and analysis of indoor wireless positioning techniques. In 2011 International conference on computer science and service system (CSSS) (pp. 293-296). IEEE
- [6] Mekelleche, F., & Haffaf, H. Classification and comparison of range-based localization techniques in wireless sensor networks. *Journal of Communications*, 12(4), 221-227, 2017.
- [7] A. Tahat, G. Kaddoum, S. Yousefi, S. Valaee, and F. Gagnon, "A look at the recent wireless positioning techniques with a focus on algorithms for moving receivers," *IEEE Access*, vol. 4, pp. 6652–6680, 2017.
- [8] N. H. Nguyen and K. Dogançay, "Optimal geometry analysis for multistatic TOA localization," *IEEE Trans. Signal Process.*, vol. 64, no. 16, pp. 4180–4193, Aug. 2016.
- [9] G. Wang, A. M.-C. So, and Y. Li, "Robust convex approximation methods for TDOA-based localization under NLOS conditions," *IEEE Trans. Signal Process.*, vol. 64, no. 13, pp. 3281–3296, Jul. 2016.
- [10] L. Liu and H. Liu, "Joint estimation of DOA and TDOA of multiple reflections in mobile communications," *IEEE Access*, vol. 4, pp. 3815–3823, 2016.
- [11] Q. Luo, Y. Peng, J. Li, and X. Peng, "RSSI-based localization through uncertain data mapping for wireless sensor networks," *IEEE Sensors J.*, vol. 16, no. 9, pp. 3155–3162, May 2016.
- [12] Xiuyan Zhu, Yuan Feng. "RSSI-based Algorithm for Indoor Localization". College of Information Science and Engineering, Ocean University of China, Qingdao, China
- [13] Survankar Barai, Debajyoti Biswal y Buddhadeb Sau, "Estimate Distance Measurement using NodeMCU ESP8266 based on RSSI technique". Department on Mathematics, jadavpur University, Kolkata - 700032, India, pp 170-171
- [14] I. Nasca, T. Cojocariu, Indoor Positioning System Using Wi-Fi Signal. *Today Software Magazine* 26. November 2015
- [15] NodeMCU: An open source firmware based on ESP8266 wifi-soc, https://www.nodemcu.com/index_en.html
- [16] NodeMCU: Documentation and Support, <https://nodemcu.readthedocs.io/en/master/>

Solar Battery Charger for Embedded Systems applications

Ezequiel Olguín

Department of Electronics
Universidad Nacional de Cordoba
Argentina
ezeolg@hotmail.com

Pablo Petrashin

Department of Electronics
Universidad Nacional de Cordoba
Argentina
ppetrashin@unc.edu.ar

Cesar Reale

Department of Electronics
Universidad Nacional de Cordoba
Argentina
creale@unc.edu.ar

Fernando Gallardo

Department of Electronics
Universidad Nacional de Cordoba
Argentina
fergallardo@gmail.com

Abstract— This paper presents the design of a charge regulator for a VRLA-type battery (valve-regulated lead-acid battery) AGM (fiberglass mesh), more commonly known as a sealed battery or maintenance-free battery. The controller consists of a Buck type DC / DC converter and a Maximum Power Point Tracking (MPPT) monitoring control technique. The controller allows the FVS (Photovoltaic System) to take full advantage of the energy delivered by the PV (Photovoltaic) module, so that the system operates at the point of maximum power (MPP), thereby increasing the power transferred to the load with variable conditions of solar radiation and temperature.

Keywords— VRLA, Photovoltaic System, MPPT, P&O

I. INTRODUCTION

It is impossible to deny the rise of renewable energy in recent years. This is due in large part to the certainty of the depletion of traditional energy sources, coupled with an increase in global awareness of pollution and global warming. Solar systems are particularly useful since they can be easily used in low power systems. For applications in isolated areas, especially in rural or remote areas, photovoltaic solar energy systems connected to a battery bank with an energy conversion interface can be an important option for generating reliable electricity [1].

Formerly, topologies with reduced efficiency were used when designing solar battery chargers, due to several reasons, for example, when the panel is connected to the battery directly until its charge is completed without any regulation, saving of equipment cost, etc. The energy efficiency of this type of chargers was not optimal, since the solar panel's operating point in most cases was not adequate [2]. Other topologies ranging from operating at a fixed voltage without taking into account solar radiation [3], or the use of different DC-DC converters such as buck, boost or buck-boost derivatives, which can operate at different work points and thus expose the solar panel to a variable load impedance understood as the equivalent input impedance of the converter at a working point where the solar panel delivers its maximum power [4].

Current research has led technology to an important evolution that has resulted in the design of smart chargers that seek to operate at the point of maximum power, lengthening the battery life cycle [5-7].

In the case of battery chargers that seek to operate at the maximum power point under different weather conditions, tracking algorithms of the "MPPT" type need to be used. One of the best known and used is the so-called Perturb and Observe "P&O", which consists of an iterative process that converges to the point of maximum power quickly. This algorithm has the advantage of not needing to know the solar panel model in detail only by feeling the output power of the system [8-11].

This paper is a partial report of the work that was developed in order to obtain the degree of Electronic Engineer at the Universidad Nacional de Cordoba.

II. MAXIMUM POWER POINT TRACKING SYSTEM (MPPT)

Basically, these systems consist of a DC-DC converter connected between the photovoltaic panel and the load, controlled by a system that executes an MPP tracking algorithm. This control system generates a PWM (Pulse Width Modulation) signal with an appropriate duty cycle, which is inserted into the DC-DC converter of Figure 1.

The converter has an input impedance (R_i) that basically depends on the load impedance (R_L) and the duty cycle of the PWM signal. Therefore, the MPPT algorithm will look for the optimal working relationship for the work point.

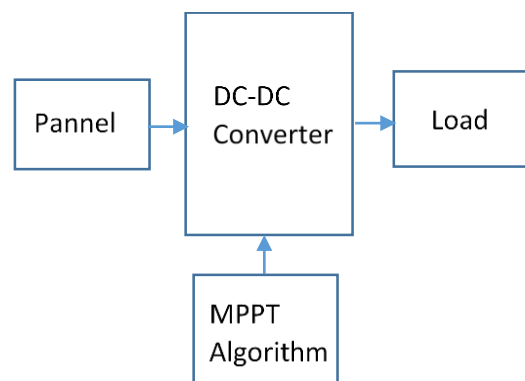


Fig. 1 Basic scheme of a MPPT system, according to [11]

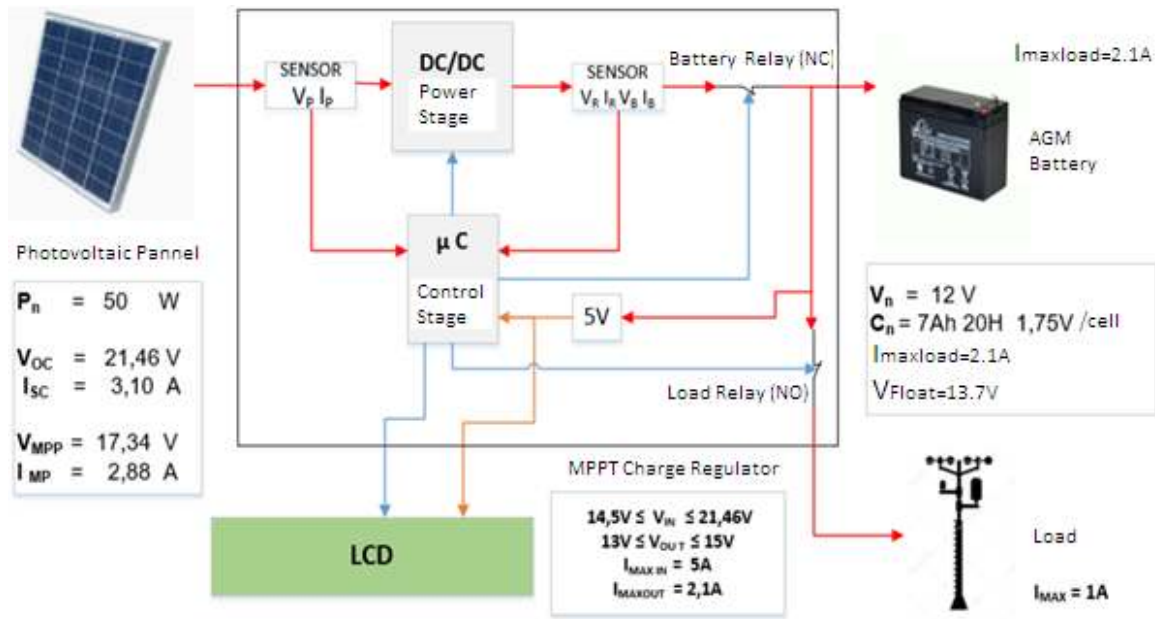


Fig. 2 Block diagram of the proposed system

III. THE PROPOSED SYSTEM

The maximum supply voltage of the controller must be greater than the open circuit voltage (VOC) of the photovoltaic panel. The nominal 12V photovoltaic modules generate voltages greater than their nominal, for the photovoltaic module used the $V_{OC} = 21.46V$, which is the maximum voltage that the module can provide under the STC conditions. With these characteristics, the proposed design takes the form of the scheme in Figure 2. The final prototype is shown in figure 3.

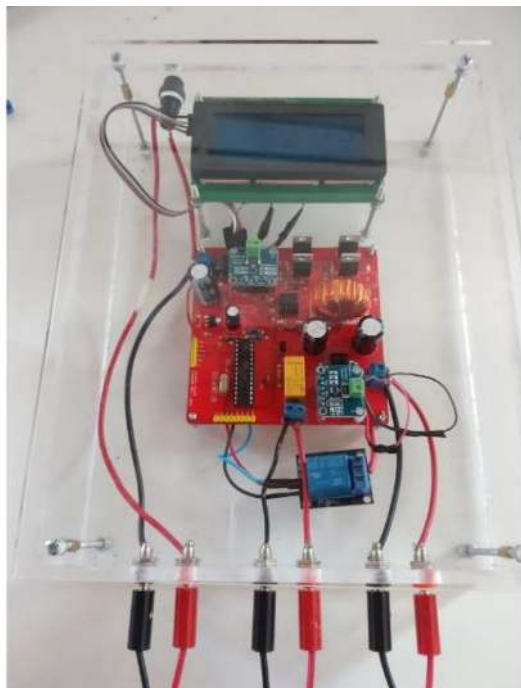


Fig. 3 Final prototype

IV. CONCLUSIONS

We have presented a MPPT tracking system intended for using as a part of Embedded Systems.

From the experience with the implementation of the controller, some recommendations for the deepening of the theme of controllers with MPPT arise, these are described below:

It is advisable to saturate the PWM signal of the power converter by a percentage close to 60%, since if it is close to 100% the converters become less efficient and the life of the switching element is reduced.

It must be taken into account that the power demanded by the DC loads does not exceed the nominal power of the PV.

For applications where more power is required, it is recommended to scale the controller elements to ones of greater electrical capacity.

Likewise, after completing this degree work, some future works for this theme arise, such as:

Improved MPP search algorithm, to converge more quickly to MPP

Improved charging algorithm, to adapt to the different batteries that could connect automatically and choose your charging algorithm.

Measurement with temperature avoid gassing, cut the load automatically when the temperature exceeds the maximum allowed by the manufacturer.

The developed hardware allows to compare different MPPT algorithms that is why it would be important to compare the performance of other control algorithms with MPPT and compare the performance of each algorithm.

Design a battery charging system at the output of the Boost converter, which allows extending the life of the batteries.

Analyze the efficiency in a field of solar panels, developing MPPT controllers for each photovoltaic module and compare with an MPPT controller intended only for the total arrangement of solar panels, verifying which one has better performance and useful life.

REFERENCES

- [1] Lo, K.-Y., Y.-M. Chen, Y.-R. Chang, 2011. "MPPT battery charger for stand-alone wind power system". *Power Electronics, IEEE Transactions on Power Electronics*, 26(6),1631-1638.
- [2] Chang L., Ng C., 1994. "A solar battery charger with improved energy utilization". *Canadian Conference on Electrical and Computer Engineering*, 1, 105-108.
- [3] Ferdous, S.M., M.A. Mohammad, F. Nasrullah, A.M. Saleque, A.Z.M.S. Muttalib, 2012. "Design and simulation of an open voltage algorithm based maximum power point tracker for battery charging PV system". *7 th International Conference on Electrical & Computer Engineering (ICECE)*, 908-911.
- [4] Chen, T.T., M.-Y. Hsiao, S.-H. Tsai, C.-N. Lin, 2011. "Design of digital battery charger system based on PV-module". *IEEE International Conference on Fuzzy Systems (FUZZ)*, 27(30), 1860-1865.
- [5] Matsui, M., K. Kanghooon, B. Yu, T. Kitano, 2007. "A solar battery charging module by means of Limit-Cycle MPPT control". *7th International Conference on Power Electronics (ICPE '07)*, 572-575.
- [6] Anand, S., R.S. Farswan, B. Mangu, B.G. Fernandes, 2012. "Optimal charging of battery using solar pv in standalone dc system". *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, 1(6), 27-29
- [7] Wang, H., D. Zhang, 2010. "The stand-alone pv generation system with parallel battery charger". *International Conference on Electrical and Control Engineering (ICECE)*, 4450-4453.
- [8] Hu, B., S. Sathiakumar, 2011. "Modeling of a new multiple input converter configuration for PV/battery system with MPPT". *International Conference on Electronic and Mechanical Engineering and Information Technology (EMEIT)*, 3, 1209-1214.
- [9] Jorge Ismael Guachimboza, Hugo D' Avalos, "Diseño e implementación de un módulo didáctico y software de simulación para visualizar la curva característica de celdas y paneles solares", *Revista de Ingeniería Eléctrica, Electrónica y Computación*, Vol 8 No 1, Diciembre 2010, Quito Ecuador.
- [10] Gallardo Aguilar, Placencia, Sebastián, González, Luis, "Diseño de un cargador de baterías en aplicaciones de energía solar", *MASKANA, I+D+ingeniería*, Cuenca, 2014.
- [11] Andujar Marquez José, Enrique Gómez, Martínez Miguel, Duran Aranda Eladio, "Sistema de control de bajo costo para el seguimiento del punto de máxima potencia en sistemas fotovoltaicos". *XXVI Jornadas de Automática, Volume: Proceedings of Congress (CD) ISBN: 84-689-0730-8*, pages: 405-410.

Monitoreo continuo de variables de calidad y seguridad en subestaciones transformadoras urbanas

Damian Marasco

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
ndm922@hotmail.com

Gustavo Monte

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
gustavo.monte@ieee.org

Ruben Bufanio

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
ruben.bufanio@speedy.com.ar

Ariel Agnello

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
arielagn@hotmail.com

Norberto Scarone

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
scarone_norberto@hotmail.com

Lucas Solorzano

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
lucasolorzano@gmail.com

Javier Vallejos

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
olindo26@gmail.com

Pablo Liscovsky

Universidad Tecnológica Nacional
Facultad Regional Del Neuquén
Plaza Huincol, Argentina
pliscovsky@frn.utm.edu.ar

Resumen—Debido a las grandes demandas que se generan durante el periodo estival, las subestaciones urbanas trabajan en un punto crítico que depende de la temperatura ambiente, del desequilibrio de las fases, de los puntos calientes y del desgaste natural, características que se agravan con el paso del tiempo. Este trabajo presenta el desarrollo del sistema de monitoreo continuo de variables de calidad eléctricas, acústicas, mecánicas y térmicas para subestaciones transformadoras urbanas. La información obtenida permite inferir la evolución de su estado operativo minimizando el impacto ambiental y asegurando la calidad del suministro.

Palabras clave—monitoreo continuo, microcontroladores, calidad de energía, impacto ambiental, cámaras infrarrojas.

I. INTRODUCCION

La **IoT** (*Internet Of Things*) ha revolucionado, no solo la forma de hacer negocios, sino nuestra interacción con el mundo [1]. Constantemente surgen nuevos paradigmas para el tratamiento de señales de sensores debido a la inteligencia disponible en el punto de adquisición y a la conectividad extrema.

Las redes de distribución eléctrica están migrando hacia redes inteligentes [2]. El concepto de monitorear los elementos de una red fue focalizado, en sus inicios, a los elementos más costosos [3]. La convergencia tecnológica propiciada por la **IoT** permite, sobre todo por la reducción drástica de costos, proponer soluciones tecnológicas en situaciones jamás pensadas. Esta “nueva” información alimenta los procesos de toma de decisiones empleando paradigmas de *Big Data* e inteligencia computacional. En particular, este trabajo presenta el monitoreo integral de subestaciones transformadoras urbanas de intemperie. Tres motivos principales sustentan la iniciativa, como se observa en la Fig. 1. Se monitorea el estado de salud de la SET (Subestación Transformadora) y se obtiene información del

estado de operación. El conocimiento de su estado integral actual, juntamente con la información obtenida en el pasado permite inferir estados futuros, certificar calidad de servicio y predecir posibles anomalías como se detallan en la siguiente sección.

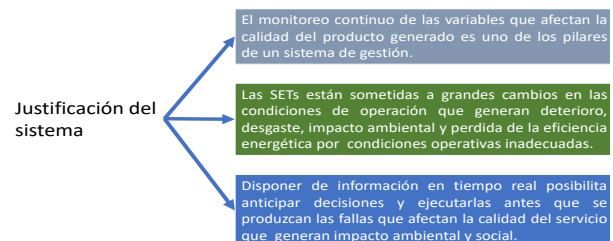


Fig. 1. Síntesis de la justificación del sistema propuesto.

II. DESARROLLO DEL SISTEMA

A. Variables observadas

El sistema monitorea variables eléctricas, mecánicas y térmicas de forma integral como se muestra en la Fig. 2 para potenciar el uso de algoritmos de inferencia.

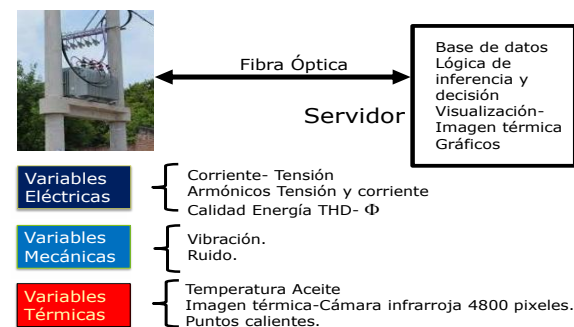


Fig. 2. Sistema integral de monitoreo de SETs.

Los datos actualmente son reportados mediante un canal de fibra óptica, pero pueden utilizarse otros canales de comunicación. El sistema se desarrolló bajo un concepto modular de cuatro bloques interconectados mediante RS485: *Calidad de energía, variables mecánicas, variables térmicas y comunicación*. Los cuatro módulos son supervisados por una fuente conmutada microcontrolada, con cargador de batería. Los módulos se supervisan entre ellos para asegurar el correcto funcionamiento y se posee la capacidad de interrumpir la energía a cada módulo ante fallos que pudieran incluir latch-up [4], ya que es un sistema de muy difícil acceso para la restauración.

B. Módulo variables eléctricas

Esta etapa involucra la medición de las variables eléctricas de la SET, donde los parámetros principales a medir son frecuencia, amplitud, distorsión armónica, en tensión y corriente y anomalías de tensión como micro cortes y fluctuaciones. Se adquieren tensión y corriente por fase incluyendo al neutro. Requiere un cuidadoso diseño para adquirir en forma lineal, sin distorsión, información hasta el armónico de orden 50. Todos los parámetros eléctricos son adquiridos y procesados bajo la norma IEC 61000-4-30 [5]. La adquisición de las señales de tensión y corriente se realiza mediante un sistema interno de doble buffer que permite almacenar los datos adquiridos en uno de los buffers mientras se procesa el otro, garantizando la adquisición y procesamiento a la totalidad de las señales.

Cada buffer abarca 200ms de cada fase de tensión y corriente, adquiridos a una frecuencia de muestreo de 8 kHz. Finalizada la adquisición, se aplica el esquema de procesamiento que se observa en la Fig. 3.

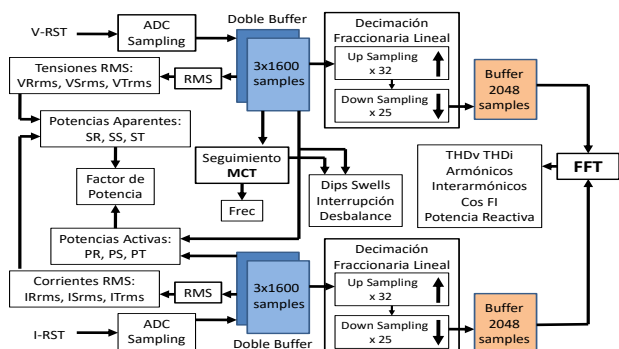


Fig. 3. Esquema de procesamiento de calidad de energía.

El hardware y software son de diseño totalmente propio y se centra en un microcontrolador ARM Cortex M7 [6] programado en lenguaje C. La etapa de aislación y digitalización incorpora a un convertor analógico digital de 24 bits Sigma Delta con conversión simultánea basado en el CI ADS131E8 [7]. Los algoritmos de FFT y cálculos vectoriales están basados en la librería CMSIS-DSP para punto flotante de simple precisión, optimizada en lenguaje assembler [8]. El cálculo de frecuencia se basa en el estándar IEEE 21451-001-2017 [9]. Se capturan los máximos y mínimos de la onda de tensión y se enlazan los nuevos eventos para los tiempos esperados. La frecuencia reportada es la inversa de periodo promedio de los últimos 500 eventos consistentes, logrando una precisión de 0.01 Hz. El tiempo total de procesamiento de un buffer de 200 ms es de 80 ms, que incluye al tiempo de adquisición del buffer alterno.

C. Módulo vibración, sonido y temperatura

Este sistema emplea un acelerómetro triaxial acoplado mecánicamente al transformador, dos micrófonos para cuantificar la contaminación ambiental y un sensor de temperatura. La información reportada de vibración corresponde al valor RMS promediado de cada eje. La señal de sonido es procesada para obtener un análisis espectral en baja frecuencia, debajo del 1kHz. Este espectro es promediado constantemente de manera tal que toda señal persistente será detectada, independientemente del ruido ambiental, mientras que el ruido no sea periódico. Este subsistema está diseñado sobre un microcontrolador PIC24FJ128GA202 [10] en una placa independiente.

D. Módulo cámara térmica

Esta etapa involucra el desarrollo del sistema de adquisición y procesamiento de imágenes térmicas mediante una cámara IR de bajo costo de 80 x 60 pixeles infrarrojos [11]. Este subsistema está orientado al monitoreo permanente de un proceso o dispositivo crítico que requiere monitoreo frecuente de su evolución térmica.

El módulo está basado en el DSPIC33EP256GP502 [12] de Microchip, debido a principalmente a cuatro motivos: velocidad de ejecución, tamaño de RAM, costo y arquitectura de 16 bits para procesar eficientemente los píxeles empaquetados también en 16 bits. Se adquiere y se procesa la imagen de 4800 pixeles en busca de puntos calientes para seguir la evolución temporal de ellos en el software lado servidor. La cámara IR enfoca los terminales de baja tensión que son los puntos críticos de los transformadores, ver Fig. 4.

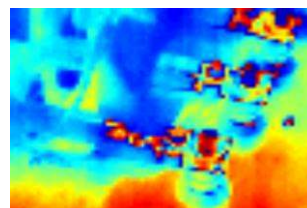


Fig. 4. Imagen térmica de la SET capturada con nuestro sistema de adquisición: Se observan los tres terminales de baja del transformador.

E. Módulo comunicación

Este módulo, desarrollado en base a un microcontrolador PIC32MX795F512 [13], posee dos funciones importantes. Primero es máster de la red interna RS485 y ante la falta de respuesta de un integrante, corta y restaura la energía ya que contiene los relés de corte. A su vez, este módulo y el de energía se supervisan mutuamente. Segundo, posee el puerto Ethernet para la comunicación con el lado servidor remoto.

F. Software lado servidor

El *backend* fue montado en un servidor LINUX, la base de datos se desarrolló en PostgreSQL y se empleó el *framework* Django para visualización, interacción y manejo de alarmas. [14].

III. CONCLUSIONES

Se ha desarrollado completamente un sistema electrónico complejo que monitorea las condiciones de operación e impacto ambiental de las SET que incluye variables de calidad de energía, mecánicas y de comportamiento térmico. El sistema fue instalado en una SET y se encuentra operativo. El fundamento de los sistemas de gestión modernos es la medición de las variables que afectan la calidad del servicio.

REFERENCIAS

- [1] A. R. Biswas and R. Giaffreda, "IoT and cloud convergence: Opportunities and challenges," 2014 IEEE World Forum on Internet of Things (WF-IoT), Seoul, 2014, pp. 375-376, doi: 10.1109/WF-IoT.2014.6803194.
- [2] A. Annaswamy, "IEEE Vision for Smart Grid Control: 2030 and Beyond Roadmap," in IEEE Vision for Smart Grid Control: 2030 and Beyond Roadmap , vol., no., pp.1-12, 24 Oct. 2013, doi: 10.1109/IEEESTD.2013.6648362.
- [3] T. Leibfried, "Online monitoring of power transformers-system technology and data evaluation," 1999 Eleventh International Symposium on High Voltage Engineering, London, UK, 1999, pp. 184-187 vol.5, doi: 10.1049/cp:19990916.
- [4] S. Liang et al., "A study of latch-up mechanisms for adjacent pins on multiple power supply circuits," Proceedings of the 20th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), Suzhou, 2013, pp. 78-82, doi: 10.1109/IPFA.2013.6599130.
- [5] IEC 61000-4-30: Testing and measurement techniques for Power Quality Measurement methods. <https://webstore.ansi.org/standards/iec/iec6100030ed2015>.
- [6] <https://www.st.com/en/microcontrollers-microprocessors/stm32f746ng.html>
- [7] ADS131E8 -24-Bit, 64kSPS, 8-Ch Simultaneous Sampling ADC, Texas Instruments. Available:<http://www.ti.com/product/ADS131E08>.
- [8] <https://developer.arm.com/tools-and-software/embedded/cmsis>
- [9] 21451-001-2017 - IEEE Recommended Practice for Signal Treatment Applied to Smart Transducers. <https://standards.ieee.org/standard/21451-001-2017.html>.
- [10] <https://www.microchip.com/wwwproducts/en/PIC24FJ128GA202>
- [11] Módulo de microcámara térmica LWIR <https://www.flir.es/products/lepton/?model=500-0763-01>.
- [12] <https://www.microchip.com/wwwproducts/en/dsPIC33EP256GP502>
- [13] <http://ww1.microchip.com/downloads/en/devicedoc/61156g.pdf>
- [14] Django Python Web framework <https://www.djangoproject.com/>

Generación automática de archivos de fabricación en KiCad

Salvador E. Tropea
Centro de Micro y Nano Tecnologías
Instituto Nacional de Tecnología Industrial
Buenos Aires, Argentina
stropea@inti.gob.ar

Resumen—KiCad es probablemente la herramienta de desarrollo de circuitos impresos más avanzada en el mundo del software libre.

En este trabajo presentamos un conjunto de herramientas capaces de automatizar la verificación de reglas de diseño y la generación de los archivos de fabricación cuando usamos KiCad.

Estas herramientas son adecuadas para ser usadas localmente o en entornos de integración continua.

Index Terms—KiCad, automatización, fabricación, integración continua

I. INTRODUCCIÓN

A la hora de elegir una herramienta de desarrollo de circuitos impresos que sea de software libre KiCad [1] es probablemente la mejor elección. Esta herramienta ha avanzado mucho en los últimos años, con el apoyo de prestigiosas instituciones como el CERN [2].

Una vez desarrollado el circuito se debe generar toda la documentación necesaria para su fabricación. Esta documentación incluye una amplia variedad de documentos, tales como el listado de materiales, los gerbers [3], archivos de taladrado, archivos de posicionamiento de componentes, etc. Todos acompañados por archivos PDF con el esquemático y PCB. Siendo los gerbers el formato estándar de fabricación de PCBs. La generación de estos archivos es una tarea bastante tediosa ya que es necesario generar cada uno de estos documentos usando opciones diferentes de herramientas diferentes. Esto es peligroso ya que se podrían cometer errores en alguno de los pasos.

Lamentablemente no hay una receta estandarizada que le permita a la herramienta generar esta documentación en una única operación. Esto es así porque cada fabricante, y cada desarrollador, tiene sus propias preferencias. Pero lo que sí sería posible es volcar dichas preferencias en un único archivo y que luego la herramienta se encargara de generar la documentación de acuerdo con esta especificación.

En este trabajo se presenta un conjunto de herramientas capaces de realizar la tarea antes mencionada. Estas herramientas fueron desarrolladas tomando ideas y componentes presentados en la KiCon 2019 [4], junto con herramientas ya usadas por nuestro equipo de trabajo.

II. HERRAMIENTAS

II-A. Núcleo central

El núcleo de este conjunto de herramientas es un derivado de KiPlot [5] [6]. Esta herramienta permite tomar un archivo de configuración en formato YAML [7] y generar en forma automática la documentación especificada. Todas las opciones quedan así concentradas en un único archivo de fácil interpretación.

Originalmente KiPlot se limita a generar los archivos que pueden generarse a través de la interfaz Python de KiCad. Esto incluye los gerbers y todos los formatos disponibles en la opción `plot` del menú y los archivos de taladrado. Pero esto es sólo una parte de los archivos necesarios.

Por esta razón se extendió la aplicación para soportar otros formatos. Por un lado se agregaron los archivos de posicionamiento de componentes y el archivo de integración de los gerbers a la misma herramienta. Por otro lado se agregó la posibilidad de integrar otras tres aplicaciones para complementarla.

La Fig. 1 muestra el flujo de trabajo. En la misma se aprecia como KiPlot tiene un rol central.

II-B. Listado de materiales

Esta compuesto por todos los componentes pasivos, integrados, conectores, etc. presentes en el esquemático. KiCad utiliza un mecanismo de plug-ins para esta tarea, por lo que es relativamente simple utilizar herramientas externas. Para ello se seleccionaron dos aplicaciones muy útiles.

KiBoM [8] [9] es un script que permite generar un listado de materiales ordenado y completo. Se contribuyó a este proyecto varios detalles interesantes, tales como poder reconocer campos con el código de parte en Digi-Key [10] y convertirlos en links al sitio, o generar un listado separado de componentes que son opcionales. Luego se integró con KiPlot.

InteractiveHtmlBom [11] [12] es otro script interesante. El mismo permite generar una página web interactiva donde se puede ver la posición de cada componente en el PCB e ir marcando cuáles ya han sido soldados. También fue integrada a KiPlot.

II-C. Automatización de la interacción con el usuario

KiCad no ofrece mecanismos automáticos para generar las versiones PDF de documentación del esquemático ni del PCB.

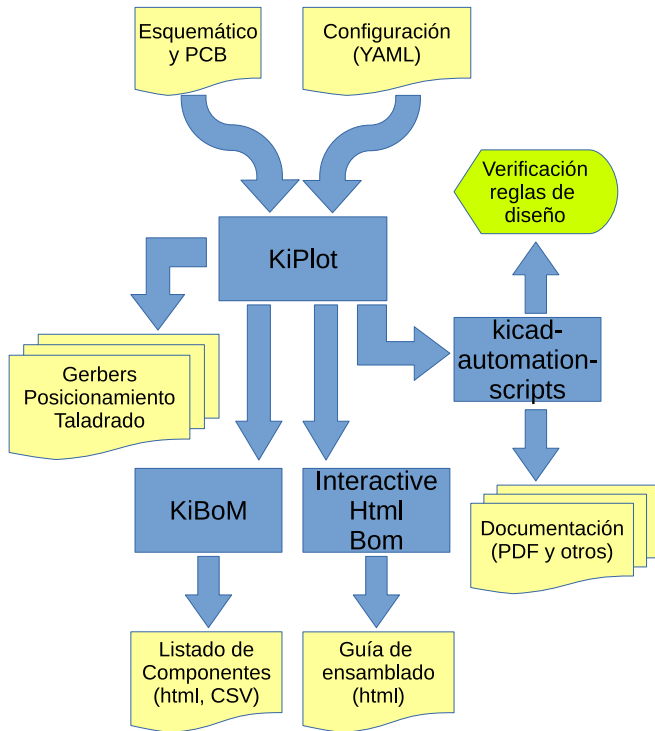


Figura 1. Flujo de datos.

Si bien es posible generar desde Python archivos PDF, estos son más bien unos gerbers en formato PDF, y no los archivos de documentación.

Adicionalmente es imposible automatizar las tareas de verificar las reglas de diseño o actualizar el netlist necesario para KiBoM e InteractiveHtmlBom.

Para automatizar estas tareas es necesario simular las acciones que haría una persona con las herramientas. Es decir que es necesario sintetizar la interacción con la interfaz de usuario. En la KiCon 2019 [13] se presentó un esfuerzo por realizar estas tareas con una herramienta denominada kicad-automation-scripts [14] [15]. La misma estaba incompleta y sólo orientada a entornos de integración continua, siendo complicado usarla de manera local.

Se mejoró y complementó esta herramienta, para luego integrarla a KiPlot. En la actualidad es posible realizar todas las tareas antes mencionadas especificándolas en el archivo de configuración de KiPlot.

II-D. Integración continua

Los entornos de integración continua incluidos en los repositorios populares como GitHub y GitLab permiten realizar tareas automáticas cada vez que un cambio es subido al repositorio. Este tema también fue cubierto por otra charla de la KiCon 2019 [16] y es impulsado por herramientas comerciales [17].

Si bien el objetivo de estas herramientas es generar la documentación final para la fabricación, existen varias razones que hacen su uso atractivo en estos entornos, entre ellas:

- La posibilidad de correr los chequeos de las reglas de diseño.
- La generación de documentación parcial durante el desarrollo. De manera tal que otros equipos involucrados o el mismo cliente puedan acceder a documentación temprana.
- La documentación y verificación de las revisiones posteriores a la fabricación del primer prototipo.

Por estas razones se decidió generar imágenes docker conteniendo KiCad [18] [19] y las herramientas producto de este trabajo [20] [21]. Las mismas se encuentran disponibles en Docker Hub.

Al mismo tiempo, esto permite disponer de entornos completos y controlados en los cuales correr las aplicaciones.

III. EJEMPLOS DE APLICACIÓN

Se crearon tres ejemplos de aplicación. Dos muy básicos, cada uno como ejemplo de uso del entorno GitHub [22] y GitLab [23]. El tercero es un poco más elaborado ya que se trata de un proyecto real compuesto por tres PCBs [24] (Spora [25]). Adicionalmente en este último ejemplo se implementó un sistema de releases automáticas, al realizar un tag en el repositorio se corren las verificaciones de las reglas de diseño, se genera la documentación y se empaqueta todo en una release.

En el ejemplo que usó como base el proyecto Spora se puede observar como las herramientas reportaron errores en las reglas de diseño que luego fueron subsanados, ver la Fig. 2.



Figura 2. CI/CD pipelines. Arriba ejemplo de release automática, en medio verificación exitosa y abajo falla en las verificaciones

IV. CONCLUSIONES

La integración con los sistemas de CI/CD de GitHub y GitLab mostró ser simple. Permitiendo resultados consistentes y automáticos, aplicados a proyectos reales. Cualquier cambio que viole las reglas de diseño es informado por correo electrónico y es posible ver el estado de cumplimiento en la página del proyecto.

Se logró la disponibilidad de varios documentos preliminares generados en forma automática con cada cambio introducido. Esto permite que otros grupos del equipo de desarrollo accedan a información actualizada sin interferir con las tareas de desarrollo de hardware.

A futuro se piensa agregar la generación de modelos 3D del proyecto y completar la testeabilidad de los programas usados. Así como también simplificar la configuración.

REFERENCIAS

- [1] J.-P. Charras *et al.*, “KiCad EDA: A cross platform and open source electronics design automation suite;” <http://www.kicad-pcb.org/>.
- [2] (2020, May) About KiCad. [Online]. Available: <https://kicad-pcb.org/about/kicad/>
- [3] Wikipedia. (2020, Jul.) Gerber (formato de archivo). [Online]. Available: [https://es.wikipedia.org/wiki/Gerber_\(formato_de_archivo\)](https://es.wikipedia.org/wiki/Gerber_(formato_de_archivo))
- [4] (2020, May) KiCon 2019 the first and the largest gathering of hardware developer using KiCad. [Online]. Available: <http://kicad-kicon.com/>
- [5] J. J. Beard. (2020, May) KiPlot kicad pcbs plotter. [Online]. Available: <https://github.com/johnbeard/kiplot>
- [6] J. J. Beard and S. E. Tropea. (2020, May) KiPlot kicad pcbs plotter (fork). [Online]. Available: <https://github.com/INTI-CMNB/kiplot>
- [7] (2020, May) YAML ain't markup language. [Online]. Available: <https://yaml.org/>
- [8] (2020, May) KiBoM: Configurable BoM generation tool for KiCad EDA. [Online]. Available: <https://github.com/SchrodingersGat/KiBoM>
- [9] (2020, May) KiBoM: Configurable BoM generation tool for KiCad EDA (fork). [Online]. Available: <https://github.com/INTI-CMNB/KiBoM>
- [10] (2020, May) Digi-key distribuidor de componentes electrónicos. [Online]. Available: <https://www.digikey.com/es>
- [11] (2020, May) Interactive HTML BOM plugin for KiCad. [Online]. Available: <https://github.com/openscopeproject/InteractiveHtmlBom>
- [12] (2020, May) Interactive HTML BOM plugin for KiCad. [Online]. Available: <https://github.com/INTI-CMNB/InteractiveHtmlBom>
- [13] J. Vincent. (2020, May) Automating fab. outputs with kicad and git. [Online]. Available: <https://youtu.be/NZCyk3rmmGQ>
- [14] S. Stas and J. Vincent. (2020, May) Kicad automation scripts: A bunch of scripts to automate kicad processes. [Online]. Available: <https://github.com/obra/kicad-automation-scripts>
- [15] J. V. Seppe Stas and S. E. Tropea. (2020, May) Kicad automation scripts: A bunch of scripts to automate kicad processes (fork). [Online]. Available: <https://github.com/INTI-CMNB/kicad-automation-scripts>
- [16] A. Shmakov. (2020, May) Pcbops: Applying ci/cd to pcb design projects. [Online]. Available: <https://youtu.be/cQ-iFtBBwFc>
- [17] A. Mahpour. (2020, May) Continuous integration and deployment in ecad. [Online]. Available: <https://resources.altium.com/p/continuous-integration-and-deployment-in-ecad>
- [18] S. E. Tropea. (2020, May) Docker image for KiCad on Debian. [Online]. Available: https://hub.docker.com/repository/docker/setsoft/kicad_debian
- [19] ——. (2020, May) Docker image for KiCad on Debian. [Online]. Available: https://github.com/INTI-CMNB/kicad_debian/
- [20] ——. (2020, May) Docker image for KiCad automation. [Online]. Available: https://hub.docker.com/repository/docker/setsoft/kicad_auto
- [21] ——. (2020, May) Docker image for KiCad automation. [Online]. Available: https://github.com/INTI-CMNB/kicad_auto/
- [22] ——. (2020, May) Test for continuous integration using kicad (github). [Online]. Available: https://github.com/INTI-CMNB/kicad_ci_test
- [23] ——. (2020, May) Test for continuous integration using kicad (gitlab). [Online]. Available: <https://gitlab.com/set-soft/kicad-ci-test>
- [24] ——. (2020, May) Test for continuous integration using kicad applied to spora. [Online]. Available: <https://gitlab.com/set-soft/kicad-ci-test-spora>
- [25] (2020, May) Spora, small wearable open hardware design. [Online]. Available: <https://github.com/INTI-CMNB/spora>

Diseño conceptual de un sistema embebido para seguimiento de ubicación y alerta en caso de riesgo

1st Luis Alberto Fernández Valdovinos
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201611215@tese.edu.mx

2nd Julio Cesar Rocha López
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201611122@tese.edu.mx

3rd Viridiana Vega Muñoz
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201610960@tese.edu.mx

4th Derlis Hernández Lara
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dderlis-lara@tese.edu.mx

5th Malinali Marina Pérez Sánchez
Ingeniería Robótica Industrial
Instituto Politécnico Nacional
ESIME Azcapotzalco
CDMX
malinali_mps@hotmail.com

6th Deyry Jazmín Téllez Torres
Ingeniería Robótica Industrial
Instituto Politécnico Nacional
ESIME Azcapotzalco
CDMX
jazmiin.tellez@gmail.com

Resumen— La situación en ámbito de seguridad en México es alarmante, por lo cual se propone aportar a la sociedad mexicana con la implementación de un sistema embebido que funciona basado en un dispositivo electrónico, innovador, práctico y discreto, que puede ser utilizado de manera eficiente por la población en general. Se diseñó un sistema que funciona como señal de alerta, apoyándose del uso de GPS (del inglés, *Global Positioning System*), que es un sistema de navegación basado en satélites, con el fin de obtener el rastreo y localización en tiempo real. Dicho sistema recibe información, la procesa y posteriormente la envía a la nube, este muestra la ubicación exacta y la posibilidad de mandar mensajes de auxilio a determinados contactos de confianza del usuario. Se consideró viable utilizar la metodología pensando en diseño (DT del inglés *Design Thinking*), debido a que construye un punto de vista basado en las necesidades y percepciones de los usuarios, y está relacionada principalmente con la idealización de estos.

Términos indexados— Ubicación en tiempo real, GPS, sistema embebido, alertas de auxilio.

I. INTRODUCCIÓN

En abril de 2019 hubo en México 117 casos de secuestro que implicaron a un total de 141 víctimas. Un mes después, en mayo, se registraron en el país 145 secuestros, con un total de 171 víctimas. El delito de secuestro en México se incrementó 36.5 por ciento en los primeros cinco meses de 2019, respecto al mismo periodo del año anterior, informó la asociación Alto al Secuestro [1].

Un sistema embebido es un sistema electrónico diseñado específicamente para realizar una determinada función, habitualmente formando parte de un sistema de mayor entidad. La característica principal es que emplea para ello un procesador digital (CPU) en formato microprocesador, microcontrolador o un procesador digital de señales (DSP del inglés *Digital Signal Processor*), lo que le permite aportar «inteligencia» al sistema anfitrión al que ayuda a gobernar y del que forma parte [2].

El proceso de *diseño conceptual* consiste esencialmente en obtener una solución a un problema de diseño particular a partir de las especificaciones, requisitos y necesidades planteadas, mientras que la fase de *diseño a detalle* corresponde a la generación de todas las especificaciones necesarias para la producción del producto-solución [3].

II. METODOLOGÍA

Para este proyecto se siguió una estructura básica de la metodología *Design Thinking*, enfocándose en las tres primeras etapas por ser las que tienen información crítica para el éxito de la implementación, el proceso general de esta metodología se muestra en la Fig. 1 [4]

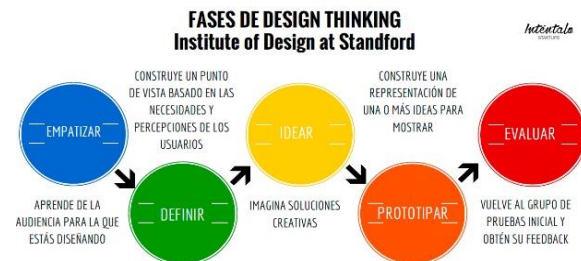


Fig. 1. Fases de la metodología *Design Thinking* [5].

Necesidad: Contar con una herramienta que ayude a conocer la ubicación y alertar en caso de riesgo a familiares y personas cercanas a la ubicación.

Objetivo: Diseñar un sistema de seguimiento por medio de GPS que pueda monitorear a los ciudadanos de manera efectiva y alerte en caso de entrar a zonas de “riesgo”.

Definición del problema: El problema de la inseguridad en México va en aumento, las desapariciones y secuestros son un grave problema que requiere atención urgente en cualquier parte del país.

Justificación: La importancia de este proyecto es aportar herramientas a los ciudadanos basadas en las nuevas tecnologías, las cuales fomenten al desarrollo del país. Este sistema será de utilidad gracias a sus características de fácil uso y transporte en el cuerpo para poder enviar señales de auxilio. En la Fig. 2 se puede apreciar el funcionamiento general del sistema propuesto.

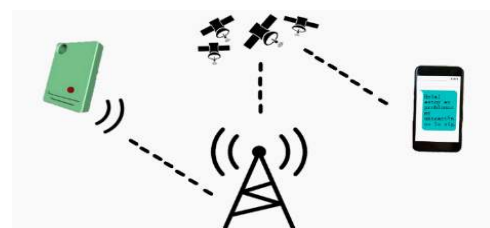


Fig. 2. Esquema general de funcionamiento del sistema propuesto.

III. IMPLEMENTACIÓN Y RESULTADOS

Después de haber seguido la metodología propuesta se llegó a un diseño funcional, la lógica de funcionamiento del sistema a diseñar se muestra en el diagrama de flujo de la Fig. 3. Mientras que, en la Fig. 4 se aprecia el diagrama de conexión y simulación de los diferentes componentes que integran al sistema, como los módulos GPS, GSM y el microcontrolador Arduino nano. Además, se representa el diseño de la aplicación para dispositivos móviles que se utilizará en el sistema, para que las personas puedan ver la ubicación enviada, así como el diseño 3D del gabinete en la Fig. 5.

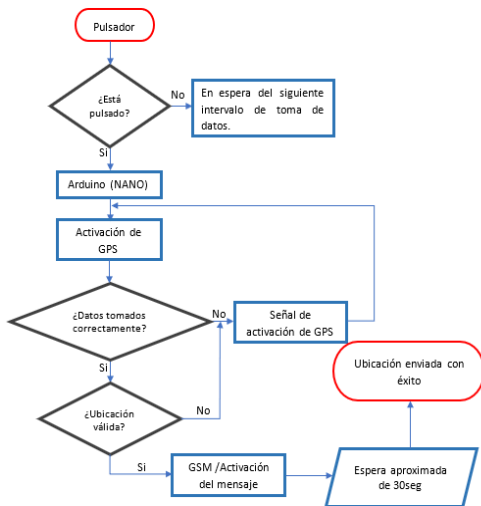


Fig. 3. Diagrama de flujo para el funcionamiento del sistema propuesto.

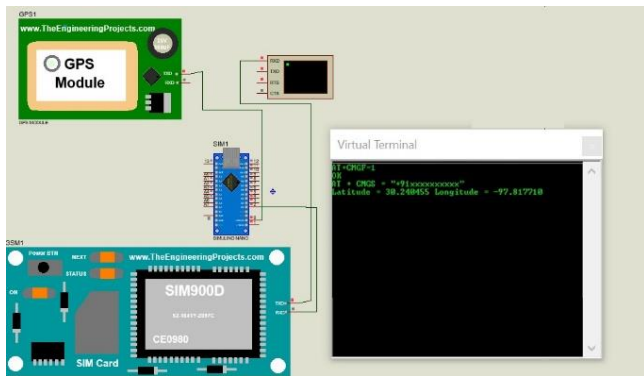


Fig. 4. Esquemático de conexión y simulación del sistema propuesto.



Fig. 5. Interfaz de la App y diseño 3D del gabinete del sistema.

El botón de «ir al mapa» permite visualizar el mapa en un estilo satelital, con el fin de obtener detalles adicionales sobre la ubicación durante una emergencia. En la Fig. 6 se observa

en el mapa la ubicación actual en vista satelital. Se puede acercar la imagen «pinchando» en la pantalla, además permite navegar sobre el mapa de forma libre, siempre se mostrarán detalles de las calles y varios establecimientos si dicha información se encuentra en la base de datos de Google Maps.



Fig. 6. Ubicaciones detectadas en el mapa y vista satelital.

Para determinar la precisión del GPS, se realizaron 35 pruebas tomando en cuenta los valores obtenidos de latitud y longitud. Las gráficas que se presentan en la Fig. 7 muestran una ligera variación entre pruebas. En latitud hay un margen de error de 3.13% y en longitud hay un margen de error de 0.77%. Las diferencias de este tipo suelen esperarse en los sistemas con GPS, ya que, dependiendo de las interferencias, señal de satélites o potencia de recepción, la precisión tendrá cierto margen de error.

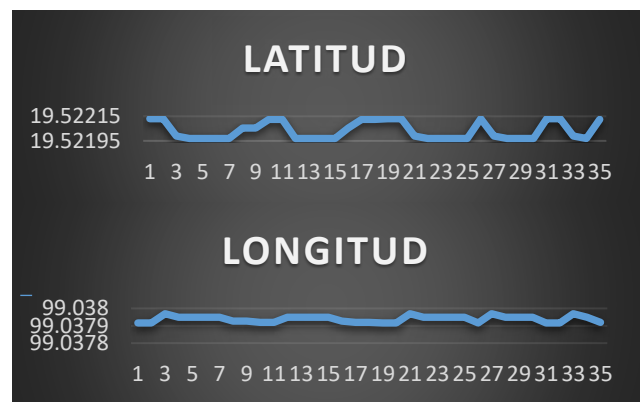


Fig. 7. Gráficas que muestran el error en las mediciones del GPS.

IV. CONCLUSIONES

Se diseñó un dispositivo de bajo costo basado en un microcontrolador, para el seguimiento en tiempo real de ubicación en caso de emergencia. El sistema desarrollado permite el almacenamiento de las coordenadas adquiridas con fines de consulta, lo que provee valiosa información en caso de situación crítica. En el futuro inmediato se enfocará el trabajo en la mejora de varios aspectos del diseño final del dispositivo, con el fin de obtener distintos modelos que puedan ser portados y ocultados de distintas formas. Posteriores diseños podrían considerar la inclusión de funciones nuevas, como la grabación de audio de los alrededores durante la localización. El uso de la metodología *Design Thinking* fue de mucha ayuda para obtener un diseño funcional, innovador y competitivo.

V. REFERENCIAS

- [1] J. A. Ortega, El secuestro en México, México: Planeta, 2008, p. 241.
- [2] E. Alcalde Lancharro, F. Ormaechea Sahuquillo, J. Portillo García and F. García Merayo, Arquitectura de computadoras, Madrid: McGraw-Hill, 1998.
- [3] D. Hernández Lara, Á. D. Barrera Gracías, M. A. Benítez Mora and J. Álvares López, "Conceptual design of electronic storage device and counting coins," in *8vo Congreso Internacional de Ingeniería Electromecánica y de Sistemas (CIES 2016)*, CDMX, 2106.
- [4] M. S. Ortega, Design Thinking. Lidera el Presente. Crea el Futuro, CDMX: Alfaomega, 2013, p. 160.
- [5] J. A. Mejía López, O. A. Ruiz Guzmán, L. N. Gaviria Ocampo and C. P. Ruiz Guzmán, "Aplicación de metodología design thinking en el desarrollo de cortadora automática CNC para MiPyME de confección," *Revista UIS Ingenierías*, vol. 18, no. 3, pp. 157-168, 2019.

datos obtenidos por los mismos. Entre las tareas asignadas, obtiene el número de patente del vehículo que ingresa o egresa y gestiona la base de datos local donde se guarda la información y características de cada vehículo estacionado. La placa principal del sistema concentra todos los periféricos de la zona de ingreso/egreso, menos las cámaras, y se comunica con la UCC mediante WiFi.

En cuanto al funcionamiento, el sistema detecta un vehículo que desea ingresar mediante un detector magnético adquirido ubicado en el suelo bajo el pavimento. Esto activa la obtención de la patente a través del análisis de video de las cámaras IP. La patente es buscada en la base de datos para ver si el cliente es abonado y, en caso de no ser encontrada se crea un perfil para el vehículo. Al mismo tiempo se determina el tamaño del vehículo y se lo añade al perfil, con el objetivo de determinar la tarifa a cobrar, generándose el ticket correspondiente. Una vez que el usuario retira el ticket se levanta la barrera y se permite el acceso. Si el usuario es abonado, no se entrega el ticket y se levanta la barrera. En forma similar al ingreso, el sistema de egreso comienza con la detección de un vehículo que desea retirarse, luego de lo cual se obtiene la patente con el fin de determinar si la tarifa ya fue pagada consultando a la base de datos. Realizado el pago, se levanta la barrera y se permite el egreso. Todo esto realizado en forma automatizada salvo el cobro del dinero que lo recibe un operario e indica en la base de datos a través de una interfaz del sistema, que ya fue efectuado el pago para permitir el egreso.

III. PROTOTIPO FINAL Y RESULTADOS

A. Placa Principal del Sistema PPS y Periféricos

Se diseñó y construyó la Placa Principal del Sistema (PPS), encargada de controlar los equipos que se ubican en las zonas de ingreso y egreso. Los componentes principales que la integran son el microcontrolador ATmega328P y el módulo de comunicación WiFi ESP-01 que junto con un router permiten la comunicación con la UCC en la cabina a pocos metros de distancia (podría incorporarse un repetidor de señal de ser necesario). El microcontrolador se encarga del sensado del estado de los periféricos y la distribución de las tareas a realizar, el control del encendido del módulo WiFi y la muestra de señales luminosas de alarma en caso de fallas [3]. La Fig. 2 muestra la PPS.

Se implementó un sistema para determinar, en base a su longitud, la categoría del vehículo y la correspondiente tarifa. Consiste en un arreglo de 3 barreras infrarrojas dispuestas a 2.5 metros de distancia entre sí de forma tal de determinar la categoría en función de cuántas barreras son activadas por el vehículo cuando éste está frente a la barrera de ingreso. Las barreras utilizadas tienen un alcance ≤ 15 m. Cada equipo transmisor y receptor permite ajustar la frecuencia de trabajo de la barrera y evitar interferencias con otras cercanas.



Fig. 2. Placa Principal del Sistema dentro de la caja del prototipo final.

B. UCC, ALPR y Base de Datos

La Unidad Central de Control (UCC) se implementó en una PC y es la encargada del procesamiento de las imágenes, el reconocimiento de matrículas y el almacenamiento de los datos de los clientes. En ella se ejecuta el módulo principal del sistema encargado de la sincronización de procesos. Para la etapa de reconocimiento de patentes se implementó un sistema ALPR (*Automatic License Plate Recognition*) [4] basado en el software libre de código abierto OpenALPR [5] bajo Linux. Este software utiliza el motor de OCR Tesseract [6]. Se ajustó el sistema para el reconocimiento de patentes argentinas vigentes en los formatos antiguo y Mercosur [7] para distintos tipos de vehículo como camionetas, autos y motocicletas. Cada cámara captura video en forma permanente y está asociada a una cola de trabajos que contiene las patentes reconocidas en tiempo real. La UCC se encarga de determinar qué patentes analizar cuando el detector magnético indica la presencia de un vehículo. Se han probado escenarios diurnos y nocturnos con diferentes distancias y ángulos entre la patente y la cámara. Los resultados fueron satisfactorios, logrando tasas de reconocimiento del 96% para el caso de automóviles y entre 90 y 100% en el caso de las motocicletas. La base de datos lleva registro de los clientes abonados que pagan mensualmente, los vehículos estacionados en un momento dado, y el histórico de los vehículos estacionados incluyendo fecha y hora de ingreso y egreso. Para la implementación se utilizó MySQL [8].

C. Sincronización de procesos

El prototipo final se completa con la sincronización de procesos que puedan ocurrir en simultáneo como lo es el ingreso/egreso de vehículos. Esto se implementó en el framework YAKINDU Statechart Tools [9] bajo licencia académica, utilizando máquinas de estado conformadas por diagramas UML y desarrollando los códigos en lenguaje C++ distribuidos en la UCC, PPS y módulo WiFi (en este último modificando firmware original y uso de librería pública [10]), permitiendo el entrelazamiento de operaciones para implementar la multi-programación. La fase de conexión UCC-PPS-WiFi inicia el sistema quedando luego listo para operar en forma continua. En caso de fallo, el sistema informa por pantalla. El sistema contempla situaciones de excepción, como por ejemplo la

asignación de un identificador para patentes dañadas, lectura no concordante de la misma patente en el ingreso y egreso.

IV. CONCLUSIONES Y TRABAJOS FUTUROS

Se ha presentado un prototipo para un sistema automatizado de estacionamientos para patentes argentinas desarrollado para una empresa local, que ha funcionado satisfactoriamente. El prototipo es fácilmente adaptable a variantes de estacionamiento, permite bajar costos de desarrollo y mantenimiento. A futuro, se implementarán técnicas para seguridad en las comunicaciones, manejo automatizado de fallos de dispositivos y se sumará la automatización total del cobro de la estadía y la administración inteligente del espacio.

REFERENCIAS

- [1] M. Osorio, "La flota circulante de Argentina creció 30% en 6 años" (2018) [Online] Available: www.carsdrive.com.ar/noticias/novedades/la-flota-circulante-de-argentina-crecio-30-en-6-anos/.
- [2] KinouWell, "Off Street Parking Solutions" (2020) [Online] Available: www.kinouwellparking.com/solutions/off-street-parking-system/.
- [3] ATmega328P (2020) [Online] Available: <http://ww1.microchip.com/downloads/en/DeviceDoc/ATmega48A-PA-88A-PA-168A-PA-328-P-DS-DS40002061A.pdf>
- [4] A. Agbemenu, J. Yankey and E. Addo, "An Automatic Number Plate Recognition System using OpenCV and Tesseract OCR Engine", International Journal of Computer Applications, vol. 180, pp. 1–5, 2018.
- [5] OpenALPR Documentation (2020) [Online] Available: <http://doc.openalpr.com/index.html>.
- [6] R. Smith, "An Overview of the Tesseract OCR Engine", Proc. Ninth Int. Conference on Document Analysis and Recognition (ICDAR), Parana, Brazil, pp. 629–633, 2007.
- [7] MERCOSUR Consejo del Mercado Común (CMC), "Res-33-14-Reglamentación Patente Única del MERCOSUR", pp. 3–4, 2014.
- [8] Oracle, "MySQL: The Most Popular Open Source Database" (2020) [Online] Available: www.oracle.com/us/products/mysql/overview/index.htm.
- [9] YAKINDU Statechart Tools, "Use the Power of State Machines", (2020) [Online] Available: www.itemis.com/en/yakindu/state-machine/.
- [10] ESP8266WiFi.h Arduino free library. [Online] Available: github.com/esp8266/Arduino/blob/master/libraries/ESP8266WiFi/src/ESP8266WiFi.h.

Analizador Remoto de Redes Eléctricas

Gabriel Caballero, Bruno Sasschetti, Tomás Suarez, Nicolás Mercado

Técnicas Digitales II - Dpto. de Electrónica

Universidad Tecnológica Nacional - Facultad Regional Mendoza - Argentina

gabrielcaballero14, bruno.sasschetti, tomas.suarez.utn, nicolasmercado@gmail.com

Resumen—Se desarrolló un Analizador de Redes monofásico que permite acceder a sus lecturas de manera remota, permitiendo observar a través de internet, o de manera local, el estado de los parámetros de energía.

Index Terms—monofásico, wifi, redes, analizador, remoto

I. INTRODUCCIÓN

Los armónicos eran algo ignorado hace 40 años debido a que la electrónica no formaba parte de las máquinas de potencia, no habían sido estudiados en profundidad y se desconocía su impacto real. Con el pasar de los años la electrónica de potencia fue aumentando y hoy en día es lo más comúnmente utilizado en la industria. Ya que para obtener grandes corrientes realiza aumentos en la frecuencia de trabajo, esto deforma la señal fundamental de la línea y genera armónicos [14]. Actualmente la mayoría de las empresas de distribución de energía en Argentina no realizan controles sobre las pérdidas de energía que generan los armónicos en la línea. Si bien el Ente Nacional Regulador de la Electricidad (ENRE) dispuso procedimientos para el control y sanción de estas pérdidas [1], su aplicación queda en manos de las empresas de distribución, la mayoría de las cuales solo determinan pérdidas de potencia con respecto al coseno de Phi, sin tener en cuenta las pérdidas por distorsiones armónicas.

El propósito del analizador de redes es detectar y realizar un informe detallado de aquellas deformaciones para que las líneas de alimentación no sufran efectos indeseados. Una vez detectados los armónicos en las líneas se pueden tomar medidas para asegurar calidad de energía tanto en los hogares como en la industria.

Se desarrolló un dispositivo capaz de medir señales eléctricas de una instalación monofásica, incluyendo armónicos hasta el décimo orden (500 Hz), y obtener diversos parámetros eléctricos para luego ser visualizados por un usuario a través de una pantalla remota, ya sea de forma local utilizando un dispositivo conectado a la misma red, o a través de internet. Al procesar la señal en un servidor con gran capacidad computacional, se abarata el costo del sistema embebido como tal, y se puede destinar toda su capacidad de procesamiento a la obtención de una mayor resolución.

II. DISPOSITIVO DE MEDICIÓN

II-A. Sistema general

Desde un punto de vista general, el sistema puede dividirse en tres grandes bloques: El analizador de redes propiamente dicho, el servidor y el usuario, que se interconectan como lo muestra la Fig. 1. El analizador de redes será el encargado de tomar los datos de la línea eléctrica y enviarlos por internet al servidor. Este a su vez los procesará y los dispondrá en una página web que podrá ser accesible por el usuario a través de su dispositivo conectado a internet. Si los tres bloques se

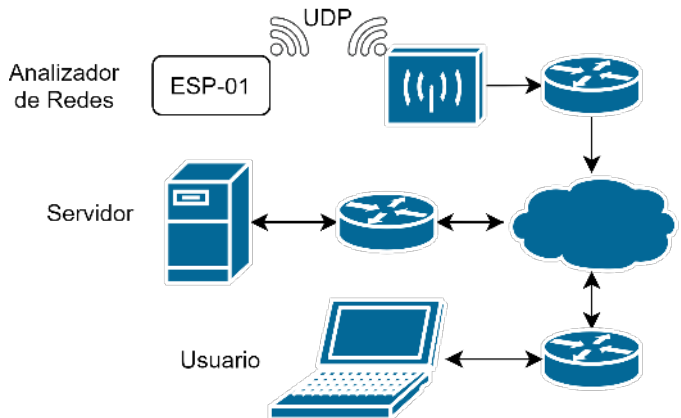


Figura 1. Diagrama de bloques de conexión Analizador-Servidor-Cliente [10].

encuentran dentro de una misma red local, no será necesaria una conexión a internet, ya que la misma red se encargará de transportar los datos a su correspondiente destino.

II-B. Hardware

Como se muestra en la Fig. 2, el dispositivo central para la medición es el microcontrolador Arduino DUE [2], al cual ingresan las señales de corriente y tensión por sus entradas analógicas. Para medir la tensión se utilizó un transformador de voltaje de 220 V a 5 V y 500 Hz de ancho de banda para evitar filtrar armónicos, esto también provee un aislamiento galvánico entre la alta tensión y el circuito electrónico. Para medir la corriente se utilizó el transformador de intensidad STC-013 [3], el cual entrega una señal alterna proporcional a la corriente que circula a través de su bobina primaria (pinza). Ambas señales luego pasan por un circuito acondicionador propio, compuesto en su mayoría por ramas resistivas. Estos tienen la finalidad de acondicionar la señal de salida de los transformadores y hacerla apta para las entradas analógicas del Arduino. El funcionamiento principal se basa en crear una señal continua de 2.5 V, justo a la mitad de la máxima señal de entrada del microcontrolador, y montarle la señal alterna a medir, de esta forma la señal de entrada siempre será positiva. El circuito acondicionador de tensión se muestra en la Fig. 3, para el caso de la corriente el esquema es similar.

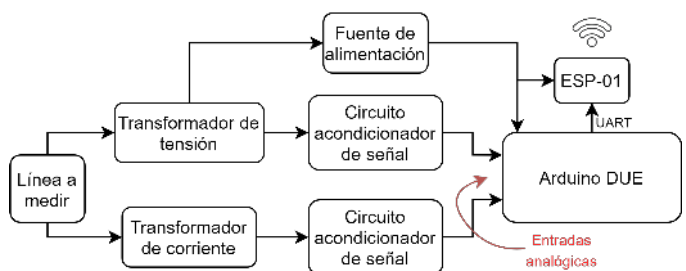


Figura 2. Diagrama de bloques del hardware.

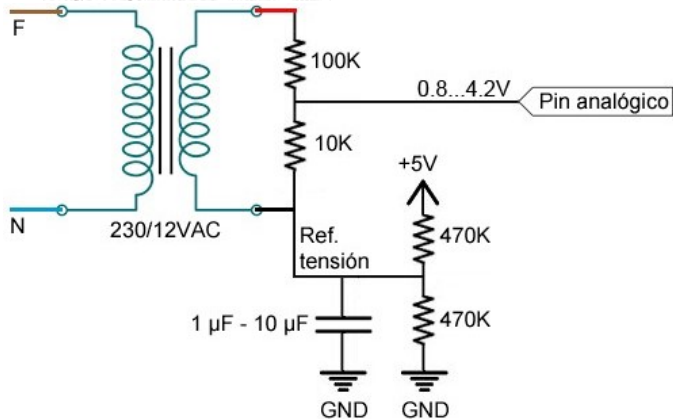


Figura 3. Circuito acondicionador de señal de tensión.

Luego de captar las señales y realizar un pre-procesamiento de los datos, el microcontrolador los envía por puerto serie al módulo Wi-Fi ESP-01 [4] utilizando un protocolo establecido para ordenar la información. De esta manera, el módulo recibe los datos y los transmite, por medio de la red Wi-Fi e Internet, al servidor donde corre la aplicación que recibe, almacena y procesa la información.

II-C. Software Embebido

La programación del Arduino se realizó en lenguaje C [6] utilizando el IDE Atmel Studio [5]. Como se muestra en la Fig. 4 la señal ingresa al CAD del microcontrolador. Este posee solo un conversor, pero utilizando multiplexado se logran las dos entradas. Las mediciones se realizan en la frecuencia que marca el reloj, programado por la CPU en base a la frecuencia de un oscilador PLL a cristal externo para asegurar mayor estabilidad y precisión. La frecuencia del reloj se estableció en 2 KHz, lo que permite obtener el muestreo de una señal de hasta 1 KHz según el teorema de Nyquist-Shannon [7]. Teniendo en cuenta una frecuencia fundamental de 50 Hz, con este muestreo se logra medir hasta el armónico 20°, más que suficiente para la finalidad de este dispositivo que plantea medir hasta el 10° armónico. El conversor analógico digital guarda en la memoria RAM las mediciones realizadas, luego la CPU envía esos datos por puerto serie al módulo Wi-Fi, ordenados en paquetes para que el dispositivo destino entienda los datos que recibe. Estos paquetes se forman de la siguiente manera: 4 bytes de marca de tiempo, 2 bytes de tensión, 2 bytes de corriente, 2 bytes de tensión, 2 bytes de corriente, y así sucesivamente hasta los 2 KB máximos de capacidad del buffer del módulo Wi-Fi, para luego comenzar el siguiente paquete.

III. IMPLEMENTACIÓN

III-A. Comunicación y procesamiento

Como se muestra en la Fig. 1 el módulo ESP-01 deberá estar conectado a una red Wi-Fi con acceso a internet. Para esto se lo programa a través de puerto serie utilizando el IDE de Arduino [8] o cualquier otro programa que permita programar en lenguaje C. El módulo encapsula la información en paquetes UDP y los envía al servidor en la nube. Este tipo de paquetes mejora la velocidad de la transmisión respecto TCP y permite lograr un tiempo real en la comunicación [9]. Si la red no cuenta con acceso a internet, solo se podrán visualizar los datos conectando el dispositivo del usuario a la misma red local.

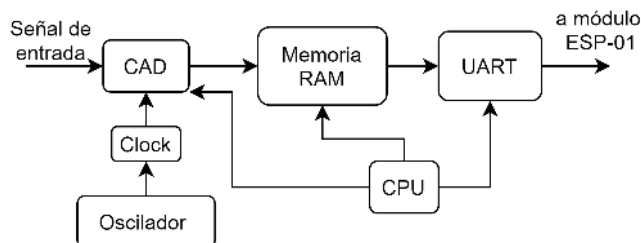


Figura 4. Diagrama de bloques del software del Arduino DUE.

En el servidor, un programa realizado en lenguaje Python [11] procesa la información recibida aplicando algoritmos para extraer características de las señales, y otro programa, realizado en lenguaje C++ [12], genera tablas y gráficos correspondientes a las mediciones reales, que pueden ser consultados por un usuario conectado desde otro terminal a través de internet o por red local. Para conocer los métodos de cálculo utilizados se recomienda el libro La amenaza de los Armónicos y sus Soluciones [13].

La interfaz de usuario se observa en la Fig. 5. Esta se obtuvo al realizar una medición en la entrada de una fuente de alimentación conmutada. Se puede observar la alta distorsión producida en la corriente.

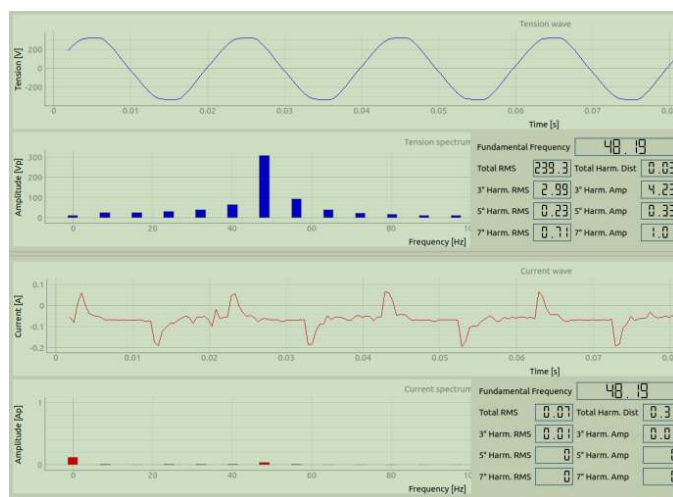


Figura 5. Interfaz de presentación del analizador de redes.

III-B. Conclusiones

El error total de medición está determinado en gran parte por los transformadores de tensión e intensidad, presentando estos un ciclo de histéresis. En el caso de los elementos utilizados en el desarrollo del presente proyecto, el error de los transformadores puede alcanzar un máximo del 1% según sus hojas de datos. Sin embargo, la metodología planteada ofrece la posibilidad de utilizar distinto hardware a la hora de medir las señales, ya que el procesamiento se realiza en el servidor. Según la precisión que se requiera se podrá optar por hardware más o menos sofisticado.

AGRADECIMIENTOS

El presente trabajo se realizó como proyecto final de las cátedras Técnicas Digitales II y Medidas Electrónicas I de la Carrera Ingeniería Electrónica de la UTN FRM. Se agradece la colaboración y asistencia técnica de los profesores Gustavo Mercado, Jorge Abraham y Cristian Pérez Monte.

REFERENCIAS

- [1] Ente Nacional Regulador de la Electricidad (Argentina) Resolución ENRE 0099/1997. Boletín Oficial n° 28.583, martes 11 de febrero de 1997, p. 77.
- [2] Especificaciones técnicas Arduino DUE. Lugar de publicación: Tienda de Arduino. Recuperado de <https://store.arduino.cc/usa/duo>
- [3] Reporte de propiedades técnicas transformador de corriente STC-013. Lugar de publicación: Openenergymonitor. Recuperado de: <https://learn.openenergymonitor.org/electricity-monitoring/ct-sensors/files/YhdcCTReportIss6.pdf>
- [4] Especificaciones técnicas módulo Wi-Fi ESP-01. Lugar de publicación: Naylamp Mechatronics. Recuperado de: <https://naylampmechatronics.com/inalambrico/48-modulo-wifi-serial-esp-01-esp8266.html>
- [5] Software Atmel Studio 7. Lugar de publicación: Microchip. Recuperado de: <https://www.microchip.com/mplab/avr-support/atmel-studio-7>
- [6] Lenguaje C. Lugar de publicación: estándar ISO/IEC 9899. Recuperado de: <http://www.open-std.org/jtc1/sc22/wg14/www/standards>
- [7] Teorema de Nyquist-Shannon. Lugar de publicación: Wikipedia. Recuperado de: https://es.wikipedia.org/wiki/Teorema_de_muestreo_de_Nyquist-Shannon
- [8] Arduino IDE. Lugar de publicación: Arduino. Recuperado de: <https://www.arduino.cc/en/main/software>
- [9] Ventajas UDP sobre TCP. Lugar de publicación: Stack Overrun. Recuperado de: <https://stackoverflow.com/es/q/5094450>
- [10] Diagrama realizado en draw.io utilizando el paquete de imágenes de Cisco.
- [11] Lenguaje Python. Lugar de publicación: Python. Recuperado de: <https://www.python.org/>
- [12] Lenguaje C++. Lugar de publicación: estándar ISO/IEC 14882:2017. Recuperado de: <https://www.iso.org/standard/68564.html>
- [13] Ángel Alberto Pérez Miguel, 1999, La Amenaza de los Armónicos y sus Soluciones
- [14] J. Arrillaga, L. I. Eguíluz, 1994, Armónicos en Sistemas de Potencia

Categoría

FORO TECNOLÓGICO

Protocolos y comunicaciones

Área Temática

Sistema embebido para el monitoreo y gestión de animales utilizando RFID

1^o Ismael Manuel Fernandez

Universidad Nacional de Río Negro. Universidad Nacional de Río Negro. Universidad Nacional de Río Negro - CONICET.
Bariloche, Argentina

fernandez.ismael.manuel@gmail.com

2^{do} Jorge Cogo

Bariloche, Argentina

jcogo@unrn.edu.ar

3^{ra} Mónica Denham

Bariloche, Argentina

mdenham@unrn.edu.ar

Resumen—Este trabajo presenta el diseño e implementación de un sistema embebido que permite la individualización e identificación de animales domésticos y su titular responsable. El *interrogador* implementado consiste en una estación base de baja frecuencia que permite obtener un número único propio del *transpondedor* que se instala subcutáneamente en el animal. Accediendo a una base de datos con el código leído se obtienen los registros que caracterizan a la mascota y su titular.

Palabras Clave—RFID, FDX-B, Identificación Animal.

I. INTRODUCCIÓN

Diseñamos un sistema para la identificación de animales el cual se basó en un lector RFID (identificación por radiofrecuencia) y un software para la gestión de la información asociada a estos animales y sus titulares.

En un sistema RFID intervienen una etiqueta o *transpondedor*, poseedor de un código particular, y un *interrogador* capaz de captar e interpretar dicho código a través de señales de radiofrecuencia (RF). Estos sistemas son ampliamente utilizados en aplicaciones de control de acceso, catalogado de productos, autenticación para arranque de automotores, identificación animal, entre otras [1].

El diseño de aplicaciones RFID se rige por normas ISO de estandarización. Las pertinentes para este trabajo son la ISO 11784 [2] e ISO 11785 [3]. La norma ISO 11784 especifica la estructura de datos del telegrama a transmitir conteniendo la información de identificación. La misma consiste en 64 bits estructurados como se muestra en la Fig. 1.

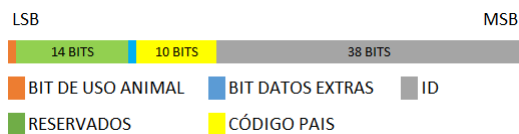


Fig. 1. Telegrama de datos de identificación según ISO 11784.

La norma ISO 11785 se centra en los conceptos técnicos para la comunicación entre etiquetas e interrogador. Define el uso de etiquetas pasivas con frecuencia de portadora de 134,2 kHz y establece como base los sistemas HDX (*half duplex*) y FDX (*full duplex*).

El trabajo de J. Cogo y M. Denham está financiado por la Universidad Nacional de Río Negro. El trabajo de M. Denham está además financiado por el Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET).

En la utilización del sistema HDX el interrogador entrega energía a la etiqueta mediante una onda de RF durante un intervalo de carga, transcurrido el cual, deja de emitir, le indica que comience a transmitir y se dispone a escucharla. Este sistema es utilizado mayormente en ganado y otros animales rurales [4].

En un sistema FDX la etiqueta transmite su señal al mismo tiempo que recibe energía del interrogador. La norma ISO 11785 establece la utilización del protocolo FDX-B para las etiquetas de uso animal en el que se modula en amplitud la portadora a razón de 32 ciclos por bit y se transmite mediante un sistema de codificación bifase diferencial (DBP) [5].



Fig. 2. Telegrama según ISO 11785 FDX-B.

Cada telegrama ISO 11785 FDX-B consta de 128 bits, con una estructura como la que se muestra en la Fig. 2: 11 bits de cabecera, consistentes en un "1" seguido por diez "0"; ocho bytes que componen el telegrama ISO 11784, dos bytes de redundancia cíclica y 3 bytes de relleno; estando además cada uno de estos 13 bytes precedido por un "1" indicando su comienzo. El primer bit enviado es el bit menos significativo (LSB) y para el control de errores se utiliza el sistema CRC-16-CCITT [6] inverso con un polinomio generador 0x8408 y un registro de inicio de CRC de 0x0000. El protocolo FDX-B es utilizado mayormente en etiquetas para animales domésticos [4] y es en el cual se basa el diseño del interrogador desarrollado en este trabajo.

II. IMPLEMENTACIÓN DEL INTERROGADOR

A. Consideraciones generales

La Fig. 3 expone el diagrama de bloques del lector diseñado. Uno de los bloques principales del diseño consiste en el demodulador, encargado de interpretar el telegrama recibido. Dado que no es sencillo conseguir en el mercado un módulo que trabaje a la frecuencia de 134,2 kHz, optamos por utilizar el circuito integrado EM4095 como *front-end* de lectura de RF e implementamos la decodificación por software en un microcontrolador. Como microcontrolador seleccionamos el

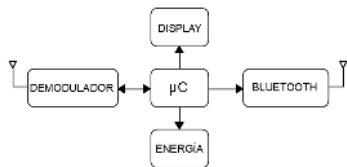


Fig. 3. Diagrama de bloques del lector.

328-P del fabricante ATMEL, más precisamente, para el prototipo, utilizamos una placa de desarrollo “Arduino Nano”. Para la presentación al usuario del código leído, se incluyó un display tipo OLED (diodo orgánico emisor de luz) de 0,96”, mientras que para la transmisión de este código a un dispositivo externo (PC) se utilizó la placa bluetooth HC-05. Finalmente, el bloque de energía se compuso con una batería recargable 18650, un módulo cargador con entrada micro USB y un elevador boost con salida de 5 voltios. Todas las decisiones de diseño responden a la premisa de obtener un prototipo portátil, compacto y de bajo costo.

B. Implementación del Demodulador RFID

El CI (circuito integrado) EM4095 [7] es un circuito *front-end* de baja frecuencia capaz de trabajar con portadoras de 100 kHz a 150 kHz. Componentes externos definen el filtrado de la señal y la frecuencia de trabajo. Gracias a un PLL (lazo seguidor de fase) interno la frecuencia de trabajo puede fijarse como la resonante de un tanque LC (inductor-capacitor) formado por capacitores externos y la inductancia de la antena.

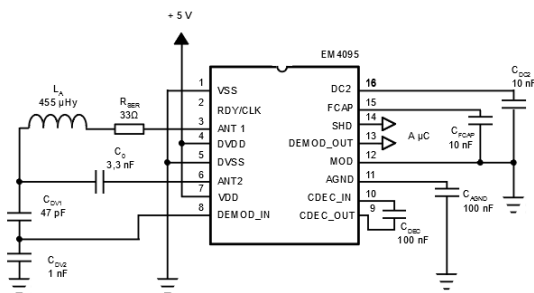


Fig. 4. Circuito demodulador 134 kHz.

En el diagrama de la Fig. 4 podemos observar los valores de los componentes calculados según las fórmulas y recomendaciones de la hoja de datos del fabricante del CI.

C. Implementación del Decodificador

Para obtener la señal de salida del EM4095, DEMOD_OUT, utilizamos una interrupción externa del microcontrolador, que se activa ante los cambios de estado de esta señal. En codificación bifase diferencial si a la mitad del tiempo de símbolo tenemos una transición de alto a bajo obtenemos un símbolo “0”. Ante la ausencia de transición de señal durante un tiempo de símbolo, obtenemos un “1”. Dado que cada símbolo corresponde a 32 ciclos de una portadora de 134,2 kHz, el tiempo de símbolo es igual a 234 μs. Así, si contabilizamos más de 200 μs entre interrupciones declaramos la recepción de

un “1”, y si adquirimos dos intervalos seguidos de menos de 200 μs, obtenemos un “0”. El algoritmo de adquisición / decodificación responde a la siguiente secuencia: 1^{to} habilitamos el CI EM4095 cambiando de alto a bajo la entrada SHD del CI, 2^{do} habilitamos la interrupción externa durante 512 cambios de estado de la señal (de esta manera nos aseguramos que dentro de la trama adquirida se encuentre el telegrama según ISO 11785 completo), 3^{to} cambiamos el estado de SHD del CI, deshabilitándolo, 4^{to} deshabilitamos la interrupción externa, 5^{to} identificamos la cabecera, 6^{to} corroboramos la existencia de los bits “1” que anteceden a cada byte, 7^{mo} ejecutamos CRC, 8^{vo} si las comprobaciones fueron exitosas convertimos a base diez los códigos de PAÍS e ID obteniendo el número de 15 dígitos que representa la etiqueta leída.

D. Implementación de Software Asociado

Implementamos un software para el almacenamiento y gestión de información referente a mascotas y sus titulares. Desarrollamos una base de datos usando SQL. A fin de mantener la información centralizada y disponible para todos los usuarios, alojamos la base en un servidor remoto (www.smartasp.net). Codificamos una aplicación en Visual Basic que recibe el código leído desde el lector (via bluetooth), realiza una consulta en la base de datos para obtener los registros asociados a la etiqueta leída (como la base de datos es remota, el acceso se realiza a través de internet) y, una vez obtenidos éstos, se muestran por pantalla. Adicionalmente, se agregó la funcionalidad para que los veterinarios registrados al sistema puedan realizar altas y modificaciones en registros de la base de datos como así también acceder al historial de un animal determinado.

III. RESULTADOS Y DISCUSIÓN

Los parámetros de capacidad calculados en teoría para que el CI EM4095 trabaje a 134,2 kHz resultaron en valores de base que tuvieron que ajustarse con mediciones prácticas. La utilización del elevador de tensión boost introdujo interferencias tanto por línea como por radio, que se atenuaron con filtros de línea y el apantallamiento del boost. No obstante, las interferencias residuales provocaron falsas lecturas que filtramos estadísticamente a través de software en el microcontrolador. Dado que el código ID está compuesto por 38 bits y el registro de mayor longitud que maneja el microcontrolador es de 32 bits, se utilizó el algoritmo *double dabble* [8] para la conversión de binario a decimal. El microcontrolador quedó trabajando al límite de memoria, esto podría mejorarse optimizando los algoritmos o, por ejemplo, cambiando la tecnología del display por otra que requiera librerías menos pesadas. Teniendo en cuenta lo antedicho hemos logrado la implementación de un prototipo que adquiere lecturas confiables a una distancia de alrededor de 25 milímetros de la etiqueta y en un tiempo máximo de 2 segundos. El software de búsqueda y presentación de datos se desempeña de manera ágil y su comunicación con el lector es óptima. Considerando estos resultados estimamos que el dispositivo es apto para uso práctico.

REFERENCIAS

- [1] Albert Lozano-Nieto, "RFID Design Fundamentals and Applications", CRC Press, 2010.
- [2] International Organization for Standardization, "Radio frequency identification for animals, code structure, ISO 11784", 1996.
- [3] International Organization for Standardization, "Radio frequency identification for animals, technical concepts, ISO 11785", 1996.
- [4] Real Trace, "Interpretación de los Códigos de Chips Transpondedores Inyectados a Animales de Compañía y Caballos y NAC", enlace:<http://www.realtrace.com/page-sp/regulacion>, último acceso: junio 2020.
- [5] Uyless D. Black, "Redes de transmisión de datos y proceso distribuido", 1^{ra} edición, traducción de Eduardo Echave Sustaeta, Edición Díaz de Santos S. A. / A Prentice - Hall, pp. 208–209, 1987.
- [6] Andrew S. Tanenbaum, David J. Wetherall, "Redes de computadoras", 5^a edición, Pearson, traducción al castellano, pp. 183–186, 2008.
- [7] EM Microelectronic-Marin S.A., "EM4095 datasheet", Version 4.2, 22-Apr-13.
- [8] A.P. Godse, D.A Godse, "Digital Techniques", Tecnical Publications Pune, 2^{da} edición, pp. 4, 2008.
- [9] Br. Joseling Vanessa Sánchez Centeno, Br. Mario Rodolfo García Díaz, "Diseño e Implementación de un bastón portable lector de etiquetas RFID para la identificación del ganado y el ingreso de datos en los Sistemas de Trazabilidad Bobina que operan en Nicaragua", Universidad Nacional De Ingeniería UNI-RUSB, pp. 64–71, Agosto-2017.

Network interconnection unit for transfer of data between the agricultural machinery and the cloud

1st Natalia Iglesias

CIFASIS (CONICET-UNR)

Escuela de Electronica (FCEIA-UNR)

Rosario, Argentina

iglesias@cifasis-conicet.gov.ar

2nd Pilar Bulacio

CIFASIS (CONICET-UNR)

Escuela de LCC (FCEIA-UNR)

Rosario, Argentina

bulacio@cifasis-conicet.gov.ar

3rd Elizabeth Tapia

CIFASIS (CONICET-UNR)

Escuela de Electronica (FCEIA-UNR)

Rosario, Argentina

tapia@cifasis-conicet.gov.ar

Abstract—With the IoT advent is necessary the development of platforms that allow the eases integration of devices with the Internet. In this work, a system of ubiquitous connectivity for agricultural applications is presented. This solution arises from the requirements of agricultural standardization, ecological networks, digital agriculture services and limited telecommunications coverage. In particular, a network interconnection unit mounted on the agricultural machinery that enables the data exchange with the cloud through LoRa is developed. LoRa can offer a long-range communication solution in rural areas with little coverage of mobile communication, such as happens in South American countries.

Index Terms—Ag4.0, ISOBUS, LoRa

I. INTRODUCTION

Recently, digital technology evolution has led to a paradigm shift in the way of doing business. Since the advent of Industry 4.0, companies have to define new business strategies and tools to succeed in this new technological scenario. The interconnection and interoperability of different systems, the aggregation and analysis of data, as well as sustainable development [1], are issues that need to be considered in the development of new business strategies [2]. In this context, the technologies that cause the transformation of the agricultural machinery sector are connectivity, autonomy (machine learning) and electrification. Because they allow the digitization of the physical world, sharing and transforming the collected data into knowledge in order to carry out intelligent actions. However, it is important to note that the development of non-standardized technological interfaces is not a good long-term technology strategy [3]. Therefore, in the context of agricultural machinery, mechanical, electrical and hydraulic connections have been standardized [4] as well as electronic connections for data transfer through the ISOBUS protocol [5]. This allows systems from different manufacturers to communicate with each other. The next step is the wireless interconnection between on-board electronics on agricultural machinery and the cloud services [6].

The agricultural machinery digitization is associated with the generation and offer of new services relates to management and maintenance of the agricultural machinery such as i) logistics of the fleet system, ii) connection between different processes in the agro-industrial chain and iii) efficient use of the machinery and fault diagnosis. Currently, the AEF (Agricultural Industry Electronics Foundation) [7] is working

on a standard for data transfer between ISOBUS devices and farm management systems on the cloud.

In this work, a system for data transfer from agricultural machinery to cloud is developed. The goal is to obtain a modular solution, with low consumption of resources (energy, memory, etc.) that allows technological services generation in the context of the knowledge economy. Furthermore, this solution addresses the problem of limited coverage of mobile communication in rural areas through a wireless communication extension using LoRa technology [8]. This technology offers an efficient, flexible and economical solution to real-world problems in rural areas [9].

II. SYSTEM DESIGN

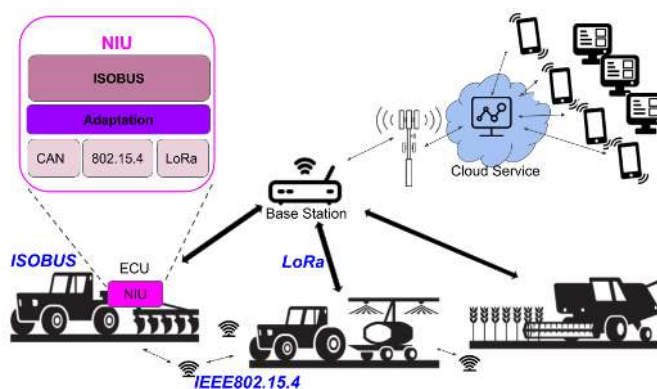


Fig. 1. Long-range communication solution for rural areas with limited telecommunication coverage. The agricultural data collection system complies with agricultural communication standards.

The Fig. 1 and 2 show the structure of the data collection system and the diagram of the proposed modular system at agricultural machinery, respectively, based on the functional requirements described in [10], [11], and [12]. The components of the structure of the data collection system are: i) NIU (Network Interconnection Unit) integrated by an embedded system enriched with network communication and sensors on the agricultural machinery, ii) Base Stations (BS) integrated by an embedded system enriched with network communication interfaces that work as a gateway to transmit the collected data to the cloud, and iii) Cloud integrated by hardware and software for permanent data storage and data processing on-demand. In particular, the NIU development is based on [13],

and it was enriched with new components that enabling long-range communication using LoRa for ISOBUS data transfer.

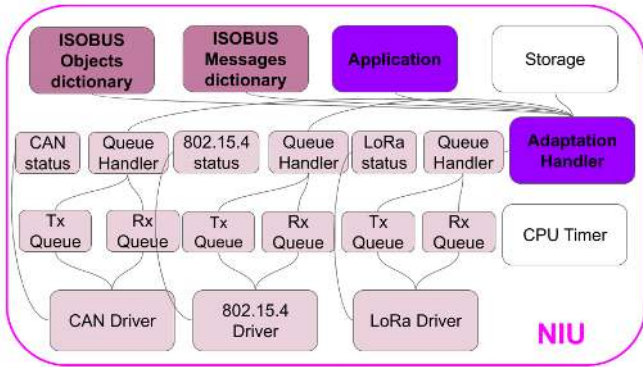


Fig. 2. NIU modular diagram. Internal components and interactions. The NIU design follows ISOBUS guidelines. The NIU is located on agricultural machinery.

III. IMPLEMENTATION, EVALUATION AND RESULTS

The choice of hardware and software used for the data collection system implementation was made under the premise of constrained devices [14]. The NIU was developed using an Arduino Mega 2560 board with a LoRa interface [15], a CANbus shield with SD memory [16] and Xbee S1 [17] module. The BS was developed using Raspberry Pi 3 board with a LoRa Shield [18]. The IBM LMIC library [19] was used to set the registers of LoRa radio module. The Time on Air (ToA) [20] analysis (Fig.3) was used to set LoRa radio parameters with SF = 7, BW = 125kHz, CR = 4/5 and a payload between 8 to 48 bytes at Frequency = 916.8 MHz. The transmission interval between messages was set to 1 s. During the measurement, communication between a PC and the NIU was implemented through a USB serial port to collect performance data from the experiments (Fig. 4).

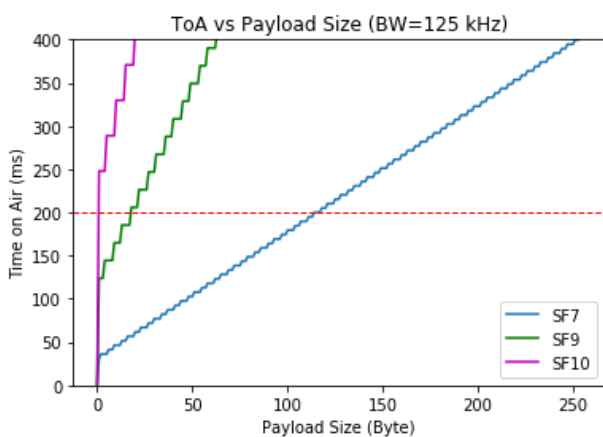


Fig. 3. ToA calculation of LoRa. Note that the y-axis is limited to 400 ms in accordance with regional parameters specification for America [21]. In addition, a horizontal dash line denotes the maximum waiting time between requests and responses specified for ISOBUS messages [5].

We need to know how much delay we can expect in real scenarios using LoRa technology. For this, we measure the Round Trip Time (RTT) between the NIU and the BS. RTT

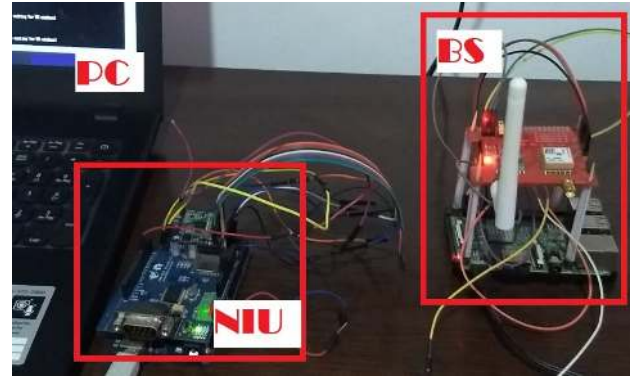


Fig. 4. Functional prototype.

is estimated as $2 * ToA + Tbs$, where Tbs is an internal time that refers to processing time. Table I presents the RTT performance for six different payload sizes. The mean RTT increases from 87.24 ms using a 8 bytes payload up to 210.49 ms using 48 bytes. As a performance metric, the coefficient of variation ($std/mean$) was used. The results show that as the payload size increases, the RTT increases and the coefficient of variation decreases. In addition, the observed Tbs time has an average time of 4.918 ms and a standard deviation of 0.364.

TABLE I
DESCRIPTIVE STATISTICS FOR THE MEASURED RTT VALUES.

Payload [bytes]	RTT [ms]				
	Mean	Std	Min	Median	Max
8	87.245	0.340	86.120	87.224	88.372
16	117.721	0.296	116.744	117.812	118.128
24	138.461	0.301	137.396	138.488	138.788
32	159.041	0.356	158.072	159.148	159.528
40	179.769	0.287	178.780	179.856	180.136
48	210.490	0.135	209.428	210.496	211.316

Finally, a PoC implementation of end-to-end communication (NIU-BS-Cloud) was established. In particular, the BS-Cloud connection was implemented using UDP messages. The application on the Cloud is an event-driven application.

IV. DISCUSSION

The latency requirements for IIoT are: i) IRT applications: $100\mu s - 1$ ms; ii) RT applications: 1-50 ms, and iii) NRT applications: 50-100 ms. From ToA and RTT analysis, we can see that LoRa technology does not satisfy these latency requirements. Because the smallest ToA is 42.24 ms using SF7 and a payload size of 8 bytes, resulting in an RTT greater than 82.48 ms in case that a response is required. In this context, LoRa technology is right for monitoring applications and not-critical control applications.

V. CONCLUSIONS

In this work, the modular architecture of a system that allows wireless communication between the agricultural machinery and the cloud was presented. The changes on the NIU made since [13] allow extending its functionality to long-range communications so necessary in areas without communication infrastructure, through the use of LoRa technology.

REFERENCES

- [1] Basso, B., Antle, J. "Digital agriculture to design sustainable agricultural systems". *Nature Sustainability* 3, 254-256. 2020.
- [2] CEPAL. "Data, algorithms, and policies: Redefining the digital world". ECLAC. 178p. 2018.
- [3] Friedrich, J. "Making innovation happen: The role of standards and openness in an innovation-friendly ecosystem," 7th International Conference on Standardization and Innovation in Information Technology (SIIT), Berlin, 2011, pp. 1-8. 2011.
- [4] Alt, N. "International agricultural machinery standards for the benefit of agriculture and industry", 24th Annual Meeting Club of Bologna. Hannover, November 10-11, 2013.
- [5] ISO 11783, "Tractors and machinery for agriculture and forestry - Serial control and communications data network", International Organization for Standardization, 2019.
- [6] Andrés Villa-Henriksen, Gareth T.C. Edwards, Liisa A. Pesonen, Ole Green, Claus Aage Grøn Sørensen, *Internet of Things in arable farming: Implementation, applications, challenges and potential*, Biosystems Engineering, Volume 191, Pages 60-84, ISSN 1537-5110. 2020.
- [7] AEF. <https://www.aef-online.org/home.html>. Last visited on April 2020.
- [8] Semtech. Application Note AN1200.13, "SX1272/3/6/7/8: LoRa Modem Designer's Guide". 2013.
- [9] Semtech. "Smart Agriculture". <https://www.semtech.com/lora/lora-applications/smart-agriculture>. Last visited on July 2020.
- [10] Juha Backman, Raimo Linkolehto, Markku Koistinen, Jussi Nikander, Ari Ronkainen, Jere Kaivosoja, Pasi Suomi, Liisa Pesonen, "Cropinfra research data collection platform for ISO 11783 compatible and retrofit farm equipment", *Computers and Electronics in Agriculture*, Volume 166, 105008, ISSN 0168-1699. 2019.
- [11] Vuran, M. C., Salam, A., Wong, R., Irmak, S. "Internet of underground things in precision agriculture: Architecture and technology aspects", *Ad Hoc Networks*, 81, 160-173. 2018.
- [12] Euripides G.M. Petrakis, Stelios Sotiriadis, Theodoros Soutanopoulos, Pelagia Tsiachri Renta, Rajkumar Buyya, Nik Bessis, *Internet of Things as a Service (iTaaS): Challenges and solutions for management of sensor data on the cloud and the fog*, *Internet of Things*, Volumes 3-4, Pages 156-174, ISSN 2542-6605. 2018.
- [13] N. C. Iglesias, P. Bulacio and E. Tapia, "Internet of Agricultural Machinery: Integration of heterogeneous networks," 2020 IEEE International Conference on Industrial Technology (ICIT), Buenos Aires, Argentina, 2020, pp. 785-790. 2020.
- [14] C. Bormann, M. Ersue, and A. Keranen, "Terminology for Constrained-Node Networks", RFC 7228. 2014.
- [15] Hope RF. RFM95/96/97/98(W) - Low Power Long Range Transceiver Module. 2014.
- [16] Elecrow, Can-Bus Shield-V1.4, <https://www.elecrow.com/canbus-shield-p-1133.html>. Last visited on October 2019.
- [17] DIGI, XBEE S1 802.15.4 RF modules. Last visited on October 2019.
- [18] Dragino. <https://www.dragino.com/products/lora/item/106-lora-gps-hat.html>. Last visited on April 2020.
- [19] IBM. <https://github.com/mcci-catena/ibm-lmic/>. Last visited on April 2020.
- [20] Semtech. SX1276/77/78/79 137 MHz to 1020 MHz Low Power Long Range Transceiver. 2019.
- [21] LoRa-Alliance. RP002-1.0.1 LoRaWAN Regional Parameters. 2020.

Implementación y ensayo de un demodulador FSK

Leandro J. Ferrari¹, Sergio D. Leoni², Christian L. Galasso³, Martín E. Paz⁴

^{1,2,3,4}Grupo SITIC - Dpto de Ing. Electrónica - Facultad Regional Bahía Blanca - Universidad Tecnológica Nacional - Bahía Blanca - Argentina

^{3,4}Servicio de Análisis Operativos, Armas, y Guerra Electrónica - Armada Argentina - Puerto Belgrano - Argentina.

¹ferrarileandro94@gmail.com, ²sergioleoni14@hotmail.com, ³christian_galasso81@yahoo.com.ar, ⁴pazmartin35@gmail.com

Resumen—En el presente trabajo se describe la implementación y ensayo de un demodulador FSK, en el marco de Re-Ingeniería de un módem para comunicaciones navales. El mismo se desarrolló en un software matemático, donde se agregaron distintos niveles de ruido a la señal de entrada, para poner a prueba el sistema.

Palabras clave — FSK, Demodulación, Cuadri-correlacionado balanceado, Ensayo, SNR, AWGN, BER.

I. INTRODUCCIÓN

Dado el requerimiento de desarrollar un módem que trabaje con señales en banda base y que sea completamente compatible con uno existente (manteniendo protocolos y modulaciones), pero cuyo hardware sea lo suficientemente flexible para implementar a posteriori nuevas modulaciones y protocolos [1] para comunicaciones en canales de HF y VHF. Se abordó el desarrollo sobre una FPGA Spartan 6 XC6SLX25 y un microcontrolador STM32F407.

La necesidad de mantener compatibilidad hacia atrás radica en el hecho de que los prototipos que se fabriquen deberán convivir durante un tiempo considerable con el módem actualmente en uso, permitiéndose de esta manera una modernización paulatina de las unidades y la maduración gradual del desarrollo.

De todas las modulaciones en que trabaja se comenzó por estudiar Binary Frequency Shift Keying (BFSK). Desde el punto de vista matemático, existen muchos tipos de sistemas que permiten demodular una señal FSK. En este trabajo se aborda el demodulador que en las simulaciones mostró la mejor performance para señales en las que se tienen pocos ciclos por símbolo. En una de las configuraciones del módem el tiempo del espacio ('0') alcanza para un solo ciclo de la señal.

Se realizó un intento previo donde se implementó el modulador y demodulador íntegramente en el STM32F407, el espacio ocupado por estos más el ocupado por los protocolos de comunicación de modem a modem (AX 25) y de modem a computadora (KISS), dejó muy poco resto para poder implementar las otras modulaciones y otros protocolos. Resulta además de interés para el grupo de trabajo incursionar en el procesamiento digital de señales sobre FPGA, y es por ello que se optó por este camino del diseño de un hardware mixto compuesto por un microcontrolador que realice la conversión AD y DA de las señales y maneje los protocolos y comunicación con la computadora y una FPGA sobre la que pueda implementar distintos moduladores y demoduladores a ensayar.

II. FUNDAMENTOS

A. GENERALIDADES DE LAS MODULACIONES FSK A IMPLEMENTAR

El actual módem a reemplazar tiene dos configuraciones distintas de modulación FSK; estas son FSK1200 y FSK300. Estos tipos de modulaciones se caracterizan por tener una señal portadora donde se varía la frecuencia de la misma en $\pm\Delta f$ para cada símbolo (poseen solo dos símbolos o frecuencias - BFSK), la frecuencia inferior es el espacio ('0') y la superior la marca ('1'). Para FSK300 se tiene una portadora de $2200\text{Hz} \pm 100\text{Hz}$ y para FSK1200 la portadora es $1700\text{Hz} \pm 500\text{Hz}$.

El esquema de FSK1200, presentan un desafío a la hora de la demodulación, ya que la tasa de bits (1200 bps) es igual a la frecuencia del espacio ('0'), por lo que, para su detección, es necesario poder demodular un solo periodo.

Para el caso de FSK300 (300 bps), se encuentra el problema de que posee un ancho de banda extremadamente angosto.

B. ELECCIÓN DEL DEMODULADOR A ENSAYAR

Al elegir un demodulador, se busca que este posea un elevado rechazo al ruido, que no se necesite un bloque para la sincronización de cada símbolo, y a su vez que tenga una tasa baja de error. Las técnicas de demodulación más utilizadas son "PLL" [2], "Cuadri-correlacionado balanceado" [3], "Algoritmo de Goertzel" [4].

Basado en la necesidad de implementar un demodulador que cumpla con los requerimientos expuestos, y que sea sintetizable para su aplicación en FPGAs, se optó por una variante del "Cuadri-correlacionado balanceado", cuyo diagrama se muestra en la Figura 1.

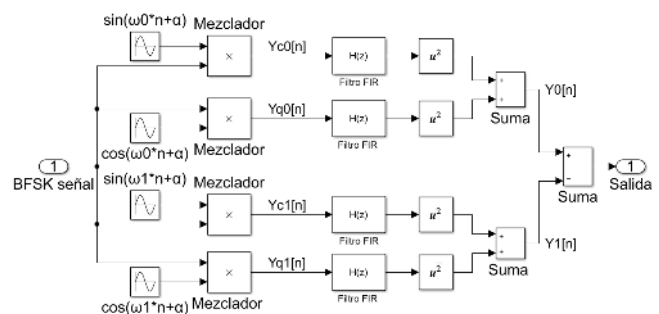


Figura 1. Demodulador a implementar.

C. PRINCIPIO DE FUNCIONAMIENTO

Los demoduladores cuadri-correlacionados poseen osciladores locales en cuadratura, sintonizados a las frecuencias esperadas de entrada, es decir, del espacio y de la marca. Dicha cuadratura es necesaria para poder recuperar la energía de la señal, que se encuentra desfasada respecto a los osciladores.

El producto de dos sinusoides, si están correlacionadas, genera otra señal sinusoidal montada sobre una continua, si no, dicho valor de continua desaparece, este efecto es visible en la Figura 2.b. Para recuperarlo, se utiliza un filtro FIR que elimina las altas frecuencias.

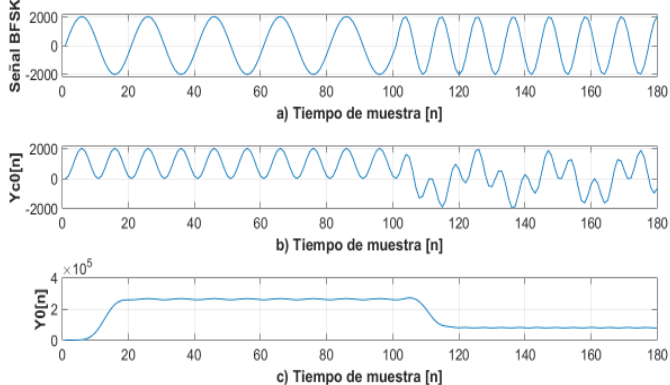


Figura 2. Salida de correlacionador.

La rama superior del demodulador de la Figura 1, se utiliza para poder recuperar todos los símbolos de espacio, y la rama inferior es la encargada de detectar todos los símbolos del tipo marca.

III. ENSAYOS Y CAPTURAS

Se realizó una simulación del demodulador, donde los osciladores se implementaron con tablas que contienen los valores correspondientes a las señales senoidales.

Para la simulación, se realizó una trama binaria aleatoria de 10000 bits, con la cual se generó la señal modulada con fase continua.

Los filtros FIR de orden 20, son aplicados a la señal correlacionada, y así se eliminan las frecuencias de alto nivel. La recuperación de energía del bit se realiza mediante el cuadrado y posterior suma de la señal saliente del filtro. Este método independiza al sistema de la previa sincronización entre los osciladores y la señal BFSK de entrada.

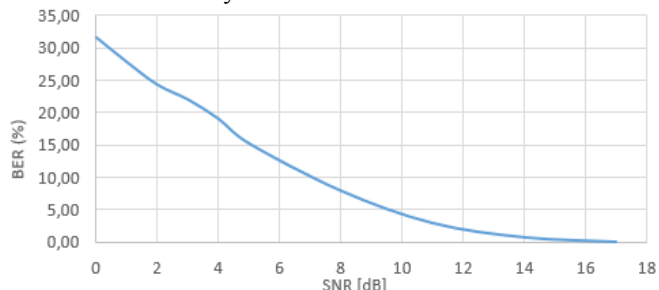


Figura 3. Tasa de error FSK300.

Se aplicó a la señal modulada Ruido Gaussiano Blanco (AWGN) con distintos niveles de Relación Señal Ruido (SNR) y se computó la Tasa de Error de Bits (BER). En la Figura 3 se muestra esta relación para FSK300 y en la Figura 4 se muestra para FSK1200.

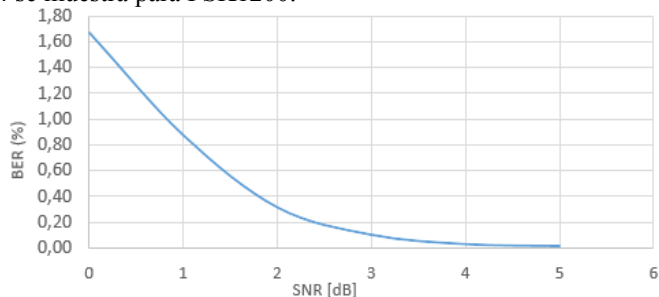


Figura 4. Tasa de error FSK1200.

Pasada la etapa de simulación en software matemático se describió en VHDL el hardware del demodulador y un banco de pruebas para ensayarlo. En la figura 5 se puede ver la salida del banco de prueba, donde se encuentra una entrada de FSK1200, con un SNR de 5dB.

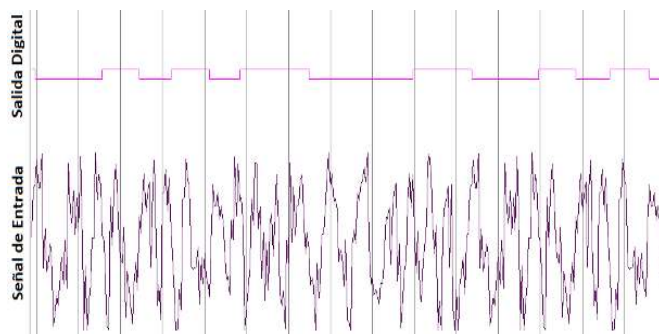


Figura 5. Ensayo sobre el banco de pruebas para FSK1200.

IV. CONCLUSIONES

Este demodulador es muy simple de desarrollar y en la simulación se puede observar un buen funcionamiento con modulaciones que poseen pocos ciclos dentro del símbolo. El aspecto más importante es que no se necesita sincronizar con el símbolo binario, por lo que se ahorra en diseño. Otra característica importante es la robustez a la variación de fase.

Para el bajo orden de filtro utilizado, se nota que se dificulta detectar modulaciones donde las frecuencias de símbolos estén demasiado cerca a medida que el ruido en la señal aumenta.

Tiene una buena inmunidad al ruido para FSK1200. Esto es sumamente importante para trabajar en canales de HF, que suelen ser problemáticos en los sistemas de comunicaciones.

Finalmente, los resultados obtenidos de la simulación fueron lo suficientemente satisfactorios para abordar la implementación en la FPGA. Al momento de presentar el presente trabajo se realizan las primeras pruebas del sistema integrado donde se adapta el audio mediante un circuito ad-hoc, se digitaliza la señal mediante los conversores del STM32F407 para finalmente procesar la señal digitalizada en la FPGA.

V. REFERENCIAS

- [1] D. o. D. U. S. o. America, «INTEROPERABILITY AND PERFORMANCE STANDARDS,» 2000.
- [2] R. F. Campbell, «Analysis of Various Algorithmic approaches to Software-Based 1200 Baud,» 2016.
- [3] F. H. J. H. Jorge TORRES, «Digital Demodulator for BFSK Waveform Based Upon Correlator and Differentiator Systems,» *RADIOENGINEERING*, vol. 23, n° 4, p. 8, DECEMBER 2014.
- [4] C.-Y. Yeh y S.-H. Hwang, «Efficient Detection Approach for DTMF,» *applied sciences*, vol. 9, n° 422, 2019.

Categoría

FORO TECNOLÓGICO

Software embebido

Área Temática

Representación en tiempo real de señales de radar empleando Odroid XU4.

Lisvan Guevara Trujillo, Ing.
Facultad de Informática
Universidad Tecnológica de la Habana
La Habana, Cuba
gladysyanil.trujillo@nauta.cu

Alian Ernesto Matos Rodríguez, Ing.
Facultad de Informática
Universidad Tecnológica de la Habana
La Habana, Cuba
aematos@nauta.cu

Leandro Zambrano Méndez, Dr. C.
Facultad de Informática
Universidad Tecnológica de la Habana
La Habana, Cuba
lzambrano@ceis.cujae.edu.cu

Resumen—El sistema de representación en los radares modernos se realiza a partir de la obtención de señales digitales. En el caso de los radares de seguimiento la actualización de la representación se realiza en el orden de las décimas de milisegundos, para lograr esta en tiempo real el proceso de adquisición, procesamiento y representación tiene que cumplir con esta exigencia de tiempo. El objetivo de este trabajo es lograr la visualización de la información para un medio de este tipo en tiempo real empleando la placa Odroid XU4. Para la solución se utilizó el método de programación paralela, mediante la creación de hilos en el Entorno de Desarrollo Integrado Qt Creator y el empleo del patrón de programación paralela segmentación de cauce. Esto permitió un uso eficiente de los recursos de cómputo, obteniéndose una disminución del tiempo de ejecución y una mayor aceleración con respecto a la variante secuencial.

Palabras claves—procesamiento digital de datos, programación paralela, segmentación de cauce, Odroid XU4.

I. INTRODUCCIÓN

El paradigma de diseño de microprocesadores ha evolucionado mucho en los últimos tiempos. La rápida escalada del consumo energético y problemas de disipación térmica pusieron en evidencia que el incremento de frecuencia como técnica de mejora de rendimiento no podía mantenerse. A partir de ese momento, se ha optado por incluir un mayor número de elementos de procesamiento en un mismo chip, lo que ha sido posible gracias a la disminución del tamaño de los circuitos integrados. Estos nuevos diseños multi-núcleo complementados con otras mejoras arquitectónicas permitieron realizar un mayor uso del paralelismo a nivel de hilo, mediante la inclusión de múltiples unidades funcionales en un mismo chip [1].

La representación de las señales de un radar de seguimiento cumpliendo con el período de actualización de 40 milisegundos constituye un reto, en este trabajo los autores se plantearon como hipótesis su solución a partir del uso de un sistema embebido. El objetivo de este trabajo es lograr la representación en tiempo real de señales de radar a partir del empleo del Odroid XU4.

II. DESARROLLO

La aplicación se enfocó en optimizar la carga computacional y minimizar los tiempos de representación, para acelerar el programa y aprovechar al máximo los recursos computacionales con un bajo consumo eléctrico. Además del empleo del Entorno de Desarrollo Integrado (Integrated Development Environment, IDE) Qt Creator se empleó la API (Application Programming Interface, en lengua inglesa) OpenMP, por ser esta una de las mejores opciones dentro de las tecnologías de programación en

paralelo debido a que es soportado por la mayoría de los sistemas operativos, herramientas de compilación y otros dispositivos hardware, como los dispositivos móviles. Se optó por la placa reducida Odroid XU4 como dispositivo hardware a emplear luego de los resultados obtenidos en las pruebas de rendimiento realizadas a esta, a la Raspberry Pi 4 modelo B y al Jetson Nano; las cuales arrojaron que los mejores rendimientos fueron alcanzados por el Jetson Nano y el Odroid, al ser los tiempos de estos similares se seleccionó este último atendiendo a que el precio es menor. Este permitió realizar paralelismo a nivel de hilos, debido a que posee ocho núcleos.

A. Odroid XU4

El Odroid XU4 es un potente y económico ordenador de placa reducida (Single Board Computer, SBC), la cual posee una arquitectura multi-núcleo asimétrica basada en ARM (Advanced RISC Machine, en lengua inglesa). Está provista de un SoC (System on chip, en lengua inglesa) Samsung Exynos 5422 big.LITTLE de ocho núcleos [2], formado por dos clúster de 4 núcleos cada uno, el Big, formado por 4 núcleos Cortex-A15 a 2GHz y el Little por 4 núcleos Cortex-A7 a 1.4 GHz [3, 4]. Además posee 2GB de RAM, 2 puertos USB 3.0, interfaz Ethernet a 1 Gbps, un consumo eléctrico entre 10 y 20 W [5].

Un procesador multi-núcleo asimétrico integra núcleos con distintas características en un mismo chip. Por un lado integran un grupo de núcleos rápidos, de alto rendimiento y consumo, que trabajan a alta frecuencia e implementan complejas técnicas como la ejecución fuera de orden o el lanzamiento múltiple de instrucciones. Estos procesadores también incluyen un grupo de núcleos más lentos y sencillos, los cuales operan a una frecuencia de trabajo más baja e implementan un pipeline más sencillo y de bajo consumo. Estos aportan una mayor flexibilidad que los procesadores convencionales, ya que tienen la capacidad de mantener un alto rendimiento para aplicaciones intensivas en CPU, sin sacrificar la eficiencia energética [6].

B. Implementación del software

La aplicación fue desarrollada en el IDE Qt Creator, en lenguaje C++ y en el sistema operativo Ubuntu 18.04. Los valores de entrada corresponden con la amplitud de la señal del radar, de 8 bits, los cuales son recibidos por la interfaz Ethernet empleando el protocolo de comunicación UDP (User Datagram Protocol, en lengua inglesa). Los datos correspondientes a una exploración del radar son recibidos cada 280 microsegundos, durante 36 milisegundos. Teniendo en cuenta que en cada recepción se obtienen 6660 muestras, se hace necesario realizar un procesamiento a las mismas para determinar el valor que va a tomar cada píxel, ya que son más

valores que píxeles disponibles para la representación. Luego se procede a la representación de la señal en dos indicadores del tipo B-Scope como se muestra en la “Figura I”, debido a que estos indicadores pueden estar representando escalas de distancias diferentes en el mismo ángulo de exploración de la antena. Una vez implementada esta primera variante de solución, se le realizaron varias pruebas para verificar su correcto funcionamiento, en estas se evidenció que no cumplió con el valor de tiempo exigido para la actualización del radar de 40 milisegundos ya que la frecuencia de exploración es de 25 Hz, por lo que se tienen que visualizar 25 pantallas por segundo.

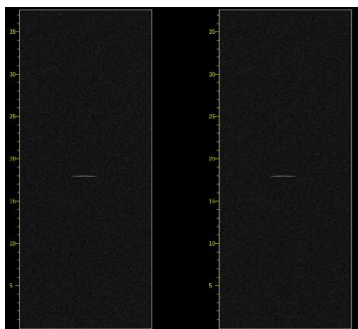


FIGURA I REPRESENTACIÓN EN INDICADORES B-SCOPE

Fue necesario un proceso de optimización, con el análisis del rendimiento del programa secuencial y la localización de los puntos de mayor consumo de tiempo, después de una etapa experimental se detectó que las funciones más costosas temporalmente son en primer lugar la encargada de la recepción de datos representando el 53% del tiempo total y las encargadas de la representación, que entre las dos representan el 20% del tiempo total. Debido a que la placa utilizada es multi-núcleo, una forma de acelerar la ejecución del programa es a través de la paralelización del sistema, de forma que se haga una repartición óptima de tareas en paralelo entre los núcleos de la misma.

C. Paralelización del algoritmo secuencial

La computación paralela es el uso simultáneo de múltiples recursos de cómputo para resolver un problema computacional [7]. Una manera de diseñar e implementar de manera eficiente los algoritmos paralelos es a través del uso de patrones de computación paralela y distribuida [8]. Ejemplo de patrón de computación paralela y distribuida es el patrón segmentación del cauce. Este patrón consiste en crear una secuencia lineal de etapas. Los datos son adquiridos de forma segmentada. Estos pasan por todas las etapas desde la primera hasta la última. Cada etapa realiza una transformación de los datos. Más de una etapa puede estar activa al mismo tiempo, por lo que puede ocurrir paralelismo de tareas [8].

El IDE multiplataforma Qt Creator soportado también por Linux embebido posee un gran número de clases, entre ellas está la clase QThread. Esta clase proporciona una manera independiente de la plataforma para administrar hilos[9]. Es decir, un objeto de la clase QThread se ejecuta de manera independiente de los demás hilos.

Al analizar el algoritmo secuencial se pudo apreciar que cuenta con las siguientes 3 etapas: proceso de recepción de datos, procesamiento de datos y representación en los dos indicadores. Conociendo que la etapa de recepción de datos es la más costosa desde el punto de vista de tiempo, se le asignó un hilo de ejecución empleando la clase QThread. Se empleó

el patrón segmentación de cauce para lograr la ejecución paralela utilizando OpenMP.

La ejecución del algoritmo consiste en un conjunto de iteraciones donde se reciben, se procesan y se representan los datos en paralelo. En la primera iteración sólo se reciben los datos, ya que no se pueden procesar porque no existía valor alguno previamente. En la siguiente se realiza en paralelo el procesamiento de la anterior y la recepción que serán procesados en la próxima iteración. Luego le siguen un conjunto de iteraciones donde se realizan en paralelo el proceso de recepción, procesamiento y representación de los mismos. En la penúltima iteración solamente se realiza el procesamiento y representación, y en la última solo se efectúa la representación. El paralelismo que se alcanza cuando se pone en práctica este patrón puede ser comprendido a través de la “Figura II”, en la que se aprecia como varias etapas pueden estar activas al mismo tiempo por lo que se logra disminuir el tiempo de ejecución respecto a la variante secuencial.

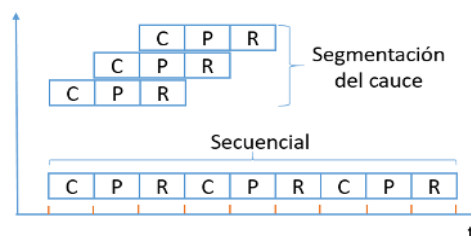


FIGURA II COMPORTAMIENTO EN EL TIEMPO DEL PATRÓN SEGMENTACIÓN DE CAUCE

OpenMP es una interfaz de programación de aplicaciones (API) para la programación paralela en el que se considera al sistema como una colección de núcleos o CPUs, teniendo todos acceso a la memoria principal[10]. El paralelismo se especifica a través de directivas que se insertan en el código [10]. Las directivas son especificadas usando la siguiente sintaxis: #pragma omp <directiva> [cláusulas], donde las cláusulas permiten modificar el comportamiento por defecto de una directiva. Esta API está basada en el modelo Fork-Join, en el que un hilo principal crea tantos hilos como necesite [11].

Para lograr el paralelismo deseado se añadieron algunas directivas OpenMP al algoritmo secuencial para garantizar la ejecución concurrente empleando el patrón de programación paralela segmentación de cauce. Estas directivas son “#pragma omp parallel sections” que permite ejecutar en paralelo las secciones definidas dentro del bloque de instrucciones definido por esta directiva. Para delimitar las secciones que se deben ejecutar en paralelo dentro de ese bloque, es utilizada la directiva “#pragma omp section” [12].

D. Experimentos realizados

Para la realización del experimento se hicieron 10 ejecuciones de la versión paralela y secuencial bajo el principio de repetición para minimizar el error experimental, con el objetivo de comprobar si se logró disminuir los tiempos del mismo. Se creó un escenario de experimentación bajo las mismas condiciones en cuanto a sistema operativo Ubuntu 18.04, tarjeta de almacenamiento eMMC de 16 GB de capacidad, placa Odroid XU4, así como la señal patrón a procesar.

Teniendo en cuenta que el software no posee más de 4 hilos de ejecución, solamente se emplearon los 4 núcleos Cortex-A15 del Odroid XU4, para lograr mayor eficiencia y menor consumo de energía que al utilizar los 8 núcleos del Odroid.

Los tiempos resultantes en milisegundos(ms) de las 10 ejecuciones se muestran en la “Figura III”.

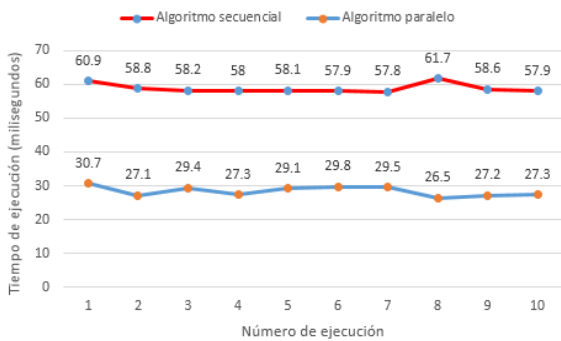


FIGURA III TIEMPO DE EJECUCIÓN DEL ALGORITMO SECUENCIAL Y PARALELO

Como resultado de las 10 ejecuciones se obtuvo que el valor promedio para el algoritmo secuencial y paralelo fueron de 58.79 ms y 28.39 ms respectivamente. Teniendo en cuenta el cumplimiento del requisito de tiempo en la variante paralela de menos de 40 ms, no fue necesario emplear un Sistema Operativo de Tiempo Real.

Dentro de las medidas que permiten evaluar el rendimiento de un programa paralelo están la aceleración y la eficiencia. La aceleración es la relación que existe entre los tiempos de ejecución cuando se utiliza un procesador (serial) y cuando se utiliza P procesadores (paralelo) [13]. La aceleración representa cuantas veces es más rápido un programa paralelo con respecto a uno secuencial, resolviendo ambos el mismo problema. Matemáticamente se define como se muestra en la ecuación (1):

$$S_{(P)} = \frac{T_{(1)}}{T_{(P)}} = \frac{58.79}{28.39} = 2.0707 \quad (1)$$

Donde:

- $S_{(P)}$: aceleración usando P procesadores.
- $T_{(1)}$: tiempo requerido por el sistema con un procesador para resolver el problema en cuestión.
- $T_{(P)}$: tiempo requerido por el sistema con P procesador para resolver el problema en cuestión.

Por otro lado, la eficiencia es definida como la fracción del tiempo que el procesador consume haciendo trabajo útil. Esta muestra cuán bien se ha utilizado los procesadores en la solución de un problema. Se define matemáticamente como se muestra en la ecuación (2)[14]:

$$E_{(P)} = \frac{S_{(P)}}{P} = \frac{2.0707}{4} = 0.5176 \quad (2)$$

Donde:

- $E_{(P)}$: eficiencia.

- $S_{(P)}$: aceleración asociada a la ejecución paralela del algoritmo.
- P: número de hilos de ejecución del procesador.

III. CONCLUSIONES

Los experimentos realizados demuestran que es posible construir un sistema que garantice la representación de las señales de un radar de seguimiento en tiempo real empleando el Odroid XU4, aprovechando de forma eficiente los recursos de cómputos a través de la computación paralela. Al emplear el patrón de programación paralela segmentación de cauce conjuntamente con las facilidades que brinda Qt Creator para el trabajo con hilos se logró la reducción del tiempo de ejecución de un 51.70% y una aceleración de 2.07 veces con respecto a la variante secuencial. Además se obtuvo un código óptimo en tiempo de ejecución, implementado en un dispositivo de bajo consumo eléctrico y de bajo coste.

REFERENCIAS

- [1] J. A. C. Novo, "Aceleración y optimización del consumo energético de clasificadores en cascada para la detección de rostros sobre arquitecturas asimétricas," Tesis Doctoral, Departamento de Arquitectura y Tecnología de Computadores, Universidad de Granada, Granada, 2019.
- [2] E. Österberg, "Profiling memory accesses on the ODROID-XU4," Department of Information Technology, Uppsala Universitet, Suecia, 2017.
- [3] D. Paul. (2019) ODROID-XU4 Tweaks: A Collection of Popular Modifications. *Odroid Magazine*. Available: <https://magazine.odroid.com/wp-content/uploads/ODROID-Magazine-201911.pdf>
- [4] J. Rondx. (2019) Cryptocurrency Mining: Earning Verium Coins With Your ODROID. *Odroid Magazine*. Available: <https://magazine.odroid.com/wp-content/uploads/ODROID-Magazine-201912.pdf>
- [5] V. B. R. Roy. (2017) User Manual Odroid XU4. *Odroid Magazine*. Available: <https://magazine.odroid.com/wp-content/uploads/odroid-xu4-user-manual.pdf>
- [6] L. M. C. Valero, "Evaluación y optimización de rendimiento y consumo energéticode aplicaciones paralelas a nivel de tareas sobre arquitecturas asimétricas," Tesis de Maestría, Departamento de Arquitectura de Computadores y Automática, Universidad Complutense de Madrid, 2016.
- [7] L. L. N. L. Blaise Barney. (2020). *Introduction to Parallel Computing*. Available: https://computing.llnl.gov/tutorials/parallel_comp/
- [8] A. D. R. Michael McCool, James Reinders, *Structured Parallel Programming Patterns for Efficient Computation*. USA: Morgan Kaufmann Publishers, 2012.
- [9] The Qt Company Ltd. (2020). *QThread*. Available: <https://doc.qt.io/qt-5/qthread.html#details>
- [10] L. D. R. Chandra, D. Kohr, D. Maydan, J. McDonald, R. Menon, *Parallel Programming in OpenMP*. USA: Morgan Kaufmann, 2000.
- [11] L. L. N. L. Blaise Barney. (2020). *OpenMP*. Available: <https://computing.llnl.gov/tutorials/openMP/>
- [12] A. R. B. R. Álvarez Pérez, "Desarrollo de versiones paralelas del algoritmo para el descubrimiento del modelo organizacional utilizando los patrones segmentación de cauce y reducción,," Facultad de Ingeniería Informática, Universidad Tecnológica de La Habana José Antonio Echeverría, 2017.
- [13] V. A. G. Samaniego, "Desarrollo de un algoritmo para romper por fuerza bruta al Simplified Data Encryption Standard (S-DES) mediante el uso de computación paralela,," Tesis de Ingeniería, Facultad de Ingeniería Eléctrica y Electrónica, Escuela Politécnica Nacional de Ecuador, 2019.
- [14] E. L. J. Aguilar, "Introducción a la Computación Paralela" Departamento de Computación, Universidad de los Andes, Mérida, Venezuela, 2004.

bShell: una biblioteca para la implementación de interfaces de comandos en sistemas embebidos.

Enrique Sergio Burgos

Laboratorio de Informática - Dpto. Ingeniería Electrónica
Facultad Regional Paraná - Universidad Tecnológica Nacional
sergioburgos@frp.utn.edu.ar

Resumen—En este trabajo se presenta una biblioteca para la implementación de interfaces de comandos en sistemas embebidos que incluye la posibilidad de procesar y generar secuencias de control compatibles con terminales virtuales. Incorpora también una metodología para implementar comandos personalizados utilizando características de la suite de desarrollo GCC. Se presentan los recursos de almacenamiento utilizados en implementaciones sobre los microcontroladores LPC4337 y STM32F103C8T6 así como los utilizados por una biblioteca de similares características.

Keywords—Interfaz de línea de comandos, sistemas embebidos, terminal, interfaz de usuario

I. INTRODUCCIÓN

Durante el proceso de desarrollo de aplicaciones basadas en microcontroladores, es usual el uso de interfaces de comunicación serie (tales como USART o UART) a fin de interactuar con el sistema. En ocasiones, se la utiliza para implementar interfaces de configuración, mantenimiento o simplemente interactuar con el sistema embebido. En estas implementaciones, suele utilizarse una de dos alternativas, o protocolos de comunicación específicos (y en muchos casos propietarios) que interactúan con una aplicación que hace las veces de panel de control del sistema embebido o interfaces basadas en caracteres donde el mismo sistema embebido interactúa con el usuario a través de una interfaz de comandos.

Cuando se utiliza esta última alternativa, además de implementar la aplicación objeto del desarrollo, debe implementarse el intérprete de comandos. Para evitar esto, una opción es incluir dentro del *firmware* algún intérprete de lenguajes *script* (tales como LUA [1], [2] o MicroPython [3]), permitiendo ir más allá que solo ejecutar algunos comandos particulares. No obstante, si bien la incorporación de estos intérpretes puede resultar sencilla, no siempre es una opción debido a dos factores, por un lado el consumo de memoria de programa puede ser significativo para algunas plataformas, por otro, el hecho de utilizar asignación de memoria dinámica para crear entidades en tiempo de ejecución pueden comprometer al sistema [2].

A partir de lo expuesto y a fin de buscar una alternativa de bajo consumo de recursos y que simplifique la implementación de interfaces de comandos basadas en caracteres se desarrolló una librería denominada *Basic Shell* (o *bShell*).

II. ANTECEDENTES

El uso de terminales se remonta a las primeras aplicaciones de modelo cliente servidor donde los clientes (constituidos por un teclado y una pantalla), se comunicaban con un servidor a

fin de poder ejecutar procesos. El procesamiento se realizaba en el servidor mientras que el terminal solo se encargaba de representar información y permitir la interacción con el usuario a través del teclado. Diversos modelos de terminales se desarrollaron siendo uno de los más conocidos las terminales VT-100 de *Digital Equipment Corporation* (DEC). Estas terminales utilizaban secuencias de control que permitían realizar operaciones sobre el monitor tales como borrar la pantalla o mover el cursor y para representar la pulsación de teclas especiales en el teclado tales como las flechas de dirección [4].

Como una evolución de las terminales físicas existen aplicaciones que reemplazan las funcionalidades de éstas y son conocidos como emuladores de terminal, brindando diferentes grados de compatibilidad respecto de las secuencias de control que son capaces de interpretar y generar. Como ejemplos podemos mencionar *gtkterm*¹ y *putty*², siendo ambas aplicaciones gratuitas y de código abierto.

La capacidad de mejorar la interacción con el usuario a través de utilizar secuencias de control y aplicaciones que son capaces de interpretarlas y generarlas han sido explotadas por bibliotecas que simplifican el desarrollo de aplicaciones para sistemas embebidos. Una de ellas es *microrl* [5] que, diseñada para pequeños sistemas embebidos, incorpora la posibilidad de contar con un historial de comandos y funciones de completado automático. Esta biblioteca registra una función que será invocada cada vez que se de entrada a una cadena de comandos, siendo responsabilidad de esta función las acciones a realizar.

III. Biblioteca *bShell*

La biblioteca presentada se basa en los principios mencionados, utilizando un conjunto reducido de secuencias de comandos tendientes a mejorar la interacción con el usuario, pero propone una metodología diferente para identificar las acciones a ejecutar según los comandos ingresados por el usuario. A diferencia de *microrl*, *bShell* ha sido diseñada a fin de simplificar la implementación de comandos como funciones sin requerir realizar implementaciones adicionales o modificar la estructura de la aplicación.

III-A. Estructura interna

A fin de realizar el procesamiento de los caracteres recibidos, *bShell* [6] utiliza una máquina de estados implementada a través de un arreglo de punteros a funciones, de forma similar a la metodología utilizada en [7] para procesar secuencias de caracteres. De este modo es capaz de procesar las secuencias

¹<https://github.com/Jeija/gtkterm>

²<https://www.putty.org/>

de control de interés y determinar cuando se finalizó el ingreso de una entrada. Cada vez que se detecta el fin de una línea de comandos se intenta ejecutar el comando correspondiente del conjunto de comandos registrados para tal fin. Para esto requiere que cada comando que se desee incorporar esté asociado a una estructura almacenada en la memoria de programa. Esta estructura cuenta con tres campos, a saber:

- `commandName`: el nombre con el que la función será invocada.
- `commandFcn`: puntero a función que almacena la dirección de memoria donde se encuentra la función a ejecutar.
- `help`: cadena de caracteres constante con un mensaje referente a la forma de uso del comando.

El objetivo de esta estructura es reunir, entre dos símbolos definidos en el *script* de enlazado, la información asociada a cada comando. De este modo, identificar si un comando es válido e invocarlo, requiere recorrer el espacio de memoria entre una marca inicial y final definidas en el *script* de enlazado. Esta operación se resuelve utilizando una implementación del algoritmo de búsqueda secuencial, siendo esto posible debido a que todas las estructuras tienen el mismo tamaño y se encuentran una a continuación de la otra. El posicionamiento de estas estructuras es logrado a través del uso del atributo *section* [8] en la definición e inicialización de las mismas. Una ventaja de este modo de trabajo, es que permite definir, en diferentes archivos de código fuente, funciones que serán tratadas como comandos del sistema, solo definiendo e inicializando una estructura que debe almacenarse en una sección particular de memoria. Finalmente debido a que todos los comandos incluyen un texto de documentación, la misma biblioteca implementa el comando *help* que recorre el espacio de memoria utilizado por los comandos y visualiza las cadenas asociadas.

III-B. Funciones y estructuras de datos utilizadas

La biblioteca utiliza una estructura (*cmdInstance*) para almacenar el estado de la comunicación con el cliente e incluye además la dirección de memoria de dos funciones para interactuar con el canal de comunicación utilizado (una para enviar un byte y la otra para recibirlo). El uso de esta estructura posibilita que se puedan crear tantas interfaces de comandos como se desee, utilizando diferentes medios físicos y que cada una sea independiente de las demás. Cabe mencionar que esta estructura es utilizada como argumento al momento de invocar a cada función asociada a un comando, posibilitando la interacción directa con el usuario. También incluye un vector de cadenas de caracteres con los argumentos utilizados al momento de invocar a un comando, tal como es usual en aplicaciones de línea de ordenes en lenguaje C que utilizan argumentos.

La interfaz de la biblioteca cuenta solo con dos funciones, una dedicada a la inicialización de la misma (*cmdConfigBuff*) y otra a procesar cada uno de los bytes que se reciban desde el cliente (*cmdProcessNewChar*). Las demás funciones incorporadas son utilizadas para realizar tareas internas.

En lo que respecta a la configuración y/o personalización de la interfaz se realiza a través de directivas de precompilación, posibilitando establecer opciones tales como el uso (o no) de

historial de comandos, definir los colores de fondo y primer plano entre otros.

IV. RESULTADOS

bShell fue utilizada en aplicaciones en dos placas de desarrollo, una basada en el microcontrolador STM32F103C8T6 [9] de STMicroelectronics (*blue pill*) y la otra basada en el microcontrolador LPC4337 [10] (EDU-CIAA NXP [11]). En ambos casos las pruebas realizadas se llevaron adelante utilizando *test cases*.

A fin de tener un parámetro de comparación, pruebas similares se realizaron utilizando la biblioteca *microrl*. Los resultados referentes al espacio utilizado por cada una pueden observarse en la Tabla I.

	STM32F103C8T6		LPC4337JBD144	
	ram	flash	ram	flash
microrl	132	1068	132	1264
bShell	164	1174	164	1562

Tabla I: Consumo de memoria de cada biblioteca en cada microcontrolador expresado en bytes.

Debido a que las bibliotecas comparadas no son exactamente iguales en estructura, se trató de ajustar la configuración de ambas a fin de lograr un comportamiento comparable. En el caso de *bShell* se descontaron de los totales de memoria el espacio ocupado por los comandos internos que incorpora. En las dos bibliotecas se desactivo el uso de historial de comandos ya que una biblioteca almacena todas las líneas y permite fijar la cantidad deseada mientras que la otra permite establecer un tamaño *buffer* y almacena tantas líneas de comando como sea posible.

Cabe mencionar respecto al consumo de memoria RAM, que el valor presentado corresponde con la cantidad de memoria utilizada para mantener el estado de una interfaz de comandos sin incluir el consumo de memoria de las funciones asociadas.

V. CONCLUSIONES

De los resultados presentados puede concluirse que las bibliotecas consideradas presentan un muy bajo consumo de recursos frente a los disponibles en cada microcontrolador utilizado. *bShell* tiene un consumo de memoria un poco superior, pero incorpora el algoritmo para determinar el comando a ejecutar mientras que *microrl* requiere implementaciones adicionales, las que no fueron considerada en los valores presentados por depender de la aplicación.

En lo que respecta a posibilidades de extensión a otras plataformas, la ventaja utilizada por *bShell* respecto al uso de símbolos incorporados en el *script* de enlazado puede ser una limitante considerando circunstancias en las que o no es posible realizar modificaciones sobre el mismo o no se cuenta con una funcionalidad que permita alojar variables en secciones de memoria específicas.

Como ventaja, debido a que mantiene el estado de la interfaz de comandos utilizando una única estructura, permite la implementación de múltiples interfaces en el mismo dispositivo utilizando diferentes canales de comunicación y/o tecnologías de capa física.

REFERENCIAS

- [1] PUC Rio, *The Programming Language Lua*, 2020, (último acceso 20/07/2020). [Online]. Disponible en: <http://www.lua.org/>
- [2] F. Taborda, J. Benavidez, J. Moragues, S. Comas, and E. S. B. A. Tapari, "Lua scripting en la ciaa," *Congreso Argentino de Sistemas Embebidos 2018 - Libro de trabajos en modalidad Foro Tecnológico y Resumen*, vol. 1, no. 1, pp. 140 – 144, 8 2018.
- [3] D. George, *MicroPython - Python for microcontrollers*, 2018, (último acceso 20/07/2020). [Online]. Disponible en: <https://micropython.org/>
- [4] D. E. Corporatio, *VT100 User Guide*, 1979 (último acceso 20/05/2020). [Online]. Disponible en: <https://vt100.net/manx/part/dec/ek-vt100-ug/>
- [5] E. Samoylov, *Repositorio del proyecto microrl*, 2011 (último acceso 20/05/2020). [Online]. Disponible en: <https://github.com/Helius/microrl>
- [6] Enrique Sergio Burgos, *Repositorio del proyecto bShell*, 2020 (último acceso 20/05/2020). [Online]. Disponible en: <https://gitlab.com/labinformatica/bshell>
- [7] E. S. Burgos and L. Giovanini, "Implementación en lenguaje c de un algoritmo para procesamiento de flujos de datos nmea-0183," *Congreso Argentino de Sistemas Embebidos 2016 - Libro de trabajos en modalidad Foro Tecnológico y Resumen*, vol. 1, no. 1, pp. 125 – 130, 8 2016.
- [8] R. M. Stallman *et al.*, *Using the GNU Compiler Collection*, ch. 6, pp. 455–456. [Online]. Disponible en: <https://gcc.gnu.org/onlinedocs/gcc-6.5.0/gcc.pdf>
- [9] STmicroelectronics, *STM32F103C8*, 2015 (último acceso 20/05/2020). [Online]. Disponible en: <https://www.st.com/en/microcontrollers-microprocessors/stm32f103c8.html>
- [10] NXP, *LPC4337*, último acceso 20/05/2020. [Online]. Disponible en: <https://bit.ly/3eIZ7XB>
- [11] *Proyecto CIAA, EDU-CIAA-NXP*, 2014 (último acceso 20/05/2020). [Online]. Disponible en: <http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-ciaa:edu-ciaa-nxp>

Desarrollo y evolución de equipo datalogger OES y software de representación asociado

Mg.Ing. Juan Salerno
Observatorio de Energía y
Sustentabilidad (OES)
Universidad Tecnológica Nacional,
Facultad Regional Rosario, Santa Fé
juansalerno63@hotmail.com

Ing. Marcelo Castello
Observatorio de Energía y
Sustentabilidad (OES)
Universidad Tecnológica Nacional,
Facultad Regional Rosario, Santa Fé
castello.marcelo@gmail.com

Esp. Ing. Rafael Oliva
Energías Alternativas / Instituto de
Tecnología Aplicada UARG - UNPA
Río Gallegos, Santa Cruz
roliva@uarg.unpa.edu.ar

Abstract—Este trabajo pretende mostrar las etapas y evolución de un datalogger y software asociado, desarrollados en el marco de un proyecto orientado al relevamiento y procesamiento de datos de potencial eólico con fines energéticos mediante herramientas de acceso libre.

Palabras clave—datalogger, energía eólica, mediciones, software

I. INTRODUCCION

El presente trabajo muestra los avances y el desarrollo de un sistema de adquisición de datos y su software asociado, orientado a mediciones meteorológicas para aplicaciones de energía eólica según estándares IEC [1]. Las señales más importantes son las de intensidad y dirección de viento, temperatura y presión atmosférica. El énfasis ha sido en el desarrollo de una cadena completa de medición que incluye hardware y software. El hardware consiste de una placa base que aloja un módulo LPCXpresso [2], basado en un LPC1769 de NXP [3], con interfaces analógicas y digitales protegidas, almacenamiento en micro-SD, reloj de tiempo real, fuente de alimentación filtrada e interfaces de comunicaciones Ethernet y GPRS. El software se ha desarrollado en un modelo de capas. La capa inferior o Capa 1 es el firmware del LPC1769 que trabaja en modalidad de lazo infinito y ha sido escrito en lenguaje C. Dicha capa realiza las tareas de base y un primer procesamiento estadístico con almacenamiento de promedios, máximo, mínimo y desvío estándar. La capa siguiente o Capa 2 corre en el servidor remoto y es la encargada de la interfaz entre el datalogger y el servidor de base de datos, y la gestión y validación de los paquetes de datos. Asociada directamente a ésta, se encuentra el motor de la base de datos que constituye la Capa 3 y garantiza la persistencia de los datos en el servidor. La capa de representación accesible vía web o Capa 4 es la encargada de mostrar los datos medidos, ya sea en forma de gráficos temporales, por ejemplo series de tiempo, o gráficos específicos como rosa de vientos, o de distribución de probabilidad. Dicha capa incluye además la posición geográfica del sistema de medición, ya que el diseño permite el empleo de múltiples sistemas en distintas torres de medición.

II. DISTRIBUCIÓN DEL HARDWARE

En el hardware de la placa se realiza un tratamiento diferenciado para dos tipos básicos de señal a procesar: en primer lugar la señal de los anemómetros que proporcionan una tensión de CA de amplitud y frecuencia variable, con información de velocidad de viento contenida en la

frecuencia; y por otro lado el resto de las señales que son del tipo analógico y de variación lenta.

Los criterios de diseño del hardware han contemplado la posibilidad de agregar más canales tanto de frecuencia como analógicos en futuros desarrollos, para el caso de requerirse su empleo en una torre con mayor cantidad de alturas de medición. El modelo actual es para 2 alturas. El hardware ha ido evolucionando desde su primer modelo [4], hasta el más reciente que se puede apreciar en la Figura 1. Se incorporaron al hardware etapas de protección y acondicionamiento de las entradas. En el caso de los anemómetros se realiza un filtrado activo analógico del tipo Sallen-Key de 2° orden, y posteriormente se agrega una etapa de conformación de la onda necesaria para su tratamiento posterior.

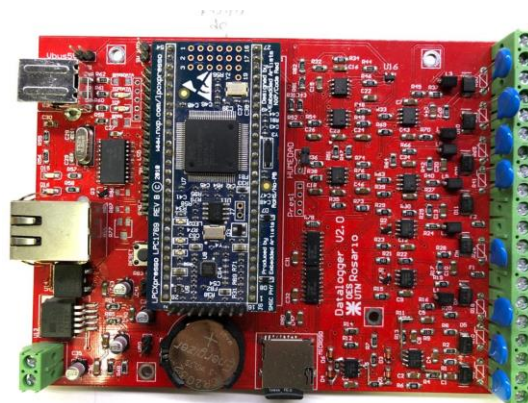


Fig.1. Foto de la Placa OES v2.0 (2019)

III. ESQUEMA DE CAPAS DE SOFTWARE

En la Figura 2 se muestra un diagrama de las distintas capas de software con que se ha diseñado el sistema.

A. Firmware de Capa 1

La Capa 1 alojada en el microcontrolador LPC1769, controla el convertor A/D de 12 bits, del tipo MCP3208 [5], con interfaz SPI. Además administra la temporización para las lecturas de los anemómetros, que requieren el cálculo de frecuencia, y procesa las variables para obtener promedio, máximo, mínimo y desvío estándar en períodos configurables. Estas variables son grabadas localmente en la tarjeta SD con sistema de archivos FAT, utilizando la biblioteca libre ElmChan [6]. Esta característica agrega seguridad en caso de pérdida de comunicación de la estación. Se gestionan asimismo las comunicaciones ya sea por capa

física Ethernet (vía protocolo TCP/IP) o GPRS. Posee un procesador de comandos utilizado para la configuración y comunicación. Para la elaboración de esta capa, se utiliza lenguaje C y se obtiene el archivo binario con el compilador GCC integrado en el IDE LPCXpresso, utilizando las bibliotecas LPCOpen y depuración vía LPCLink [7].

B. Software de Capa 2 – M2M y Capa 3 – Base de Datos

Estas capas son las encargadas de la interfaz entre el datalogger y el servidor de base de datos donde se almacenan las variables procesadas, denominado M2M o diálogo máquina a máquina. La Capa 2 corre en un servidor y está escrita en lenguaje Python [8]. La misma se encarga de gestionar la comunicación desde el servidor, validar los paquetes que llegan desde el datalogger y remitirlos al motor de la base de datos. Posee un algoritmo de confirmación para evitar la pérdida de datos por falla en la capa física. La Capa 3 es un motor de base de datos tipo MySQL [9] que se encarga de recibir los datos de la capa anterior y efectivizar el almacenamiento en el hardware del servidor, lo cual garantiza la persistencia de los datos.

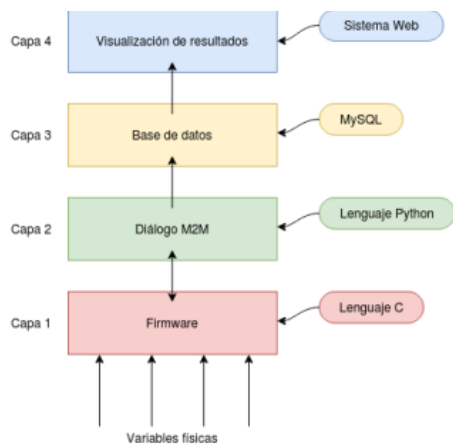


Fig. 2. Diagrama de capas del software del sistema OES

C. Software de Capa 4 - Representacion

La Capa 4 de interfaz web es la encargada de mostrar los datos medidos, ya sea en forma de gráficos de serie de tiempos (velocidad del viento, temperatura, etc.) o gráficos específicos (rosa de los vientos, densidad de probabilidad de Weibull, etc.). Muestra también de manera simple e intuitiva los últimos datos medidos, y la posición geográfica de un único equipo o de varios, ya que el sistema se ha diseñado para albergar varias unidades. Posee formularios para la configuración del sistema en general. Está desarrollada en una combinación de lenguajes PHP[10], Javascript [11] y HTML5 [12]. Para la parte gráfica se han utilizado las librerías de acceso libre Highcharts [13], escritas en Javascript.

D. Diagrama general del sistema

En la Figura 3 se puede apreciar un diagrama general del sistema. El ingreso de las señales se representa desde el lado izquierdo, y hacia la derecha se muestra el procesamiento de distintas capas de los datos hasta su almacenamiento y visualización remota.

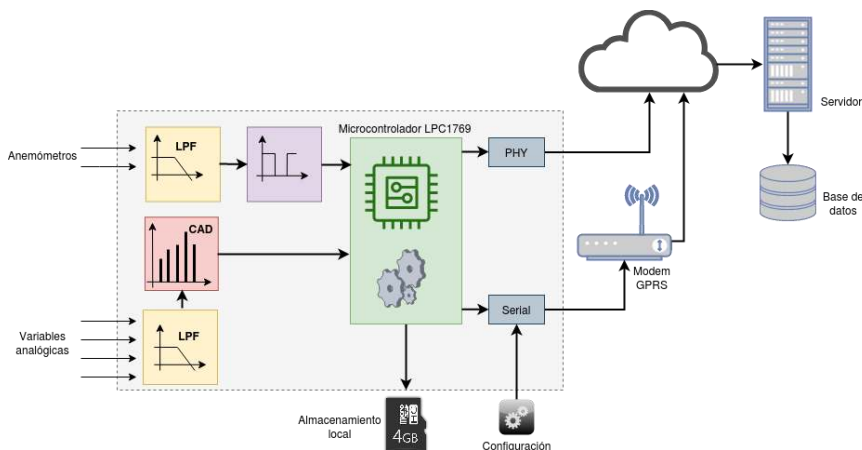


Fig. 3 Diagrama del Datalogger

IV. RESULTADOS

En la Figura 4 se muestra una serie temporal de datos de viento a distintas alturas de abril 2020, y en la Figura 5 la construcción de la rosa de vientos a partir de datos medidos en 2019, accesible mediante un navegador web convencional.

V. CONCLUSIONES Y TRABAJOS FUTUROS

Se ha buscado mostrar los avances en el desarrollo de una estación meteorológica y software asociado, orientada a aplicaciones de energía eólica. El trabajo se encuentra en evolución y se espera poder realizar una transferencia tecnológica para llegar a una versión de fabricación local.



Fig. 4. Serie de tiempo de intensidad de viento, 2020 CEMAR

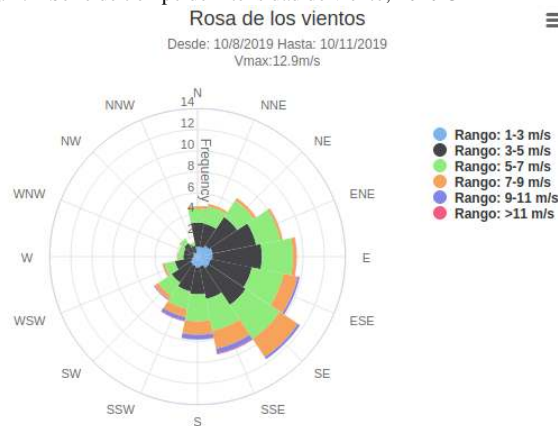


Fig. 5. Rosa de los vientos de medición, 08 a 11-2019 – CEMAR

REFERENCIAS

- [1] IEC Standard (2017) IEC 61400-12-1 Wind energy generation systems - Part 12-1: Power performance measurements of electricity producing wind turbines.
<https://webstore.iec.ch/publication/26603>
- [2] <https://www.embeddedartists.com/products/lpc1769-lpcxpresso/>
- [3] LPC 1769 / NXP Semic.: <https://www.nxp.com/products/processors-and-microcontrollers/arm-microcontrollers/general-purpose-mcus/lpc1700-cortex-m3/512kb-flash-64kb-sram-ethernet-usb-lqfp100-package:LPC1769FBD100>
- [4] Tesis de Maestría XXXXXXXX (2017), "Diseño de herramientas propias para evaluar el potencial eólico local - Desarrollo de equipamiento y procesamiento de datos software libre" Defensa 08/2019 UTN-FRRO
- [5] MCP3208, Microchip:
<https://www.microchip.com/wwwproducts/en/MCP3208>
- [6] ELM-Chan:
http://elm-chan.org/fsw/ff/00index_e.html
- [7] LPCOpen/LPCLink (NXP Semiconductors):
<https://www.nxp.com/design/microcontrollers-developer-resources/lpcopen-libraries-and-examples/lpcopen-software-development-platform-lpc17xx:LPCOPEN-SOFTWARE-FOR-LPC17XX>
- [8] Python (1991) - lenguaje de programación de alto nivel ampliamente utilizado, autor Guido Van Rossum: <https://www.python.org/>
- [9] MySQL - sistema de gestión de base de datos de código abierto. Propiedad de Oracle Corp. <https://www.mysql.com/>
- [10] PHP lenguaje de scripting de lado servidor, orientado a objetos. Creado por Rasmus Lerdorf en 1994 <https://www.php.net/>
- [11] JavaScript – Implementación de ECMAScript, primera versión 1995. <https://www.ecma-international.org/publications/standards/Ecma-262.htm>
- [12] HTML5 – Versión más reciente de Hypertext Markup Language: <https://html.spec.whatwg.org/multipage/>
- [13] Librerías de graficación HighCharts: <https://www.highcharts.com/>

Registrador industrial con soporte de placas periféricas

Rafael B. Oliva

Area Energias Alternativas

Instituto de Tecnología Aplicada UNPA-UARG y LyR Ing.

Río Gallegos, Argentina

roliva@uarg.unpa.edu.ar / roliva@lyr-ing.com

Abstract—Este trabajo presenta el desarrollo del Firmware de una placa prototipo CL3 con un microcontrolador STM de 32 bits, que mantiene el formato de una placa existente CL2 con controlador de 8 bits, aplicada desde 2010 en relevamiento de sistemas de energía renovable de baja potencia. Basado en los resultados de los sistemas anteriores CL2 se busca con este desarrollo cubrir requerimientos mayores y abrir la posibilidad de utilizarlo en proyectos mas complejos, manteniendo la compatibilidad con placas periféricas existentes. Fue realizado como trabajo final en la Carrera de Especialización en Sistemas Embebidos de FIUBA en 2019.

Index Terms—firmware, registrador industrial, microcontrolador

I. Introducción

Los equipos de registro de variables tienen un amplio espectro de costos, desde equipos de gran sofisticación y costo hasta sistemas de muy bajo costo para aplicaciones de hobby u hogareñas. La oferta en sistemas de costo medio con prestaciones industriales o semi-industriales, para aplicaciones de registro de variables o de control en entornos no extremos es bastante restringida. En este tipo de sistemas, en general para series pequeñas se percibió una demanda insatisfecha, que es viable desarrollar localmente.

El objeto del presente proyecto fue insertarse en ese nicho a través del desarrollo del Firmware de una placa denominada CL3 (cuyo diseño se inició en 2016) que migra desde una versión previa CL2 [1] de arquitectura AVR [2] a una versión ARM-Cortex M4F de 32 bits, manteniendo características del formato físico anterior, la capacidad de acceso a tarjetas SD industriales e interfase RS485. Se buscó lograr una expansión de las capacidades de cómputo y rendimiento, que dicho Firmware tenga características de facilidad de uso con un enfoque similar a la sAPI (simple Application Programming Interface [3]) desarrollada para la CIAA [4], y a la vez que resuelva las limitaciones encontradas en las placas CL2 de 8 bits. Para el desarrollo con el nuevo controlador de la línea STM32 [5] se utilizó como modelo la sAPI de la CIAA, adoptando las bibliotecas LL (de bajo nivel) provistas por el fabricante ST [6], para ofrecer al usuario una interfase intuitiva y sencilla. El proyecto se inició con pocos módulos

y en modalidad bare-metal únicamente, y luego incorporó la utilización del sistema operativo abierto FreeRTOS [7]. Esto facilitó el desarrollo y mejoró su portabilidad. Se realizó además la implementación de un sistema demostrativo con una de las placas periféricas existentes cuya estructura y ensayos se explican brevemente. El desarrollo completo y la presentación se encuentran disponibles en [8].

II. Hardware

A. Características

Durante 2017 e inicios de 2018 se avanzó con el desarrollo de la placa CPU denominada CL3 basada en procesador STM32F411RE para el reemplazo de los sistemas existentes de 8 bits. El objetivo fue lograr mayor velocidad de operación y capacidad de memoria, y menor consumo, a la vez manteniendo la compatibilidad mecánica y de ubicación de componentes en los tableros existentes. Los displays previstos fueron los LCD alfanuméricos tradicionales y se agregaron gráficos de interfase SPI (ej ILI9341). Se mantuvo la conexión a un teclado de membrana de 4 contactos, y un oscilador compensado TCXO (Temperature Controlled Xtal Oscillator) para el RTC interno del controlador (Figura 1).

B. Integración del Hardware y firmware de base

El desarrollo del hardware fue realizado en cooperación con el Ing. Leonardo Garberoglio [9] (UTN-FRSC / GADIB), y los primeros prototipos fueron recibidos en abril de 2018. El fabricante ST provee una herramienta libre de inicialización de periféricos (CubeMX32 [10]) que permite de forma gráfica obtener una versión inicial del código para configurar y activar los periféricos del uC, con un significativo ahorro de tiempo de desarrollo. En conjunto con empresas externas ofrecen además herramientas IDE gratuitas sin límite de código basadas en Eclipse (la utilizada fue AC6 System Workbench [11]), y las mencionadas librerías de nivel bajo STM32F4 LL o Low Level e intermedio STM32F4 HAL (Hardware Abstraction Layer).

Componentes CL3

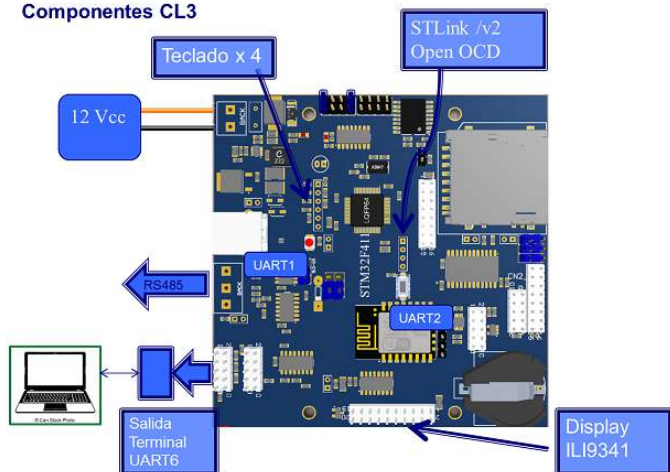


Fig. 1. Componentes de placa CL3.

Diagrama de capas sAPI-3C

rev. 06-2019

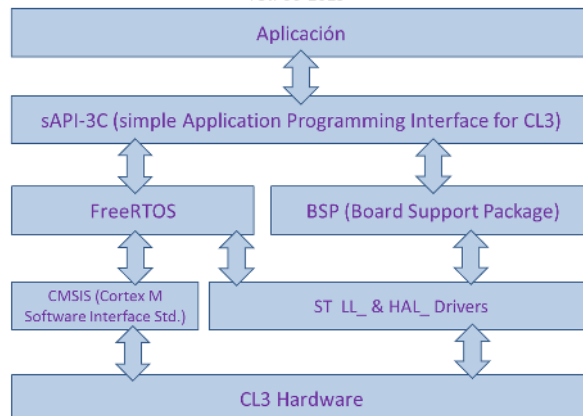


Fig. 2. Modelo de Firmware CL3.

III. Modelo del firmware y capas

En lo siguiente se describe el modelo de firmware adoptado y su distribución en capas.

A. Descripción del modelo y diagramas

El sistema de librerías para el firmware de las placas CL3 denominado sAPI-3C tiene los contenidos ya indicados en la Figura 2, que guardan similitud con la sAPI original. La capa superior se denomina de Aplicación y es la que programa el usuario. En el extremo inferior del diagrama se encuentra el Hardware, que desde el punto de vista del programador son registros y zonas de memoria destinados al control de los submódulos (ej SDIO, RTC, SPI1) del STM32F411. Dada la complejidad y capacidades integradas en el microcontrolador Cortex M4F, se vuelve muy importante el agregado de capas intermedias. Por encima del Hardware se ubican la capa CMSIS, estándar producido por ARM, y la capa de drivers de ST. Estos drivers son rutinas de software que se indican como LL (Low Level), con manejo casi directo del Hardware, y HAL (Hardware Abstraction Layer), nivel superior de abstracción. Estos últimos se utilizan en forma predominante en los periféricos más complejos como USB, aunque con restricciones pueden utilizarse en forma conjunta.

B. Interfase con el usuario

En el nivel superior siguiente se ubican en un recuadro los módulos denominados middleware o de firmware intermedio, que pueden utilizarse con muchas plataformas distintas de hardware. Tal el caso del sistema operativo de tiempo real FreeRTOS, cuya aplicación para CL3 se utiliza en los ejemplos de implementación, y el sistema abierto de archivos FATFS [12] que permite implementar la interfase a tarjetas SD. Por encima de eso, la sAPI-3C implementa funciones de alto nivel que constituyen un auxiliar para el programador, que interactúa con ellas y el middleware

para crear aplicaciones en forma más intuitiva, lo cual redundará en mayor confiabilidad y mantenibilidad de los sistemas.

IV. Ensayos

Los ensayos más simples sobre las bibliotecas sAPI-3C se realizaron en secuencia, partiendo de aplicaciones bare-metal y luego incorporando FreeRTOS, utilizando elementos de una biblioteca abierta para el Display gráfico ILI9341 [13]. En la Figura 3 se muestra el ensayo incorporando comunicación interna via RS485 con una placa periférica METEO (conectado a único sensor de dirección de viento, a modo demostrativo), acceso vía terminal a 19200 baud y uso de display ILI9341 conectado a la interfase SPI1, más interfase de teclado de membrana. Los contenidos de las bibliotecas y los ejemplos de ensayo se encuentran disponibles en [14].



Fig. 3. Ensayo de CL3 con Display, teclado y unidad METEO.

Agradecimientos

El autor agradece al Laboratorio de Sistemas Embebidos de FIUBA y a la Universidad Nacional de la Patagonia Austral.

Referencias

- [1] Placa CL2 (2010) http://www.lyr-ing.com/Embedded/LyRAVR_CySp.htm
- [2] Atmel AVR ATmega1284P (2019) <https://www.microchip.com/wwwproducts/en/ATMEGA1284P>
- [3] Pernia, E., sAPI (simple Application Program Interface) (2017) <https://github.com/epernia/sAPI>
- [4] CIAA, Computadora Industrial Abierta Argentina (2014) <http://www.proyecto-ciaa.com.ar/>
- [5] Microcontrolador STM32F411 (2017) <https://www.st.com/en/microcontrollers-microprocessors/stm32f411re.html>
- [6] STM32CubeF4 LL Libraries (2018) <https://github.com/STMicroelectronics/STM32CubeF4>
- [7] FreeRTOS - AWS (2018) <https://www.freertos.org/>
- [8] Presentacion Trabajos Finales CESE 7ma Coh.(08-2019) <http://laboratorios.fi.uba.ar/lse/tesis.html#Especializacion>
- [9] L.Garberoglio, R.Oliva, Avances en migración a 32 bits de una placa controladora orientada a mediciones industriales, Congreso Argentino de Sistemas Embebidos CASE 2017: Libro de Trabajos en modalidad Foro Tecnológico - ISBN 978-987-46297-3-9, pp. 90-95
- [10] CubeMX32 (2018) <https://www.st.com/en/development-tools/stm32cubemx.html>
- [11] AC6 System Workbench (2016) https://www.ac6-tools.com/content.php/content_SW4MCU/lang_en_GB.xphp
- [12] ELM-Chan FAT FS http://elm-chan.org/fsw/ff/00index_e.html
- [13] Biblioteca grafica STM32 Afiskon (2018), <https://github.com/afiskon/stm32-ili9341>
- [14] Ejemplos CL3 para AC6-STM32 (2019), https://github.com/rafaeloliva/CESE_TrabFinal2019

Categoría

REPORTE

Bioingeniería

Área Temática

Merma en la Tasa de Transferencia Efectiva en placa de neuroseñales inalámbrica en entornos desfavorables

Diego Enrique Coulombie

*Dto de Ingeniería e Investigaciones
Tecnológicas*

*Universidad Nacional de La Matanza
San Justo, Argentina
dcoulombie@unlam.edu.ar*

Agustín Ignacio Reyes

*Dto de Ingeniería e Investigaciones
Tecnológicas*

*Universidad Nacional de La Matanza
San Justo, Argentina*

Alberto Raúl Miguens

*Dto de Ingeniería e Investigaciones
Tecnológicas*

*Universidad Nacional de La Matanza
San Justo, Argentina*

Resumen—En un sistema con comunicación Bluetooth 5 de baja energía se encontró que la tasa de transferencia efectiva era mucho menor a la esperada. Se planteó como hipótesis que la merma en la tasa era debida a la congestión causada por el Wifi en la banda de comunicación. Con el objetivo de determinar cual es el nivel de ocupación del espectro en el que podría funcionar el sistema, se midió dicha tasa bajo diferentes condiciones y se encontró que esta disminuyó con pocos canales de uso persistente y que cayó estrepitosamente con muchos canales ocupados. Se concluye que la implementación actual no es apropiada para la aplicación requerida en entornos de mucha ocupación de la banda.

Palabras clave—Bioseñales, Internet de las cosas Médicas, Bluetooth5 BLE, compatibilidad electromagnética

I. INTRODUCCIÓN

Las comunicaciones inalámbricas Bluetooth de baja energía (BLE) y WLAN (o Wifi) comparten la porción del espectro electromagnético entorno a los 2,4GHz denominado Industrial – Comercial – Médico (ICM). El protocolo BLE opera en las frecuencias 2408 a 2483,5MHz. Su banda está dividida en 40 canales de 2MHz. Tres de esos canales (37, 38 y 39) se usan para emitir paquetes de “Advertencia” (en inglés beacons) con el estado del dispositivo, mientras que los restantes se usan para el intercambio de datos durante la conexión. Los 3 canales de advertencia están situados estratégicamente para que no tengan interferencias con los canales Wifi 1, 6 y 11 que no se solapan entre sí (Fig 1) [1]. La especificación de BLE permite usar sus 3 canales de advertencia simultáneamente pero en muchas implementaciones para disminuir energía y costo se usan menos canales [2].

Todos los paquetes (advertencias y datos) tienen el mismo formato: un preámbulo, una dirección de acceso (AA), los datos del paquete (PDU) y un código de redundancia cíclica (CRC). Esto significa que cada vez que se envía (o reenvía) un dato, se debe pagar un costo extra en el ancho de banda para enviar información protocolar.

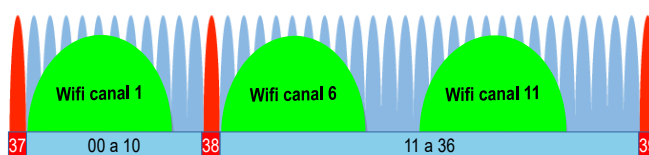


Fig 1 Distribución de canales: verde: Wifi solo se muestran 1, 6, 11, rojo: BLE advertencia, celeste: BLE datos

Teniendo protocolos, características y aplicaciones diferentes los dispositivos que usan ambos sistemas de comunicación compiten por usar del espectro electromagnético. Los canales Wifi invaden a los canales BLE interfiriéndose y necesitándose una retransmisión de datos, con la consecuente pérdida en la Tasa de Transferencia Efectiva (TTE) [3].

Esto se hizo evidente en el proyecto “Monitor de profundidad anestésica”, donde un sistema de adquisición de neuroseñales inalámbrico mostró una tasa muy inferior a la esperada. El sistema utiliza el microcontrolador Texas CC2640R2 para manejar la comunicación de bajo el protocolo Bluetooth 5 BLE. El sistema embebido (SE) desarrollado para la placa usa para la capa de comunicación el stack provisto por el fabricante del microcontrolador [4]. Las necesidades definidas para esta capa en el diseño del sistema son: comunicación bidireccional punto a punto de latencia máxima 300ms con envío de datos de forma constante a una tasa de transferencia efectiva de 700kb/s. Por el tipo de uso debe ser encriptada y por motivos de implementación no se definió ningún tipo de compresión. En el análisis hecho durante el diseño se llegó a la conclusión que el protocolo de comunicación elegido cumplía con las condiciones requeridas. Pero en la prueba inicial se verificó que la TTE no era constante y estaba muy por debajo de la teórica esperada.

Para investigar cual era el problema se planteó la hipótesis que la disminución en la tasa de transferencia de datos de la comunicación BLE se debe al alto nivel de ocupación y congestión de esa banda del espectro. El objetivo del ensayo fue evaluar el desempeño de la comunicación en diferentes locaciones, con diferentes ocupaciones de la banda para evaluar bajo que condiciones podría funcionar la implementación actual del sistema.

II. MATERIALES Y MÉTODOS

A. Materiales

Para hacer el ensayo se usaron 2 placas de desarrollo Launchpad LAUNCHXL-CC2640R2, con los programas MASTER y SLAVE del stack de comunicación Bluetooth 5.0 provisto por el fabricante. La transmisión de datos se hizo a una potencia de 0dB. En el receptor se calculó la tasa de datos recibidos sin errores. Se usó la aplicación Wifi Analyzer para identificar los canales de Wifi ocupados y el analizador de espectro AARONIA SPECTRAN 6065 con antena para la banda de 2,4GHz para visualizar los canales de Bluetooth5-BLE IEEE 802.15.1 y de Wifi IEEE 802.11.

B. Métodos

Se colocaron ambas placas de desarrollo separadas a 2m de distancia, corriendo en una de ellas el programa transmisor MASTER y en la otra el programa receptor SLAVE. Se ubicó la antena del analizador de espectro a 200mm co-lineal a la antena de recepción. Se hicieron mediciones en los turnos mañana, tarde y noche en el laboratorio de la universidad y una medición en un edificio de departamentos de una zona densamente poblada. Se midió la tasa de transferencia efectiva, la cantidad y uso de canales de WiFi detectados, y la presencia de las señales de Bluetooth para cada una de las locaciones

III. RESULTADOS

Las tasas de transferencia efectiva en las distintas locaciones se muestran en la Tabla I.

TABLA I TASA DE TRANSFERENCIA EFECTIVA

Locación	TTE [kb/s]
Laboratorio Turno Mañana	100
Laboratorio Turno Tarde	360
Laboratorio Turno Noche	70
Edificio muy poblado	12

La Tabla II muestra la cantidad de canales Wifi identificados en cada una de las mediciones y el uso del ancho de banda de los canales. En caso de mucho uso la ocupación de los canales fue “persistente” y para poco uso su aparición fue “esporádica”.

TABLA II OCUPACIÓN DEL ESPECTRO POR WIFI

Locación	Uso de los canales Wifi	Canales Wifi ocupados
Laboratorio Turno Mañana	persistente	4*
Laboratorio Turno Tarde	esporádico	4*
Laboratorio Turno Noche	persistente	4*
Edificio muy poblado	persistente	13

* canales IEEE 802.11: 4, 6, 9 y 11

En la locación con mayor población, la ocupación del espectro fue completa, ver “Fig 1”. Inclusive hubo cambios en los SSID lo que sugiere que varias redes compartían el mismo canal.

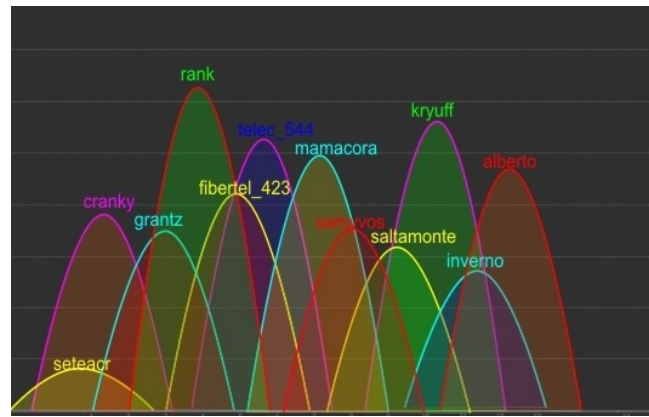


Fig 2 Ocupación de canales wifi en locación muy poblada. Extracto de captura de pantalla de la aplicación Wifi Analyzer.

La Tabla III muestra los canales que pudieron identificarse alternativamente con la señal de transmisión Bluetooth.

TABLA III CANALES DE BLUETOOTH

Locación	Señal Bluetooth identificada en canales IEEE 802.15.1:
Laboratorio Turno Mañana	37, 0 a 6,
Laboratorio Turno Tarde	37, 0 a 6, 10, 38, 34 a 36 y 39
Laboratorio Turno Noche	37, 0 a 6,
Edificio muy poblado	No identificada

IV. CONCLUSIONES

Se pudo confirmar la hipótesis que las diferencias en la tasa de transferencia efectiva están relacionadas con el nivel de congestión del espectro Wifi. Se infiere por el grado de persistencia de las señales observadas que en las locaciones con mayor cantidad de usuarios hay mayor flujo de datos. Eso nos lleva a la conclusión que aún en locaciones donde hay unas pocas redes instaladas cuando hay una gran transmisión de datos, hay un uso considerable en el espectro y una merma en la TTE. El solapamiento de los canales Wifi le dejan poco margen al BLE para hacer una comunicación eficiente. Al usar la técnica de espectro ensanchado por salto de frecuencia (del inglés Frequency Hopping Spread Spectrum o FHSS) [5], termina cayendo indefectiblemente en un canal interferido. Esta técnica dispone de un nuevo salto cada intervalos definidos o ante la llegada de paquetes con error. La solución robustece a la comunicación pero a costa una alta tasa de retransmisión [6] bajando la TTE. En el caso de varias redes Wifi que cubren todo el espectro, la congestión es aún peor perdiendo ya no solo datos sino también los canales de advertencia y como consecuencia la tasa del BLE cae estrepitosamente [7].

Para el caso en particular del proyecto que dio origen a esta investigación se concluyó que la implementación no es adecuada para entornos desfavorables. Ante la necesidad de mejorar o paliar esa situación se propone aumentar la potencia de transmisión para disminuir la pérdida de datos y evaluar la posibilidad de implementar algún tipo de compresión. Otra alternativa aunque con modificaciones de hardware drásticas es cambiar la banda de comunicación por otra sin licencia, que esté menos concurrida, como 915 a 928MHz

REFERENCIAS

- [1] Bluetooth SIG, Bluetooth Core Specification <https://www.bluetooth.com/specifications/bluetoothcorespecification/>
- [2] Abdelmoumen, R. A Review of Link Layer Protocols for Internet of Things. International Journal of Computer Applications. 182. 22-28. 10.5120/ijca2019918618.
- [3] Bosch, P. De Schepper, T. Zeljković, E. Famaey, J. Latré, S. Orchestration of heterogeneous wireless networks: State of the art and remaining challenges. Computer Communications. 149. 10.1016/j.comcom.2019.10.008.
- [4] Texas Instruments Inc, Stack User's Guide, http://software-dl.ti.com/lprf/simplelink_cc2640r2_sdk/1.35.00.33/exports/docs/ble5stack/ble_user_guide/html/cc2640/index.html .
- [5] A. Jedda, G. Jourdan and N. Zaguia, Some side effects of FHSS on Bluetooth networks distributed algorithms, ACS/IEEE International Conference on Computer Systems and Applications - AICCSA 2010, Hammamet, 2010, pp. 1-8, doi: 10.1109/AICCSA.2010.5587029.
- [6] Oliveira, L., Rodrigues, J.J.P.C., Kozlov, S.A., Rabêlo, R., Albuquerque, V.H.C., MAC Layer Protocols for Internet of Things: A Survey. Future Internet 2019, 11, 16.
- [7] Al Kalaa, M. Balid, W. Bitar, N. Refai, H. Evaluating Bluetooth Low Energy in Realistic Wireless Environments. IEEE Wireless Communications and Networking Conference 2016 - Services, Applications, and Business, At Doha, Qatar

Categoría

REPORTE

Implementación de embebidos

Área Temática

Diseño conceptual de un sistema embebido para la administración del agua en hogares

1st Isac Laguna Sánchez
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
isacwercayu@gmail.com

2nd Pedro Cruz Valencia
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
pedro.070615@gmail.com

3rd Josué David Ledesma Sánchez
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
j.ledesma2906@gmail.com

4th Leticia Valencia Aguilar
Ingeniería en Robótica Industrial
Instituto Politécnico Nacional
ESIME Azcapotzalco
CDMX
l_vaal@hotmail.com

5th Derlis Hernández Lara
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dlerlis-lara@tese.edu.mx

6th Gabriel Longoria Cordero
Ingeniería Mecatrónica
Tecnológico de Estudios
Superiores de Cuautitlán Izcalli
Cuautitlán Izcalli, México
ing.gabriel.mec@tesci.edu.mx

Resumen— En este trabajo se presenta el diseño conceptual de un sistema embebido con Internet de las cosas (IoT del inglés *Internet of Things*) para obtener información del nivel de agua en los depósitos de una casa habitación, con el fin de que se puedan tomar decisiones para la administración de este recurso. Para la etapa del diseño conceptual del sistema se utilizó la metodología del despliegue de la función de la calidad (QFD del inglés *Quality Function Deployment*), la cual se basa en considerar los requerimientos del cliente para la conceptualización del prototipo. La principal aportación de este trabajo es el uso de tecnologías como el Internet de las cosas, cómputo en la nube, histórico de datos para apoyar a tareas cotidianas en el hogar y utilizar los recursos naturales de manera responsable. Los resultados experimentales conllevan a concluir que este tipo de implementaciones son de gran utilidad para resolver problemas actuales y para diversas aplicaciones en ingeniería.

Términos indexados—Sistema embebido, internet de las cosas, administración del agua, nivel en los contenedores.

I. INTRODUCCIÓN

Los habitantes del Valle de México siguen enfrentándose a problemas de antaño en pleno siglo XXI como: el abasto y administración del agua, los cortes constantes en el suministro, la pureza dudosa del líquido, la escasa disponibilidad a bajo costo, entre otros temas, son las grandes dificultades de los centros urbanos como la Ciudad de México. La gente se auxilia con lo que tiene a su alcance para aprovechar al máximo el líquido: bombas de agua para casas-habitación, cisternas, tinacos resistentes y de mayor capacidad. Estas son algunas de las respuestas de la población para mejorar la administración en el consumo del agua. Otro problema muy cotidiano son las fugas en el servicio público que afectan las colonias, sobre todo de la zona metropolitana.

En la Ciudad de México el 57.9% de las viviendas cuentan con una cisterna, además el 64% cuenta con una bomba para movilizar el líquido, ya sea hacia un tinaco o a la vivienda misma. De todas las cisternas y bombas de agua que hay en México en promedio el 18% están en la Ciudad de México [1].

El objetivo de este diseño conceptual es crear un sistema que ayude a administrar el consumo del agua, además de facilitar al usuario el manejo de sus bombas y depósitos. Gracias a la implementación de este sistema se puede ahorrar, planificar, administrar y monitorear con la implementación de los sistemas embebidos en los hogares. El proceso de diseño conceptual consiste esencialmente en obtener una solución a

este problema de diseño a partir de las especificaciones, requisitos y necesidades planteadas, mientras que la fase de diseño a detalle corresponde a la generación de todas las especificaciones necesarias para la producción del producto-solución [2].

II. METODOLOGÍA Y DESARROLLO

Un sistema embebido es un sistema electrónico diseñado específicamente para realizar una determinada función formando parte de un sistema de mayor entidad. La característica principal es que emplea para ello un procesador digital (CPU del inglés *Central Processing Unit*) en formato microprocesador, microcontrolador o un procesador digital de señales (DSP del inglés *Digital Signal Processor*), lo que le permite aportar «inteligencia» al sistema anfitrión al que ayuda a gobernar y del que forma parte [2]. El Internet de las cosas (IoT, del inglés *Internet of Things*) es un sistema de dispositivos de computación interrelacionados que tienen la capacidad de transferir datos a través de una red, en general es un concepto que se refiere a una interconexión digital de objetos cotidianos con Internet [3].

Metodología

Para la obtención del diseño conceptual del prototipo se utilizó la metodología QFD (del inglés *Quality Function Deployment*) con la cual se puede llegar a un diseño funcional y competitivo, señalando que este puede ser mejorado en la etapa de diseño a detalle. A continuación, se muestran las consideraciones más significativas de dicha metodología de diseño [4, 5].

1. Análisis funcional del sistema.

En el análisis funcional se detallarán todas las funciones que el sistema deberá cumplir, para esto se delimita la función principal del sistema y las subfunciones para que esta se lleve a cabo. La función global de servicio del sistema en el proceso de diseño describe el papel a desempeñar del sistema, en la Fig. 1 se puede observar el árbol de funciones del sistema a desarrollar, cuya función principal es administrar y controlar el agua en los depósitos de un hogar a través del Internet de las cosas.

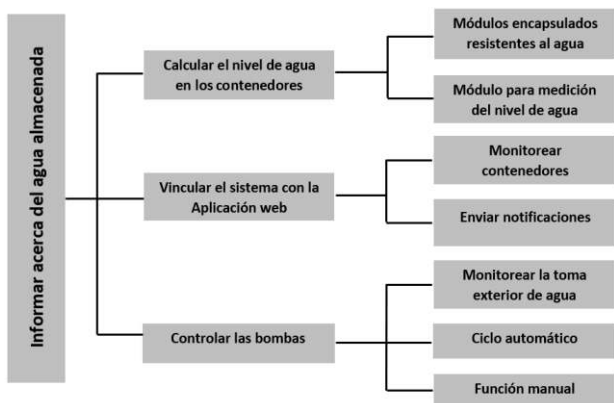


Fig. 1. Árbol de funciones del sistema propuesto.

2. Concepto ganador.

En la Fig. 2 se muestra un diagrama que ejemplifica el diseño conceptual ganador de un sistema embebido para la administración del agua en depósitos de casa habitación de forma gráfica después de aplicar QFD.



Fig. 2. Esquema general del sistema propuesto.

El diseño conceptual se dividirá en dos partes: la parte del *hardware* y la parte del *software*. Para el *software* se diseñará una aplicación web alojada en un servidor que notificará cuando exista un cambio notable en el nivel del agua de los depósitos, además se podrá programar una rutina de encendido y apagado automático de la bomba. Por otra parte, del lado del *hardware* se implementará un sensor ultrasónico y un caudalímetro con Arduino, para el cual los sensores estarán dentro de los depósitos y el caudalímetro en el registro de la toma domiciliaria para medir el caudal del agua.

3. Implementación del diseño obtenido.

De acuerdo con el diseño conceptual obtenido se realizaron dos simulaciones en un *software* de control digital. En la Fig. 3 se presenta el esquemático de control de las bombas de agua, mientras que en la Fig. 4 se muestra el esquemático de conexión del sensor ultrasónico y el de flujo con Arduino.

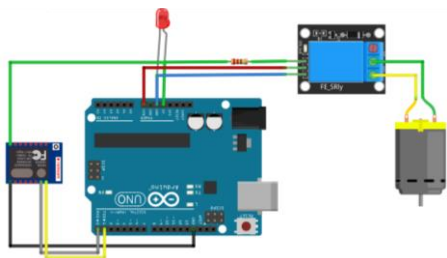


Fig. 3. Esquemático de conexión para el control de las bombas de agua.

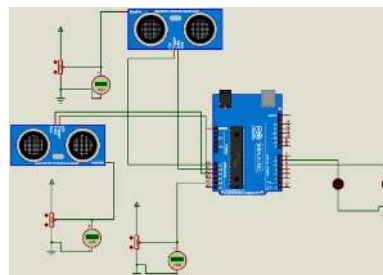


Fig. 4. Esquemático de conexión del sensor de caudal y el de nivel.

III. EXPERIMENTOS Y RESULTADOS

Después del diseño conceptual se procede a realizar el diseño a detalle o implementación física del sistema. En la Fig. 5 se observa la conexión física del diseño para la realización de las pruebas y mejoras correspondientes.

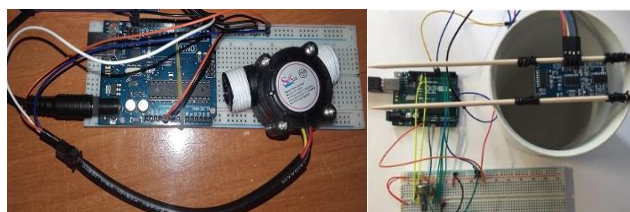


Fig. 5. Conexión física del sistema para las pruebas correspondientes.

En la Fig. 6 se muestra la aplicación Web que será utilizada por el usuario final, cuyo funcionamiento establecido es calcular el nivel del agua y vincular los datos a la aplicación.



Fig. 6. Aplicación Web del sistema implementado.

IV. CONCLUSIONES

Después del desarrollo del prototipo mostrado en este trabajo se concluye que este tipo de sistemas son funcionales y viables para resolver necesidades tangibles de la sociedad. El uso de las tecnologías como el Internet de las cosas permiten tener el muestreo de datos en tiempo real para realizar una mejor toma de decisiones en diversas actividades. Además, el costo de implementar esta tecnología en un hogar es aproximadamente de 45 dólares americanos.

Por otra parte, también se presentó la aplicación del modelo QFD en el diseño conceptual del proyecto para orientar y organizar el proceso de desarrollo de nuevos productos tecnológicos. Asimismo, después del diseño conceptual se procede a realizar la implementación física del sistema embebido para poder valorar su funcionamiento y así obtener la retroalimentación de los usuarios finales con el fin de mejorar e incorporar innovaciones al sistema propuesto.

V. REFERENCIAS

- [1] Milenio, "Ciudad de tinacos, bombas y cisternas," *Milenio*, 15 Febrero 2016.
- [2] D. Hernández Lara, Á. D. Barrera Gracia, J. Álvarez López, M. A. Benítez Mora and G. Hernández Valencia, "Diseño conceptual de un dispositivo electrónico de almacenamiento y conteo de monedas," in *8vo Congreso Internacional de Ingeniería Electromécanica y de Sistemas (CIIES)*, CDMX, 2016.
- [3] M. Pineda de Alcázar, "La Internet de las Cosas, el Big Data y los nuevos problemas de la comunicación en el siglo XXI," *Mediaciones Sociales*, vol. 17, pp. 11-24, 2018.
- [4] . J. R. Hechavarría Hernández, . R. A. Jiménez RodríguezI, E. Leyva Rosabal and . P. A. Núñez Sánchez, "El Despliegue de la Función de Calidad (QFD) usado en redes de riego en Granma," *Ingeniería Agrícola*, vol. 5, no. 1, pp. 39-45, 2015.
- [5] J. Aguilar-Zambrano, A. León Díaz and A. Valencia, "Método interdisciplinar de análisis de productos de apoyo a personas en situación de discapacidad con el uso sinérgico de la función de despliegue de calidad y los procesos analíticos jerárquicos," *Ingeniería y Univervisada*, vol. 17, no. 1, pp. 225-241, 9 Abril 2013.

Sistema para la detección del estado de somnolencia en seres humanos, con reconocimiento de patrones.

1st Lic. Edurnet Luna Becerril
Maestría en Sistemas Computacionales
Tecnológico de Estudios Superiores de
Ecatepec
Ecatepec de Morelos, México
edurnet.luna@outlook.com

2nd Dr. Adolfo Melendez Ramírez
Tecnológico Nacional de México
Tecnológico de Estudios Superiores de
Ecatepec
Ecatepec de Morelos, México
adolfo_melendez@tese.edu.mx

3rd Dr. Emmanuel T. Juárez Velázquez
Tecnológico Nacional de México
Tecnológico de Estudios Superiores de
Ecatepec
Ecatepec de Morelos, México
emmanuel.juarez@tese.edu.mx

Abstract— En este artículo se muestra la implementación de un novedoso sistema de detección del estado de somnolencia en seres humanos, a través de la identificación de patrones faciales y la frecuencia de parpadeo de los ojos. Para este fin se propone la utilización de técnicas de inteligencia artificial, visión por computadora y un sistema embebido con cámara integrada para la adquisición de imágenes. Esta implementación, es parte de un sistema mayor que permite detectar en tiempo real el estado de fatiga de un conductor automovilístico y su grado de somnolencia, todo con el objetivo de disminuir la tasa de accidentes viales causados precisamente por estas razones en México. El uso del lenguaje de programación Python, bibliotecas como OpenCV, Dlib y Scipy, son requeridas debido a los modelos predefinidos que establecen una mayor precisión en la detección de puntos faciales específicos, utilizando como referencia el método de predicción de 68 puntos específicos del rostro. El sistema propuesto tiene la característica de funcionar con luz de día en una primera etapa, y la idea es poder implementarlo en cualquier tipo de vehículo automotriz a un costo accesible a la mayoría de los propietarios de vehículos automotrices.

Keywords--- Estado de somnolencia, fatiga física, sistema embebido, visión artificial, identificación de patrones, inteligencia artificial.

I. INTRODUCCIÓN

Según estudios gubernamentales en México, hasta un 24% de los accidentes viales tienen entre sus factores el agotamiento físico, la fatiga o el sueño [1], lo que ha llevado a realizar múltiples análisis y estudios. En los años recientes tecnologías tan actuales como el reconocimiento facial, Machine Learning, Deep Learning y la inteligencia artificial [2], han tomado un papel protagónico en diferentes áreas de la vida cotidiana de las personas, y la prevención de accidentes en el sector automotriz no es la excepción.

Al día de hoy, existen sistemas de detección de fatiga y sueño que ya están disponibles en algunos modelos de autos de diferentes fabricantes; sin embargo, la gran mayoría de ellos pertenecen a marcas de lujo las cuales no están al alcance del grueso de la población, por lo cual no implican una disminución significativa en el índice de accidentes causados por las razones aquí tratadas [3].

Y precisamente con la intención de disminuir sustancialmente los costos de producción e implementación de esta tecnología, y ponerla al alcance de las mayorías, es que se propone su implementación en un sistema embebido basado en una SBC (single board computer), la cual en un escenario de producción a gran escala, y en un montaje directo en los vehículos, bien puede ser sustituida por un

SoC(System on Chip) mediante un diseño en una tarjeta FPGA(Field-programmable gate array).

II. CAMPO TEÓRICO

En las áreas de reconocimiento de patrones e identificación facial, el rostro humano ha sido caracterizado en diferentes modelos mediante sus rasgos más significativos: orejas, cejas, ojos, nariz y boca, cabe señalar que la forma de la cara también es una característica discriminativa [4], y es un elemento con una componente simétrica bastante elevada, algo de lo que las tareas de detección o extracción de características se benefician en gran manera para realizar la detección o identificación facial.

La visión artificial es una rama de la inteligencia artificial que tiene por objetivo modelar matemáticamente (caracterizar) los procesos de percepción visual en los seres vivos y generar algoritmos que permitan simular estas capacidades visuales por computadora [4]. La detección de objetos es una tecnología relacionada con la visión artificial y el procesamiento de imágenes que utiliza la semántica para identificar objetos de una cierta clase (humanos, edificios, o vehículos) en vídeos e imágenes digitales, entre sus áreas de aplicación se destaca el seguimiento del movimiento [5]. Asimismo, la visión artificial permite la detección automática de patrones y objetos en un mundo dinámico de tres dimensiones a partir una o varias imágenes bidimensionales del mundo real, en donde un patrón actúa como una entidad a la que se le puede dar un nombre y está representada por un conjunto de propiedades, medidas y las relaciones entre ellas. Dicho patrón podría ser una imagen de un rostro humano de la cual, se extrae el vector característico formado por un conjunto de valores numéricos calculados a partir de la misma [6].

Una de las características principales en la detección de patrones es hacer referencia a los hitos faciales, los cuales permiten la detección de puntos de referencia, que permiten a su vez determinar los puntos principales y característicos en el rostro de una persona, y según la variación entre las distancias de estos puntos, se reflejará la diferencia real entre el rostro de dos individuos [7]; para la detección de hitos se hace uso de un modelo de predicción de forma, utilizando una imagen entrenada, donde el predictor localiza los puntos claves, este modelo es conocido como “Facial Landmarks”, este modelo es una serie de puntos (hitos) en el rostro que toman como referencia ciertas zonas de la cara y las partes de referencia generalmente usadas son los ojos, la boca, la nariz, las cejas, el mentón y los bordes del rostro como se muestra en la Figura 1 [8].

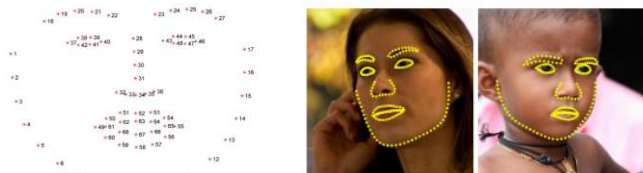


Figura 1. Coordenadas de hito modelo Facial landmarks.[14]

Este modelo de detección se integra en la biblioteca Dlib, la cual se puede usar con el lenguaje de programación Python, y es de gran ayuda en la implementación de alineación de rostros [8] y del método Facial Landmarks [9].

III. DESARROLLO

La biblioteca OpenCV implementada en este proyecto, integra algoritmos para la detección de objetos y también para la detección de rostros en imágenes fijas y video en tiempo real [5].

En los años recientes se han utilizado diversas tarjetas de prototipado rápido con sistemas embebidos sin embargo, en este proyecto se ha venido usando la tarjeta Raspberry Pi 3b+, la cual es una microcomputadora de una sola tarjeta que por su versatilidad sistema operativo, capacidad de procesamiento e interacción con distintos periféricos, ha sido de gran ayuda en la validación de los prototipos de este proyecto [10]; asimismo se utilizó el sistema operativo Raspbian “Buster” [11] junto con el lenguaje de programación Python 3.

El esquema general y prototipo para la validación del proyecto se integran de la tarjeta Raspberry Pi 3b+, su cámara raspicam de 8 millones de pixeles de resolución, así como de un actuador sonoro y un actuador luminoso que indicarán cuando se detecte somnolencia en el conductor mostrado en la Figura 2 y Figura 3.

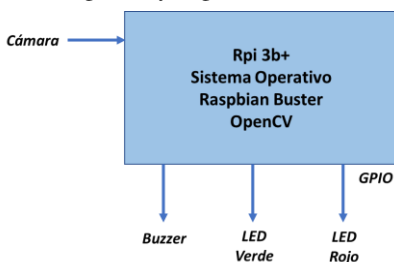


Figura 2. Esquema general del sistema.



Figura 3. Prototipo del sistema.

En la Figura 4 se muestra la detección facial que se obtuvo a partir del algoritmo: Cascade Haar-like Features, con el

cuales se detectaron puntos específicos en el contorno de ojos para medir la frecuencia de parpadeo y medir en consecuencia el estado de somnolencia en el conductor. Por otro lado, el proceso de detección del estado de somnolencia consta de 3 fases principales:

- Detección de hitos
- Detección de ojos y de contornos en parpados.
- Medición de frecuencia de parpadeo mediante la metodología de Quevedo-López [12] durante 60 segundos, donde se establece que el sistema propuesto tiene una efectividad en el conteo de parpadeos de cerca del 90%, con una muestra de diez individuos en cinco intervalos de 60 segundos según la Tabla 1.

Usuarios	Min1	Min2	Min3	Min4	Min5	Total %
	Conteo/Total					
	0	0	0	0	0	
1	7/9	5/7	16/17	19/21	15/18	86.1%
2	13/14	18/20	22/24	15/19	18/21	90.8%
3	14/15	19/21	19/20	18/20	19/22	90.81%
4	8/10	13/14	17/20	8/10	16/17	87.3%
5	6/7	14/15	18/20	9/11	15/16	89.85%
6	9/10	15/17	19/21	10/12	13/14	89.18%
7	11/11	20/21	22/21	12/13	15/17	96.38%
8	22/22	19/21	18/19	13/15	18/19	93.75%
9	14/16	16/17	17/19	20/21	10/10	92.77%
10	20/22	12/12	10/12	19/20	9/9	93.33%

Tabla 1. Muestreo de detección y frecuencia de parpadeo

- Se establece también en este método, que un individuo promedio efectúa alrededor de 20 parpadeos por minuto en ausencia de fatiga o somnolencia, por lo que se hace la consideración que al incrementar este parámetro, también se incrementará el nivel de somnolencia en dicho individuo.

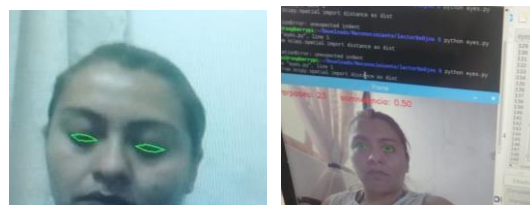


Figura 4. Detección de parpados e identificación del estado de somnolencia.

IV. CONCLUSIONES Y TRABAJO A FUTURO

Los resultados de la fase experimental fueron obtenidos en condiciones de día con luz de día suficiente y buena visibilidad. Se pudo detectar la frecuencia de parpadeo en un tiempo dado de 60 segundos, obteniendo un resultado del 90% de conteos positivos de parpadeos, e identificación del estado de somnolencia a partir del método ya descrito, con un 30% de error. Es importante aclarar que aún se realizan otras pruebas para mejorar sustancialmente la detección del estado de somnolencia. Como trabajo a futuro, se integrarán al proyecto sensores y actuadores, que permitirán reforzar la identificación del estado de somnolencia del conductor mediante variables fisiológicas, y también realizar acciones concretas de prevención ante un potencial accidente.

V. AGRADECIMIENTOS

Se agradecen las facilidades otorgadas por el Tecnológico Nacional de México (TECNM), y por el Tecnológico de Estudios Superiores de Ecatepec (TESE), para la realización de este trabajo de investigación.

VI. REFERENCIAS

- [1] Romero Navarrete, J. A., Martínez Madrid, M., Betanzo Quezada, E., Ramírez Cano, O., & Fortanell Romero, J. M. (2004). Aspectos de la fatiga del conductor y estudio de las tecnologías para detectarla y prevenirla. *Publicación Técnica*, (241).
- [2] Rodríguez, T. (2017). Machine Learning y Deep Learning: cómo entender las claves del presente y futuro de la inteligencia artificial. *Ítem: página web Xataka*. Visto en <https://www.xataka.com/robotica-e-ia/machine-learning-y-deeplearning-como-entender-las-claves-del-presente-y-futuro-de-la-inteligencia-artificial>.
- [3] Jaramillo, M. A. P., & Berrú, Y. T. (2017). Aplicación móvil para la detección de somnolencia de un conductor aplicando visión artificial. *Revista Tecnológica-ESPOL*, 30(2).
- [4] Caballero Barriga, E. R. (2017). Aplicación práctica de la visión artificial para el reconocimiento de rostros en una imagen, utilizando redes neuronales y algoritmos de reconocimiento de objetos de la biblioteca opencv.
- [5] Arévalo, V., González, J., & Ambrosio, G. (2004). La Librería de Visión Artificial OpenCV. Aplicación a la Docencia e Investigación. *Base Informática*, 40, 61-66.
- [6] Calonge, L., & Romero, T. (2001). Redes neuronales y reconocimiento de patrones. *España: Universidad de Salamanca*.
- [7] Slim, M., Kachouri, R., & Atitallah, A. B. (2018, March). Customer satisfaction measuring based on the most significant facial emotion. In 2018 15th International Multi-Conference on Systems, Signals & Devices (SSD) (pp. 502-507). IEEE.
- [8] Kazemi, V., & Sullivan, J. (2014). One millisecond face alignment with an ensemble of regression trees. In *Proceedings of the IEEE conference on computer vision and pattern recognition* (pp. 1867-1874).
- [9] Angulo, F. (2009). De la geometría de Euclides a la geometría "a la Euclides": Procesos demostrativos mediados por Cabri Géomètre.
- [10] Geninatti, S., Gennai, G., Minnucci, G., Roatta, S., & Hendryk, L. (2008). EL ABORDAJE DE LOS SISTEMAS EMBEBIDOS MEDIANTE UN HARDWARE DIDÁCTICO. 1ª Jornadas de Experiencias Innovadoras en Educación en la FCEIA.
- [11] Richardson, M., & Wallace, S. (2012). *Getting started with raspberry PI*. "O'Reilly Media, Inc."
- [12] Quevedo López, N. (2012). *Estudio del parpadeo durante la conducción de vehículos (aspectos cognitivos y de flujo de información)* (Master's thesis, Universitat Politècnica de Catalunya).
- [13] Basco Prado, L., Fariñas Rodríguez, S., & Hidalgo Blanco, M. Á. (2010). Características del sueño de los pacientes en una unidad de cuidados intensivos. *Revista Cubana de Enfermería*, 26(2), 0-0.
- [14] Gupta, I., Garg, N., Aggarwal, A., Nepalia, N., & Verma, B. (2018, August). Real-Time Driver's Drowsiness Monitoring Based on Dynamically Varying Threshold. In *2018 Eleventh International Conference on Contemporary Computing (IC3)* (pp. 1-6). IEEE.

Re-ingeniería de una placa de memoria mediante la aplicación de una FPGA

Christian L. Galasso¹, Eduardo Zito², Martín E. Paz³, Miguel A. Banchieri⁴

^{1,4}Grupo SITIC - Dpto de Ing. Electrónica - Facultad Regional Bahía Blanca - Universidad Tecnológica Nacional - Bahía Blanca - Argentina

^{1,2,3}Servicio de Análisis Operativos, Armas, y Guerra Electrónica - Armada Argentina - Puerto Belgrano - Argentina.

¹christian_galasso81@yahoo.com.ar, ²edu_zito2@hotmail.com, ³pazmartin35@gmail.com, ⁴mbanch@frbb.utn.edu.ar

Resumen—En el presente trabajo se describe la implementación de una FPGA en el marco de la reingeniería de una memoria RAM de una computadora de propósito específico. La misma tiene una acotada capacidad (16 K palabras de 28 bits) y un tiempo de acceso laxo en comparación a las memorias modernas; pero está basada en 28 circuitos integrados de memoria RAM dinámica de tecnología CMOS que le brindan al dispositivo versatilidad en la forma de escritura de la memoria.

Palabras clave—memoria ram, sistema embebido, FPGA, re-ingeniería.

I. INTRODUCCIÓN

Dada la necesidad de extender la vida útil de un sistema de cómputo aplicado a buques, se abordó el trabajo de reingeniería de una placa de memoria RAM de 16 K palabras de 28 Bits, realizada mediante lógica discreta. La placa original se encuentra discontinuada por el fabricante y sin posibilidad de reemplazo compatible en el mercado. La misma debe ser sustituida por una placa que brinde la misma funcionalidad y respete los mismos tiempos de acceso.

El desarrollo se implementó sobre una FPGA SPARTAN III[1], (XC3S50AN) y dado que la RAM interna de la FPGA no cubre la capacidad requerida se utilizó un integrado de memoria RAM estática (SRAM) externo. Este último permite acceder de a 1 Byte, con lo que un acceso a la memoria RAM que se desea replicar implica 4 accesos a la SRAM (32 bits). Cabe acotar que si bien existen otros dispositivos dentro de la familia con mayor capacidad de RAM interna, la selección de éste obedeció a razones de logística de repuestos (ya existe otro desarrollo basado en la misma FPGA [2]), presupuestarias y a la previsión de que obtenido un repuesto completamente funcional, se continuaría la investigación buscando ampliar la capacidad de memoria cuatro veces más.

La aplicación requirió ser tolerante a condiciones de operación exigentes como temperaturas elevadas, vibraciones de baja y alta frecuencia, e interferencia electromagnética de diversas fuentes. Se verificó además que los componentes que se utilizaban en el desarrollo tuvieran estado de producción activo por parte del fabricante. Adicionalmente, el espacio físico y la forma de montaje de cada uno de los componentes del sistema introdujeron restricciones, por lo cual se realizó un diseño con un factor de forma determinado.

II. ESPECIFICACIONES PARTICULARES DEL HANDSHAKE DE LA MEMORIA A REEMPLAZAR

III. Lectura y escritura

La memoria RAM a reemplazar puede ser leída de una única forma (la palabra completa de 24 Bits), sin embargo puede ser escrita la palabra completa, de a media palabra (12 Bits superiores o inferiores) o de a Byte (inferior, medio o superior).

IV. Chequeo de paridad

Cada palabra de 24 Bit que se almacena en memoria posee cuatro Bits de paridad que se distribuyen como se aprecia en la Figura 1. El bit 27 es la paridad de los bits 23 al 16. El bit 26 es la paridad de los bits 15 al 12. El bit 25 es la paridad de los bits 11 al 8. El bit 24 es la paridad de los bits 7 al 0. Esta distribución de la paridad hace que cualquiera sea el tipo de escritura, siempre debe calcularse como mínimo un bit de paridad, el cual debe también almacenarse.

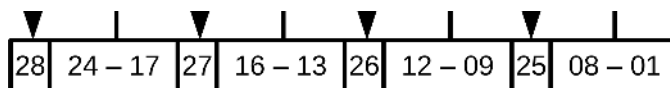


Figura 1. Cálculo de la paridad en la palabra de 24 bits.

V. DESCRIPCIÓN GENERAL DEL VHDL IMPLEMENTADO

Para emular el handshake del dispositivo en cuestión se desarrolló un conjunto de diferentes componentes, como se muestra en la Figura 2, de forma de favorecer el orden y el testeado del diseño sobre la FPGA. Luego de analizar la lógica de funcionamiento y los temporizados del circuito de la RAM original, se pudo definir la cantidad mínima de bloques, cada uno con ciertas funciones particulares, que, al ser vinculados en una estructura general, permiten establecer la correcta comunicación del sistema con la memoria RAM.

- Bloque registrar_entradas: este bloque se encarga de registrar todas las entradas para eliminar problemas de meta-estabilidad que se dan cuando se manejan dos señales de reloj con flancos distintos y deriva variable. Además, genera las señales WE (WE1 a WE4), que permiten determinar la operación a realizar sobre la memoria (lectura o alguna de las escrituras).

- Bloque GEN: sincroniza la señal GEN (8 MHz) con el reloj interno que se le colocó al prototipo (40 MHz). De esta forma, el handshake estará controlado por el reloj de la computadora naval.

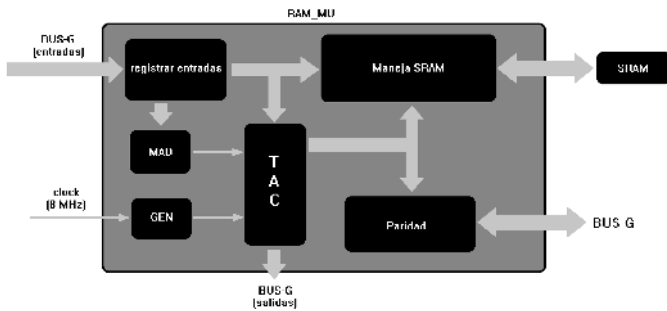


Figura 2. Diagrama en bloques del VHDL.

- Bloque MAD (Memory Address Decoder): este bloque selecciona el módulo de memoria a utilizar, debido a que la computadora naval tiene cuatro unidades de 16K.
- Bloque TAC (Timing And Control): lleva a cabo el temporizado y control de las señales requeridas para iniciar los ciclos de memoria.
- Bloque de Paridad: realiza un control de paridad de los datos. Además, si hay una falla referida a esto, presenta el correspondiente aviso al procesador del sistema.
- Bloque Maneja SRAM: se encarga del manejo del integrado de memoria SRAM y de la comunicación de este con la FPGA. Posee lógica combinatorial, secuencial y una FSM de 18 estados que puede apreciarse en la Figura 3
- Bloque RAM-MU: Todos los módulos individuales están contenidos en esta estructura principal del proyecto, que engloba todos los otros módulos previamente descriptos. Se encarga además, de implementar el temporizado de habilitación y configuración de la FPGA y la SRAM. Recibe las entradas desde el bus de la computadora, las asocia con los respectivos bloques; y conecta las salidas de cada bloque al bus de la computadora.

VI. ENSAYOS Y CAPTURAS

A. Depuración mediante A.L. y Bancos de Prueba

Terminado el desarrollo de los diferentes módulos de VHDL y los ensayos simulados del diseño, se procedió a la integración del sistema para poder realizar las pruebas a bordo. Se instaló el prototipo en uno de los slots correspondientes a las memorias del sistema y mediante una placa expansora se capturó el handshake de la misma mediante un Analizador Lógico. Las primeras pruebas dieron resultados erróneos, dado que había unos detalles particulares de la lógica de funcionamiento que se habían implementado de manera incorrecta. Para solucionar éstos se comparó las capturas obtenidas del sistema original, con las obtenidas del prototipo, buscando aquellos instantes donde este último dejaba de responder como la memoria original. Posteriormente mediante la generación de bancos de pruebas [3][4] que replicaran la señalización capturada en dichos momentos, se identificaron aquellos bloques responsables de las fallas y se realizaron las correcciones pertinentes.

B. Ciclo de lectura de memoria

Se pudo corroborar el correcto funcionamiento del prototipo. Se comparó los tiempos de lectura del prototipo con los del dispositivo original y los mismos fueron iguales (660 ns). Se observó además que los buffer bidireccionales utilizados en el prototipo tuvieron tiempos de establecimiento de los datos a la salida menores que los de la placa original.

C. Ciclo de escritura de memoria

Como se puede apreciar en la FSM siempre se realiza un ciclo de lectura previo a una escritura, esto fue necesario para implementar de manera correcta todas las escrituras parciales. En las capturas del test de prueba de las placas de memoria se pudo verificar, también, el temporizado de la escritura. El mismo resultó con una diferencia de 60 ns en menos, en el prototipo, con respecto a la placa original. Las pruebas que se realizaron a posteriori sobre la computadora de propósito específico, donde se llegó a someter al prototipo hasta 48 horas de uso continuo, demostraron que esta diferencia en menos no afecta el normal desempeño de la misma. Tampoco pudo parametrizarse, si hubo alguna mejora.

VII. CONCLUSIONES

En esta clase de diseño, de componentes particulares con baja escala de integración, se trabaja muy cerca del hardware, con lo cual, la información de las tablas de verdad, de las formas de onda y de las características dinámicas (todas presentes en las hojas de datos) de los diferentes circuitos integrados con los que interactuará la FPGA cobran significativa importancia, aún en la descripción en VHDL.

Asimismo, en el diseño lógico digital, el banco de pruebas resultó ser una herramienta de depuración fundamental. La generación de los mismos a partir de las capturas realizadas sobre el dispositivo original, permitió al equipo de trabajo ir realizando modificaciones sobre el VHDL hasta obtener una versión completamente funcional.

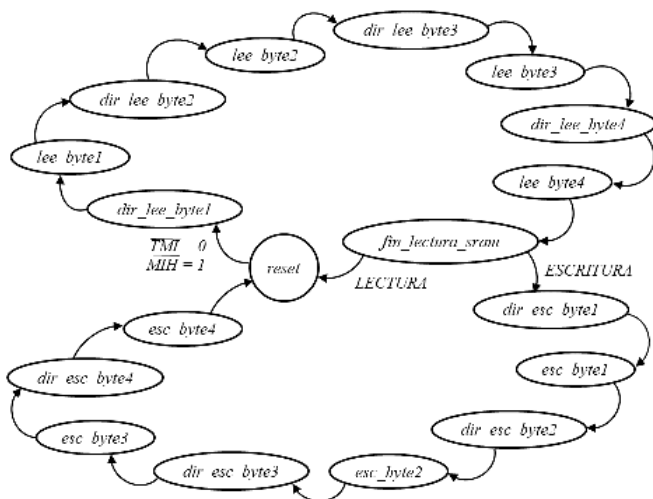


Figura 3. Grafo de la máquina de estado propuesta.

REFERENCIAS

- [1] "Spartan 3 Generation FPGA User Guide. Extended Spartan-3A, Spartan-3E and Spartan-3 FPGA families". Manual de usuario UG331 versión 1.8 de la empresa Xilinx, año 2011.
- [2] "Desarrollo de un prototipo basado en FPGA". Galasso Ch. L.; Friedrich G. R.; Antonini A. A.; Díaz G. J. IV Congreso Microelectrónica Aplicada, UEA 2013, Memorias del Congreso. Friedrich G., Reggiani G., Coppo R., Baldini P., Iparraguirre J., Pellegrino S., Cayssials R (Editores); pp. 59 - 64. ISBN 978-987-1896-18-9.
- [3] ISim User Guide. UG660 (v14.1) April 24, 2012. https://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/plugin_ism.pdf. Consultado el 14/06/20.
- [4] UG660 (v14.1) – ISim User Guide – April 24, 2012.

Diseño de estrategias para la enseñanza y aprendizaje de sistemas embebidos en tiempos de pandemia

M. Giura, N. Gonzalez, L. Sugezky, M. Trujillo, M. Prieto
Departamento de Ingeniería Electrónica
Facultad Regional Buenos Aires - Universidad Tecnológica Nacional
Argentina
mgiura@frba.utn.edu.ar

Abstract— *uModel Factory es un software didáctico profesional de modelado y simulación de aplicaciones para sistemas embebidos, desarrollado en el marco del proyecto de Investigación y Desarrollo del Departamento de Ingeniería Electrónica de la Facultad Regional Buenos Aires de la Universidad Tecnológica Nacional (código 4734). Permite la creación de un diagrama de estados a través de su interfaz gráfica, la simulación del modelo, como así también la generación automática de código C portable y toda la documentación asociada, manteniendo sincronizado, en tiempo de desarrollo, el modelo, código generado y la documentación. En este trabajo se presenta el diseño e implementación de nuevas herramientas de software que permiten tanto al docente como al estudiante, evaluar el modelo creado a partir de la interacción de dicho modelo con un grupo de periféricos virtuales (teclado, display, leds, conversor analógico/digital, entre otros). Dichos periféricos tienen su implementación en la placa base que se utiliza en el dictado de la materia Informática II y a la cual podrán acceder bajo un sistema de préstamos en el segundo cuatrimestre del año.*

Keywords— *Sistemas embebidos; enseñanza ; aprendizaje ; estrategias; modelos; simulación*

I. INTRODUCCIÓN

El uso de modelos se ha vuelto cada más frecuente ya que permiten describir el software de los sistemas embebidos (SSEE), ayudan a comprender el sistema y a diseñar con un nivel de abstracción superior al de los lenguajes de programación.

Un modelo es una representación simplificada de un sistema que contempla las propiedades importantes del mismo desde un determinado punto de vista. Además de servir para lograr un conocimiento más profundo del problema, favorecen el intercambio de ideas entre las personas involucradas en el diseño.

La mayoría de los enfoques actuales en el desarrollo de software basado en modelos coinciden en [1,2]:

- Utilizar una representación gráfica del sistema a desarrollar.
- Describir el sistema con un cierto grado de abstracción.
- Generar código ejecutable para el sistema embebido partiendo del propio modelo.

Los diagramas de estado muestran el conjunto de estados por los cuales pasa un objeto durante su vida en una aplicación

[3]. Para el pasaje de este objeto por los estados del modelo se analiza su respuesta a eventos y se vincula con sus respuestas y acciones. Estos diagramas normalmente contienen estados, transiciones, eventos, acciones y actividades. En otras publicaciones [4, 5 y 6], se ha desarrollado en profundidad las características del software uModel Factory (figura 1).

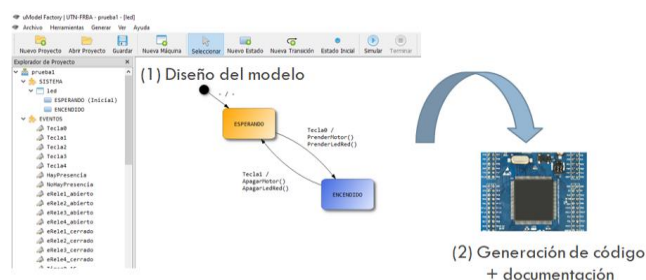


Figura 1. Interfaz de usuario de uModel Factory

En el contexto de la pandemia, donde las actividades de formación presenciales se han trasladado al hogar de estudiantes y docentes, surgen barreras que interfieren en los procesos de enseñanza y aprendizaje de SSEE, ya que los estudiantes no cuentan con los recursos para poder evaluar el funcionamiento de sus prácticas, entre ellos el Kit de desarrollo Infotronic, desarrollado por la Cátedra hace varios años con el objeto de contar con un hardware uniforme y testeado, sobre el que los estudiantes puedan probar sus desarrollos de software sin preocuparse por el hardware de base.

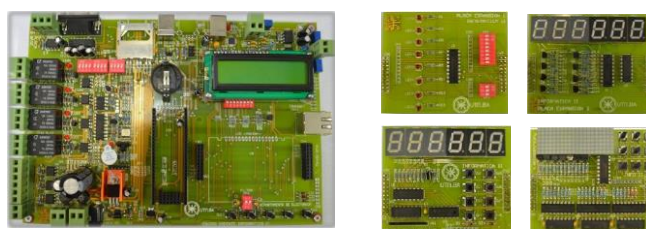


Figura 2. Placa Base (kit) y sus expansiones

El kit Infotronic (figura 2) permite insertar el stick LPC1769 y tiene disponible, entre otros: 4 salidas digitales opto-acopladas, 1 led RGB, 1 conversor AD y otro DA, 2 entradas analógicas, 1 LCD. Además, cuenta con un bus de expansión que posibilita la incorporación de placas adicionales (4 disponibles) con diferentes prestaciones (Display 7 seg, teclados 4 x 3, 8 salidas leds más 8 entradas dip-switches, etc.)

II. PROPUESTA PARA EL PRESENTE CICLO LECTIVO

La cuarentena sanitaria por la que estamos atravesando a raíz de la pandemia por COVID-19, imposibilita que los alumnos puedan disponer de estos kits para sus prácticas. Aunque se prevé la distribución domiciliaria de los mismos durante el segundo semestre de ser necesario, la cantidad disponible no permitirá satisfacer la demanda individualmente. Adicionalmente a la enseñanza de SSEE, nuestra asignatura también aborda una introducción a C++ y a Interfaces Gráficas basadas en el framework Qt. La unión de ambos mundos ha permitido el desarrollo del software uModel Factory ya descrito y, además, una GUI (Graphical User Interface) para el kit Infotronic (figura 3).

En condiciones normales de cursada, es decir, sin Pandemia, el siguiente paso sería realizar el código en lenguaje C que represente el modelo, por ejemplo usando el IDE MCUXpresso, incluir las funciones de la biblioteca desarrolladas también por la Cátedra (pensada para trabajar sobre un modelo de capas, priorizando la portabilidad), y evaluar su funcionamiento directamente sobre el kit. El uso de las funciones de la biblioteca de la Cátedra facilita al alumno novato, el salto de la simulación a la implementación sobre el microcontrolador.

Como práctica habitual de todos los años, los alumnos aprenden a comunicar en serie la GUI de Infotronic (de aquí en adelante “la GUI”) con el kit Infotronic vía USB, utilizando los servicios disponibles en Qt (QSerialPort). Por medio de esa comunicación, protocolo mediante, representamos en la GUI los eventos reales que ocurren en el kit y viceversa.

Con Pandemia, la metodología descrita no puede llevarse a cabo, por ende, modificamos la GUI – y esto es lo que consideramos innovador - de modo tal que sea capaz de comunicarse vía socket (tema abordado en Informática I y retomado en Informática II), estableciendo un protocolo específico para que puedan “entenderse” mutuamente.

TABLA I EVENTOS Y ACCIONES DISPONIBLES

Eventos booleanos	Acciones
<ul style="list-style-type: none"> Entradas / Teclas Eventos de relé abierto / cerrado Eventos de tiempo 	<ul style="list-style-type: none"> Control de grupo de leds Salidas de relay Medición de humedad y temperatura (adc) Visualización de las mediciones (display 7 seg.) Control de led RGB y buzzer Mensajes a través de LCD

Así, modificamos nuestras prácticas de enseñanza de SSEE utilizando uModel Factory y la GUI corriendo ambas en diferentes ventanas y comunicadas, permitiendo al estudiante que no solo simule el funcionamiento del modelo de su máquina de Estados en uModel Factory, sino también sobre la GUI de Infotronic permitiendo (puesto que la comunicación es bidireccional) que eventos que ocurren en la GUI disparen transiciones y acciones, en el diagrama de estados representado en uModel Factory, provocando el correspondiente efecto en las salidas de la GUI.

Así, simular el evento Tecla0 consiste en hacer clic sobre la Tecla 0 de la GUI y ya no sobre un vínculo en uModel Factory. Y se puede apreciar sobre el modelo cómo cambia de estado (a ENCENDIDO). Del mismo modo, PrenderLed0() que es una acción asociada a la transición ESPERANDO -> ENCENDIDO de la figura 4, enciende el Led0 en la GUI de Infotronic.

Ejemplo de uso:

Usando la tecla0 como excitación provocamos la transición entre estados, activando y desactivando el Led0 y el Relay1 (figura 4)

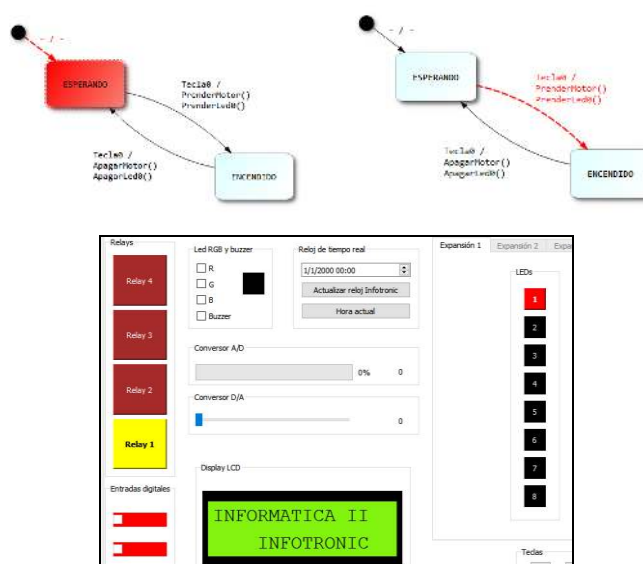


Figura 4. GUI del kit Infotronic con la expansión 1 y diagramas de estados para el ejemplo.

III. CONCLUSIONES

Desde una mirada constructivista [8] la promoción de situaciones de trabajo que fomenten la discusión, el análisis crítico y la evaluación de diferentes formas de resolver problemas facilitarán la aprehensión del conocimiento. En ese sentido, las herramientas de simulación son una pieza fundamental y cumplen un rol significativo en los procesos de enseñanza-aprendizaje [9].

En la situación pandémica actual, el profesorado de la cátedra está realizando un gran esfuerzo para realizar su trabajo sin disminuir la calidad. La imposibilidad de que todos los alumnos tengan un kit de desarrollo impulsó la idea de adaptar la GUI de Infotronic para comunicarse vía socket con uModel Factory y así simular la existencia del kit en cada computadora de los alumnos. De este modo, la simulación, la evaluación en Infotronic, y el monitoreo y ajuste del modelo hacen a todo el proceso y no son herramientas aisladas, sino que se propone una mirada constructivista que favorezca la experiencia y propia reflexión por parte del estudiante a lo largo del cursado de la asignatura.

IV. REFERENCIAS

- [1] G. Booch, J. Rumbaugh, I. Jacobson. "El Lenguaje Unificado de Modelado". Addison-Wesley 2nd Edition, 2006.
- [2] G. Booch, J. Rumbaugh, I. Jacobson. "El Proceso Unificado de Desarrollo de Software". Addison-Wesley 1st Edition, 2000.
- [3] C. Larman. "UML y Patrones: Una introducción al análisis y diseño orientado a objetos y al proceso unificado". Prentice-Hall, 2003.
- [4] L. Sugezky, M. Prieto, N. González, M. Giura, Y. Kuo, M. Trujillo, J.M. Cruz. "Desarrollo e implementación de herramientas de simulación de modelos para sistemas embebidos". Congreso Argentino de Sistemas Embebidos 2016. Publicado en el libro de trabajos del CASE: ISBN: 978-987-46297-3-9
- [5] N. González, L. Sugezky, M. Prieto, M. Giura, Y. Kuo, M. Trujillo, J.M. Cruz. "Evaluación del software uModel Factory como herramienta didáctica". IEEE Argencon, 2016. Publicado en el libro de trabajos de ARGENCON ISBN: 978-1-4673-9766-7
- [6] M. Giura, M. Prieto, L. Sugezky, M. Trujillo, N. González, J. Cruz y Francucci L. "Desarrollo e implementación de herramientas de depuración de modelos para sistemas embebidos". Congreso Argentino de Sistemas Embebidos 2018. Publicado en el libro de trabajos del CASE: ISBN: 978-987-46297-4-6
- [7] M. Giura, M. Prieto, N. González, L. Sugezky, M. Trujillo, J. Cruz. "Análisis del estado del arte en la depuración de sistemas embebidos". Congreso Argentino de Sistemas Embebidos 2017. Libro de Trabajos Modalidades Foro Tecnológico y Póster (ISBN 978-987-46297-8-9)
- [8] Diaz Santana (2004). Enfoque constructivista como herramienta para el aprendizaje. Centro de Competencias de la Comunicación. Universidad de Humacao. Puerto Rico.
- [9] Joaquim, P. – Gonzalez, N. – Navarro, C. (2012). Influencia del software de simulación en la Aprehensión del Conocimiento. II Jornadas de Enseñanza de la Ingeniería (JEIN).

Monitoreo de temperatura, humedad y variables ambientales para apicultura de precisión usando plataforma IoT Thingspeak

Ilber Adonayt Ruge Ruge
Facultad de Ingeniería, Programa de
Ingeniería Electrónica, grupo de
investigación I2E
Universidad Pedagógica y Tecnológica
de Colombia
Tunja, Colombia
ilber.ruge@uptc.edu.co

Erika Dajanna Castañeda Monroy
Facultad de Ingeniería, Programa de
Ingeniería Electrónica, grupo de
investigación I2E
Universidad Pedagógica y Tecnológica
de Colombia
Tunja, Colombia
erika.castaneda01@uptc.edu.co

Diana Carolina Buitrago
Facultad de Ingeniería, Programa de
Ingeniería Electrónica, grupo de
investigación I2E
Universidad Pedagógica y Tecnológica
de Colombia
Tunja, Colombia
diana.buitrago03@uptc.edu.co

Nejith Katherine Cifuentes
Facultad de Ingeniería, Programa de
Ingeniería Electrónica, grupo de
investigación I2E
Universidad Pedagógica y Tecnológica
de Colombia
Tunja, Colombia
nejith.cifuentes@uptc.edu.co

Abstract— Beekeeping and the Internet of Things (IoT) are a fundamental factor in understanding The Colony Collapse Disorder (CCD), one of the main factors in the continued loss of bees worldwide. This research proposal proposes the electronic development based on Arduino and made up of three stages (instrumentation, communication and monitoring), whose impact is focused on the beekeeping sector of the Miraflores municipality of the department of Boyacá (Colombia). The instrumentation stage measures the variables of temperature, humidity, wind speed and luminosity in a test hive, the communication stage transmits wirelessly using the radio frequency module nRF24L01 the variables monitored in the hive to the base station, and the monitoring stage records the behavior of the variables in the IoT Thingspeak platform, which are sent via internet connection using a WiFi NodeMCU v3 module. The proposal is part of the proposal approved in call No. 15 for research grants for the first semester of 2019 from the Research Directorate of the Pedagogical and Technological University of Colombia (UPTC).

Keywords— Precision beekeeping, Arduino, module nRF24L01, WiFi module Node MCU, IoT Thingspeak platform

I. INTRODUCCIÓN

Las abejas son insectos sociales de la especie *Apis Mellifera*, estas viven en familias o colonias de unos 20.000 a 50.000 individuos: reinas, obreras y zánganos, que desempeñan un papel específico en el interior de la colmena que es su centro vital, ya que esta tiene la función de incubadora y es fábrica de jalea real y cera, mientras que en el exterior se aprovisionan de agua, polen, néctar y propóleos [1].

Las funciones mencionadas anteriormente se ven afectadas por las condiciones climáticas y físicas que se presentan en su entorno, debido a esto se observa una disminución significativa en su población, al igual que su actividad de polinización en diferentes frutos y semillas.

Aproximadamente el 73% de los cultivos de frutas y semillas en el mundo son polinizados por alguna especie de abeja y en Colombia se estima que hay aproximadamente 1000 especies [2], por lo que el monitoreo constante de las colmenas podría aumentar el rendimiento de las economías dependientes de la agricultura.

La apicultura de precisión es una subsección de la agricultura de precisión, y se basa en un conjunto de instrumentos utilizados para controlar la salud y la productividad de las colonias de colmenas. Se ha demostrado que el monitoreo en colmena de variables como la temperatura, la acústica, el peso de la colmena y la humedad, produce información para identificar las condiciones previas al enjambre y las pérdidas de colonias [3], [4].

El Internet de las Cosas (IoT) se puede definir como "cosas que están asociadas a través de Internet". Esta asociación ayuda a transferir la información recopilada de varios dispositivos a lugares destinados a través de Internet (ver Fig. 1). El aspecto funcional de IoT es unir cada objeto del mundo de tal manera que los humanos tengan la capacidad de controlarlos a través de Internet [5].

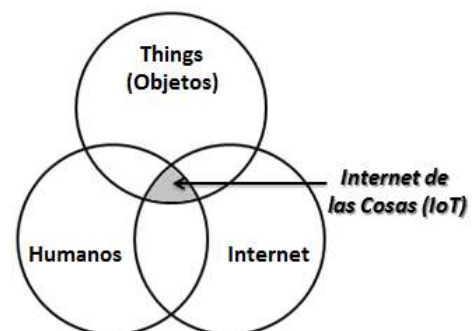


Fig. 1. Relación entre los tres aspectos de IoT.

II. MATERIALES Y MÉTODO

A. Variables a medir

La temperatura dentro de la colmena posee gran influencia en el desarrollo de los huevos, ya que estos evolucionan a una temperatura de 34°C y 35°C que es controlada generalmente por las obreras y así mismo la temperatura exterior influye en la salida de las abejas ya que estas minimizan su actividad. Además, la colmena requiere un rango específico de humedad para mantener sus condiciones necesarias, ya que al estar la colmena en un ambiente húmedo les permite a las abejas la reproducción y el aumento de la población de forma favorable. Al interior de la colmena la humedad típica es del 80%. El viento interviene directamente en el trabajo de las abejas, puesto que la agitación que este provoca perjudica el desplazamiento a las fuentes de néctar y polen. De igual manera, se debe tener en cuenta la orientación de los vientos dominantes para la ubicación de la piquera que es el lugar de entrada y salida de la colmena [1].

B. Instrumentación Electrónica de Colmena.

Se desarrolla un sistema electrónico de medición de variables climáticas e internas en la colmena usando la plataforma Arduino IDE ® como dispositivo controlador. Las variables a medir son: Temperatura/humedad interna (cámara), temperatura/humedad externa, luminosidad y velocidad del viento. Para tal fin, un sensor de temperatura/humedad DHT11 es instalado en un marco ubicado en la mitad de una de las cámaras dentro del cuerpo de la colmena, cubriendo los sensores con malla galvanizada. De igual forma, se utiliza otro sensor DHT11 para medir la temperatura/humedad externa, junto a un sensor de luminosidad TSL2561 instalados en el tejado. Y finalmente, un anemómetro de cazoletas previamente calibrado con la estación climatológica Weather Monitor II ® de Davis Instruments, instalada en la parte lateral del alza de la colmena. La Fig. 2 ilustra las partes principales de la colmena instrumentada.

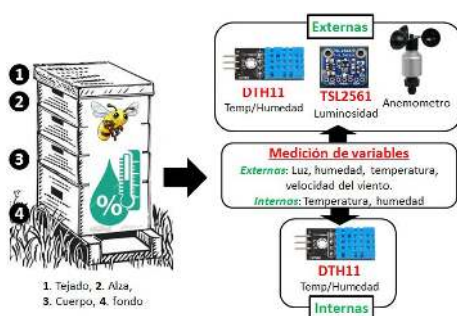


Fig. 2. Instrumentación electrónica en colmena.

C. Comunicación inalámbrica y monitoreo remoto.

El sistema de comunicación de la colmena al nodo receptor se realiza a través de un par de módulos nRF24L01 transmisor/receptor, controlados con un microcontrolador Atmega328 embebido en una plataforma Arduino UNO. Una vez recopilados los datos, se envían al servidor ThingSpeak (<https://thingspeak.com/>) mediante el módulo WiFi NodeMCU v3 basada en ESP8266, para el registro y monitoreo de las variables en internet. La disponibilidad de

bibliotecas especializadas permite configurar y establecer de manera rápida y eficiente, la comunicación inalámbrica de los módulos nRF24 y el nodeMCU. La Fig. 3 muestra los componentes del sistema de comunicación desarrollado.

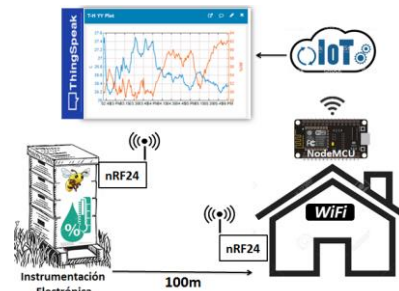


Fig. 3. Diagrama de bloques de monitoreo en colmena con plataforma IoT Thingspeak.

III. DISCUSIÓN Y CONCLUSIÓN

Considerando que el sector agroindustrial es uno de los más importantes y priorizados en el departamento de Boyacá, la aplicación de este tipo de tecnología basada en el concepto del Internet de las Cosas IoT, se considera una gran oportunidad para desarrollar tecnología enfocada alternativa a beneficiar a la comunidad minifundista. El desarrollo realizado busca ser una alternativa para identificar las posibles causas del desorden de colapso de colonia (CCD) en el sector apícola, proporcionando mejores opciones a los apicultores para realizar actividades propias de este sector que mejoran tanto la producción de la colmena, como el impacto que las abejas tienen en el ecosistema gracias a su proceso de polinización.

La Fig. 4 muestra un resultado del comportamiento de las variables de temperatura/humedad en cámara de cría y luminosidad externa. Este registro se obtiene con la opción MATLAB Visualization de Thingspeak. Según Mendizabal F. [6], una temperatura constante de 35°C y una humedad relativa cerca del 80% son vitales para garantizar que larvas y pupas se desarrollen de manera correcta. Los resultados muestran una temperatura promedio de 22°C, esto debido a la temporada de invierno durante la cual se ha hecho la prueba, lo que lleva a pensar en la reubicación de colmena para esta temporada o alguna alternativa de protección térmica. Por otro lado, el valor promedio de humedad relativa es del 80%, siendo esta la deseada.

Finalmente, Nelson E.V. [7] indica que una intensidad luminosa de 2000 a 4000lux se considera adecuada para una correcta actividad de vuelo. La prueba registra máximos de 250lux debido a los días nublados durante la prueba. Esto se refleja en la poca actividad vista en la colmena.

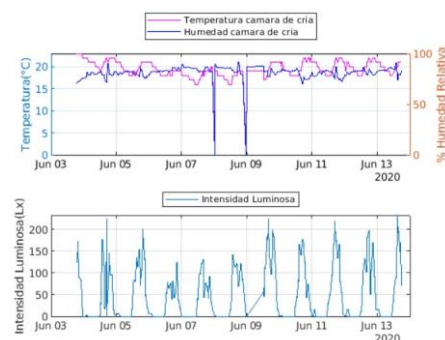


Fig. 4. Registro de variables en Thingspeak (MATLAB Visualization).

REFERENCIAS

- [1] P. Jean-Prost and Y. Le Conte, *Apicultura. Conocimiento de la abeja. Manejo de la colmena*, 4 edición. Madrid, 2007.
- [2] F. J. Chamorro G., “Influencia de la polinización por abejas sobre la producción y características de frutos y semillas de *Vaccinium meridionale* Sw. (Ericaceae) en los Andes Orientales de Colombia,” Bogota, 2014.
- [3] E. Henry, V. Adamchuk, T. Stanhope, C. Buddle, and N. Rindlaub, “Precision apiculture: Development of a wireless sensor network for honeybee hives,” *Comput. Electron. Agric.*, vol. 156, no. October 2018, pp. 138–144, 2019, doi: 10.1016/j.compag.2018.11.001.
- [4] A. Zervopoulos *et al.*, “Wireless Sensor Network Synchronization for Precision Agriculture Applications,” *Agriculture*, vol. 10, no. 3, p. 89, 2020, doi: 10.3390/agriculture10030089.
- [5] A. Khanna, “Evolution of Internet of Things (IoT) and its significant impact in the field of Precision Agriculture,” vol. 157, no. November 2018, pp. 218–231, 2019.
- [6] F. Mendizabal, *Abejas*. Santiago del Estero: Editorial Albatros, 2005.
- [7] E. V. Nelson. & S. C. Jay, Flight Activity of Honeybees in a Flight and Rearing Room. I. The Influence of Light Intensity, *Journal. Apicultura. Research.*, vol. 6, no. 3, pp. 179–183, 1967, doi: <https://doi.org/10.1080/00218839.1967.11100178>.

Medidor de Frecuencia y Amplitud de Onda para Instrumentos de Laboratorio Analógicos

Marcos Peralta
Técnicas Digitales II – Departamento de Electrónica
UTN – FRM – Mendoza, Argentina
marcos.peralta.96@gmail.com

Resumen—Se desarrolló un medidor digital de frecuencia de bajo costo y alta precisión, con la finalidad de ahorrar tiempo durante el uso de generadores de señales analógicos. Se hizo con consideraciones de metrología y se contrastó su funcionamiento, llegando a un instrumento que, en parte, cumplió con los requisitos deseados. Se implementó usando como uC un STM32 CORTEX M3 y elementos analógicos de instrumentación.

Palabras Claves—medir, frecuencia, amplitud, generador, analógico

I. INTRODUCCIÓN

En la universidad, la mayoría de las materias tienen, como complemento de la teoría, clases prácticas de laboratorio en electrónica. La mayoría de las prácticas requieren un osciloscopio y un generador de señales.

Una parte de los generadores que posee la facultad son de tipo analógicos, estos no permiten ver con facilidad las características de la señal generada y carecen de confiabilidad. Por lo tanto, su uso se hace tedioso y propenso a errores, por lo que deben usarse osciloscopios analógicos para verificar la señal que se inyecta al circuito bajo prueba, casi constantemente durante las prácticas.

Por esta razón es que nos disponemos a crear un sistema de medición y visualización de los parámetros de salida de los generadores de señales analógicos.

Se pretende medir en un primer momento la frecuencia de la señal, y como prototipo se busca probar un método de medición de amplitud.

II. ALCANCE

El alcance se encuentra limitado en primer lugar por el presupuesto disponible para la elección de los dispositivos utilizados, ya que como se desea MEDIR, se requieren elementos de precisión, los cuales tienen costos elevados. En segundo lugar, el grado de exactitud del instrumento y su calidad constructiva se encuentran limitados por la calidad de los materiales y la experiencia de los participantes.

III. MATERIALES UTILIZADOS

A. Kit de Desarrollo Cortex STM32F103C6T8 (BluePill)

Es una placa de desarrollo con un microcontrolador de la familia F10X del fabricante ST Microelectronics [1]. Funciona a 72Mhz y posee un ADC de 12bits. Tiene un costo aproximado de U\$8.

B. AmpOp MCP6S21

Es un amplificador operacional [2] de instrumentación de ganancia programable y conectividad SPI [3] pensado para front-ends en instrumentos de medición. Tiene un costo aproximado de U\$3.

C. Display Matricial LCD HD44780U I2C

Display matricial [4] de 16 dígitos alfanuméricos en columnas a dos líneas en filas. Posee además un convertor de paralelo a I²C [5] Tiene un costo aproximado de U\$4.

D. Otros componentes

Se usaron, amplificadores operacionales de precisión, resistencias de tolerancia 1%, comprobadas con un Puente de Wheatstone [6] y elementos varios de electrónica. Tiene un costo aproximado de U\$10.

IV. DISEÑO DE ALTO NIVEL

Para el diseño conceptual, se hace uso de las salidas de señal y de sincronismo (utilizadas para interconexión de aparatos de tipo TTL [7]) de los generadores. Esto facilita el diseño del instrumento, ya que se podrá usar esta salida como entrada del circuito medidor de frecuencia.

Por otro lado, los generadores disponibles en las instalaciones de la Facultad son de una frecuencia máxima relativamente baja, alrededor de unos 300KHz, con amplitudes máximas que rondan los 10V.

V. DISEÑO DE HARDWARE Y SOFTWARE

Como se observa en la Figura 1. El medidor de amplitud consta de dos bloques funcionales:

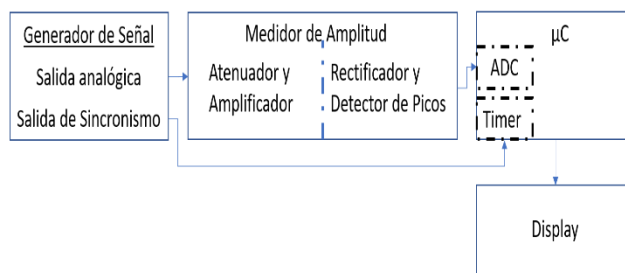


Figura 1: Diseño de Alto Nivel

A. Bloque Atenuador y Amplificador de entrada

Consta de un relé que conmuta un divisor resistivo calibrado según la tensión de entrada y un amplificador operacional de ganancia programable (PGA) donde se asignan las ganancias a la amplificación interna [8]. Sus efectos se tienen en cuenta en el software como constantes de multiplicación para que se muestre el valor real.

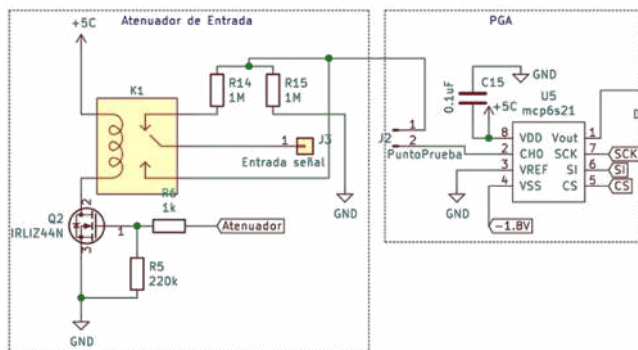


Figura 2: Bloque Atenuador y Amplificador de entrada

B. Bloque Rectificador de Precisión y Detector de Picos

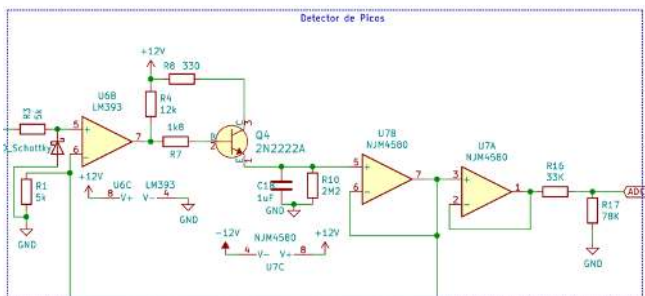


Figura 3: Bloque Rectificador de Precisión y Detector de Picos

Se utiliza un comparador en conjunto con la juntura diódica base-emisor de un transistor NPN para formar un rectificador de media onda de precisión. El transistor se requiere para suministrar la corriente necesaria de carga del capacitor, que almacenará el voltaje pico de la señal de entrada. Se adecúan los niveles de salida mediante un divisor resistivo calibrado utilizando un puente de Wheatstone [6].

C. Software

El software cargado en el uC [9] encargado del control del instrumento, debe realizar 3 tareas; dos de las cuales requieren una rápida respuesta, por lo que se las implementa mediante interrupciones y la tercera función se realiza de manera cíclica. Estas tareas son:

- Conteo de frecuencia.
- Medición de salida del DP, lectura del ADC y control del Atenuador y amplificador.
- No esencial: actualizar los datos del display.

VI. PRUEBAS

Frecuencímetro: Para contrastar las mediciones de frecuencia (Figura 3), se utilizó como patrón el osciloscopio Tektronix TBS1000B [10] y como generador de señal patrón se utilizó HP 33120^a [11]. Se comprueba su efectividad por encima de los 500Hz y hasta los 520KHz. Esto se lo atribuye al método de medición de ventana de tiempo fija.

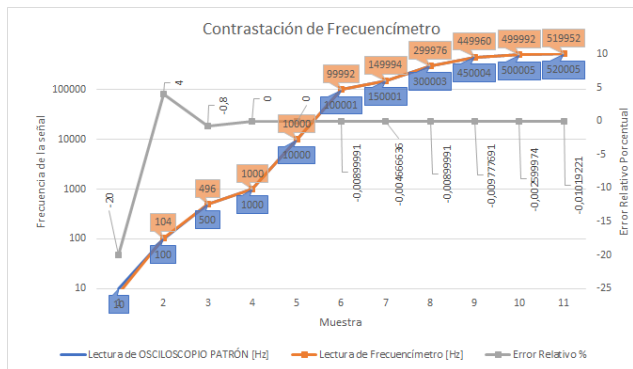


Figura 3: Contrastación de Frecuencia

Medidor de Amplitud: Mediante la contrastación observamos que el circuito de medición (Figura 4) se comporta de manera anormal, presentando una estabilidad de lectura baja y dependiente de la tensión y frecuencia de la onda que se pretende medir, por lo que no es viable para realizar lecturas en amplitud.

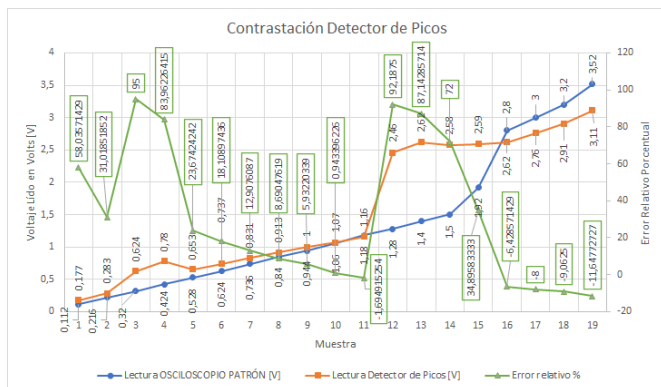


Figura 4: Contrastación Detector de Picos

VII. CONCLUSIONES Y MEJORAS

Concluimos que, con una revisión minuciosa del hardware y unas leves mejoras en el software, el medidor se podría incorporar en los generadores analógicos, actualmente utilizados en la facultad, con la ventaja de su bajo costo.

Para mejorar el desempeño de la medición en frecuencia sería posible aplicar una ventana de tiempo variable, es decir, que el tiempo durante el cual se mide varía dinámicamente según el periodo observado para incrementar la exactitud, precisión y frecuencia máxima alcanzable.

Finalmente, para corregir el medidor de amplitud se debería rediseñar el pcb teniendo en cuenta las capacidades parásitas del mismo y su influencia en el circuito analógico de medición. Arribamos a dicha conclusión debido a que durante el prototipado en breadboard el circuito se desempeñó correctamente, por lo que se puede considerar que el diseño se vio interferido por las características parásitas del método de prototipado.

VIII. AGRADECIMIENTOS

El presente trabajo se realizó como proyecto final de la cátedra Técnicas Digitales II de la Carrera Ingeniería Electrónica de la UTN FRM. Se agradece la colaboración y asistencia técnica de los profesores Gustavo Mercado, Jorge Abraham y Cristian Pérez Monte.

IX. REFERENCIAS

- [1] STMicroelectronics, "Medium-density performance line ARM®-based 32-bit MCU with 64 or 128 KB Flash, USB, CAN, 7 timers, 2 ADCs, 9 com. interfaces" STM32F106C8T6 datasheet, Jun. 2007 [Rev Agosto 2015].
- [2] Microchip, "Single-Ended, Rail-to-Rail I/O, Low Gain PGA" MCP6S21 datasheet, Oct 2012.
- [3] Oudjida, Abdelkrim & Hassan, E.Y. & Tahraoui, Khalid. "SPI-Master Specification Document", March 2009.
- [4] Hitachi, "Dot Matrix Liquid Crystal Display Controller/Driver", HD44780U datasheet, Sep. 1999.
- [5] NXP, I2C-bus specification and user manual, NXP, 2014.

- [6] Medidas Electrónicas 1, Mediciones con puentes, Mendoza: Universidad Tecnológica Nacional, 2005.
- [7] E. Mandado, Sistemas Electrónicos Digitales, Buenos Aires, Ar. Ed. Marcombo, 2015.
- [8] Ahmet Bindal "Electronics for Embedded Systems" Springer International Publishing Switzerland 2017
- [9] Manuel Jiménez, Rogelio Palomera, Isidoro Couvertier "Introduction to Embedded Systems" Springer Science+Business Media New York 2014
- [10] Tektronix User Manuals, TBS1000B and TBS1000B-EDU Series Digital Storage Oscilloscopes, Tektronix Inc, 2014.
- [11] Agilent User Manuals, Agilent 33120A15 MHz Function / Arbitrary Waveform Generator, Agilent Technologies Inc. 2002.

Diseño y construcción de un dispositivo para la medición de inductancias de lazo

Victor Claudio Juarez

Student Member IEEE

Estudiante de Ingeniería Eléctrica

Universidad Tecnológica Nacional Facultad Regional de Tucumán

victorcjuarez@ieee.org

Fernando Fabián Díaz

Estudiante de Ingeniería Eléctrica

Universidad Tecnológica Nacional Facultad Regional de Tucumán

fernandofabiandiaz2@gmail.com

Resumen—La presente investigación esta orientada al diseño y construcción de un instrumental para la medición de inductancias de lazo, con el objetivo de mejorar la rapidez y facilidad de la misma. Una placa Arduino será utilizada para recibir, acondicionar y traducir lo sensado en el ensayo de inductancias de lazo para su empleo en un ordenador.

Palabras clave—Maquinas alternas rotativas, Inductancias de lazo, Arduino.

I. INTRODUCCIÓN

De todas las diferentes pruebas en maquinas alternas rotativas, la medición de inductancia es de suma importancia porque se ve afectada por muchos factores de la maquina eléctrica. A partir de una revisión de la expresión matemática 1 [1], se puede observar que la inductancia tiene dependencia directa con una serie de factores, como ser material del núcleo, electrometría del mismo, y número de vueltas de los devanados, parámetros que inciden en el valor de la inductancia medida. El cambio de posición relativa del rotor con relación a las bobinas distribuidas en la periferia del estator de cierto diámetro dará como consecuencia un cambio del grado de concatenamiento magnético, lo que afectará sensiblemente al valor de la inductancia medida.

$$L = \frac{4\pi\mu AN^2}{l} [H] \quad (1)$$

L= Inductancia

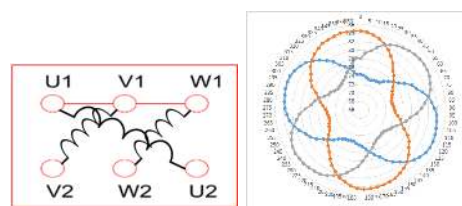
A= Área

l= Longitud media

N= Numero de espiras

mu= Permeabilidad

Para medir la misma se hace uso de un inductómetro, estos aparatos poseen un rango más que amplio al poder medir desde los micro Henrios [uH] a los Henrios [H]. En el apartado de los micro controladores, Arduino [2] demuestra ser una plataforma de fácil uso y adquisición. La carencia de un instrumento practico y rápido a la hora de realizar el ensayo de inductancias de lazo, llevó al diseño y desarrollo de un sistema que recibe, acondiciona y traduce lo sensado, para su posterior uso.



(a) Esquema de conexión (b) Gráfico circular del ensayo

Fig. 1

II. METODOLOGÍA

A. Inductancias de lazo

La medición de inductancias de lazo [3] consiste en cortocircuitar un extremo de los devanados del motor/generador, tomar la medida de las inductancias en los bornes restantes libres de a pares, siendo un lazo la conexión en V de dos bobinas, la conexión es ejemplificada en la Fig.1a, se gira el rotor de la maquina eléctrica, tomando mediciones de inductancias, cada 5° o intervalos regulares, hasta completar los 360°. Estos valores de ángulos serán obtenidos por un sensor de posición magnético ubicado en el eje de la maquina. Al finalizar con el lazo correspondiente se pasa a los restantes, repitiendo el método. Los datos son tabulados y representados en un gráfico circular como el mostrado en la Fig.1b.

B. Motor de pruebas

Como maquina a ensayar se eligió un motor asíncrono trifásico, marca Eberle [4] de 2,2[KW] de potencia, perteneciente al Laboratorio de Electrotecnia y Maquinas Eléctricas de la universidad.

C. Instrumento patrón

Para realizar el contraste de las mediciones obtenidas, se usa un Tester Ut603 Htec [5], de la marca UNIT. El mismo mide inductancias en el rango de 2 [mH] a 20 [H].

III. DISEÑO DEL SENSOR

Para la medición de inductancias [6] existen diversas formas: midiendo tensión y corriente, método de los 3 voltímetros, a través de puentes de corriente alterna, mediante osciloscopio, etc. El diseño del sensor se basa en el principio de resonancia [8].

A. Sensor de inductancia

Un circuito tanque [8] se conforma de un inductor en paralelo con un capacitor, quien al recibir un pulso resonará a una cierta frecuencia. Conociendo esta característica se procede a generar un pulso, esperar la respuesta y medirla. Para que la señal generada pueda ser leída por la entrada analógica del microcontrolador se procede a usar un comparador como el LM339 [7]. Se genera un pulso mediante la salida analógica del Arduino, quien hace resonar un circuito LC, creando así una señal amortiguada que oscila a la frecuencia de resonancia. Despejando de la ecuación de frecuencia [8] el valor de la inductancia, queda, según la ecuación 2.

$$L = \frac{1}{4\pi^2 F^2 C} [H] \quad (2)$$

F= Frecuencia
L= Inductancia
C= Capacitancia

La medición de frecuencia se realiza mediante el mismo Arduino luego de haber sido convertida de una onda seno a una onda cuadrada mediante nuestro circuito integrado comparador; y al ser el valor de capacitancia conocido, se procede a conocer el valor de inductancia. El circuito es esquematizado en la Fig.2.

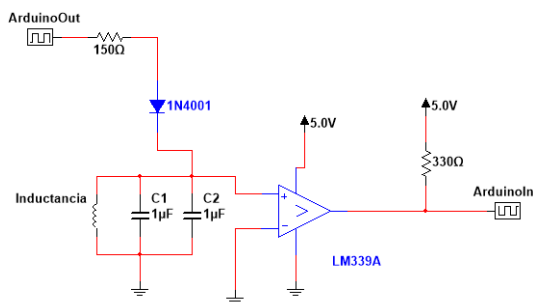


Fig. 2: Circuito

El algoritmo dará como resultado la inductancia desconocida, genera un tren de pulsos que pasan por el circuito antes mencionado, este entrega una señal que es leída por el microcontrolador, con la misma se efectúa el calculo de la inductancia; entre ellas se agregan filtros digitales [9] para un mejor acondicionamiento de los datos. Se implementa un pulsador para solo mostrar los datos en el momento que se cierre el mismo, esto es necesario ya que las mediciones se deben tomar en conjunto con los ángulos medidos por el sensor de posición magnético.

B. Contraste del sensor

Al realizar el respectivo contraste se obtuvo lo mostrado en la Fig.3.

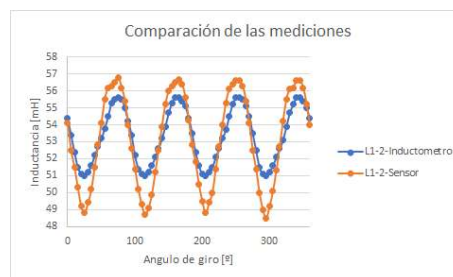


Fig. 3: Valores de contraste obtenidos del ensayo

Estos datos obtenido en el ensayo de contraste poseen la misma tendencia, el error obtenido se puede apreciar en la Fig.4.

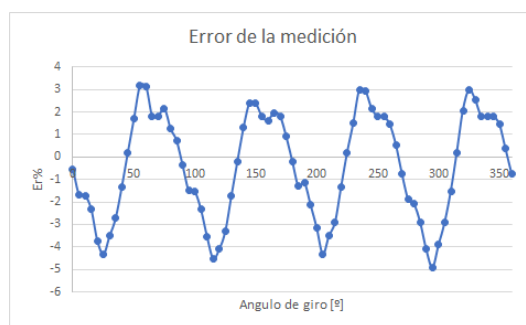


Fig. 4: Error obtenido

IV. CONCLUSIONES

Al analizar los datos presentados anteriormente, se observa que el error oscila en una banda de -4,9% a 3,15%, siendo valores groseros a la hora de medir, pero mencionado error pierde importancia ya que el ensayo de inductancias de lazo entrega resultados de manera gráfica, y en este sentido lo obtenido por el sensor sigue el patrón de medición del inductómetro. Llevado a la práctica el sensor redujo los tiempos del ensayo de una hora a menos de 10 min por maquina eléctrica, además de que se paso de dos personas a solamente una para realizar las respectivas pruebas. Las desventajas del sensor radica en sus alcances ya que esta restringido por el valor de capacitancia empleado en el circuito tanque; a futuro este problema se resolverá mediante un selector con distintos valores de capacidad, además de incluirle un sensor de posición integrado.

V. AGRADECIMIENTOS

La realización de esta investigación fue posible, en primer lugar, a la cooperación brindada por el Ing. Pablo Duberti, que gracias a sus aportes técnicos y apoyo se logro hacer este proyecto. También se desea agradecer el total apoyo del laboratorio de Electrotecnia y Maquinas Eléctricas.

VI. REFERENCIAS

- [1] Inductance. Online. Available:<https://physics.info/inductance/>
- [2] Datasheet Arduino NANO. Online. Available:<https://www.arduino.cc/en/uploads/Main/ArduinoNanoManual23.pdf>
- [3] Proyecto de investigación UTN8048, Identificación de fallas en máquinas de corriente alterna rotativas mediante la medición y análisis de inductancias de lazo, Universidad Tecnológica Nacional Facultad Regional de Tucumán.
- [4] Motor Eberle. Online. Available:<https://www.bernabeig.com.ar/descargas/TRIFASICO-IEC.pdf>
- [5] Tester Ut603. Online. Available:<http://digi.agelectronica.mx/pdfs/UT-603.pdf>
- [6] Dr. Ing. Melchior Stockl, Técnicas de las medidas eléctricas, Primera edición, 1960, Editorial:LABOR.
- [7] Datasheet LM339. Online. Available:<https://www.onsemi.com/pub/Collateral/LM339-D.PDF>
- [8] Hugh Hildreth Skilling, Circuitos en Ingeniería Eléctrica, Decimacuarta edición, 1985, Editorial: CECOSA.
- [9] Steve Winder, ANALOG AND DIGITAL FILTER DESIGN, Second Edition, 2002, Editorial: Newnes.

Procesador de audio digital de dos bandas para FM

Gastón Vallasciani
Facultad de Ingeniería, UNMDP
Buenos Aires, Argentina
gastonvallasciani@gmail.com

Facundo Larosa
Universidad Tecnológica
Nacional, FRH
Grupo de Aplicaciones en
Sistemas Embebidos
Haedo, Buenos Aires, Argentina
flarosa@frh.utn.edu.ar

Pablo Gomez
Facultad de Ingeniería, UBA
Laboratorio de Sistemas Embebidos
Buenos Aires, Argentina
pgomez@fi.uba.ar

Resumen— En este artículo se presenta el desarrollo y la implementación de un procesador de audio digital de dos bandas con fines comerciales de acuerdo con la resolución N° 142 SC/96 de la ENACOM. Éste permite modificar los parámetros de una señal de consola de un estudio de radio y reducir su rango dinámico, así como realizar filtrados sobre las distintas bandas de frecuencia según requerimiento del operador. Específicamente, se procura obtener un diseño de bajo costo, modular y flexible de forma tal que pueda ser adaptado a diferentes usos y que se pueda ampliar sus funcionalidades para futuras aplicaciones.

Keywords— Microcontroladores; FM; Procesadores de audio digitales

I. MOTIVACIÓN Y CONTEXTO

Un procesador de audio para frecuencia modulada (FM) [1] es un equipo que modifica los parámetros de una señal de audio, permite reducir su rango dinámico y, de esta forma mantener los picos de modulación del transmisor de FM dentro de los parámetros legales [2].

El procesamiento de audio puede ser realizado de forma digital o analógica. Si bien ambas posibilidades se encuentran disponibles en el mercado y brindan un procesamiento adecuado, el procesamiento digital tiene como ventajas: la reducción sustancial de componentes electrónicos con la consiguiente reducción en los costos, la posibilidad de realizar actualizaciones sobre el equipo con mayor facilidad ya que las modificaciones de hardware se realizan en menor medida, la simplificación de la calibración en fábrica y la puesta en marcha del equipo por parte del cliente.

Los procesadores de audio para FM toman la señal de audio proveniente de una consola presente en un estudio de radio, la procesan según los ajustes que hace un operador y la entregan procesada al transmisor de FM tal como se observa en la Fig. 1. El transmisor de FM toma la señal de audio procesada y la transmite en la banda de FM que se encuentra comprendida en el rango de 89,7 a 108 MHz.

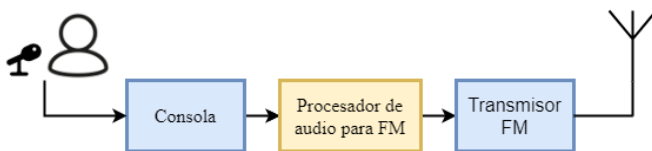


Fig 1. Esquema de funcionamiento del procesador de audio para FM.

Con el objetivo de relevar el estado del arte se analizaron, a modo de muestreo, dos equipos comerciales, uno importado y el otro nacional, de uso frecuente en el ámbito local y se realizó una comparación entre ambos. A partir de este análisis se observó que la tecnología de un equipo se encuentra basada en tecnología DSP y la tecnología del otro se encuentra basada

en circuitos combinacionales y electrónica analógica [3,4]. Para el equipo digital se observaron frecuencias de muestreo de 32, 44,1, 48, 88,2 y 96 kHz y una latencia de entre 4 y 20 ms. En el equipo analógico no aplica el concepto de frecuencia de muestreo ya que no se digitaliza la señal de audio y la latencia es el propio retardo que introducen los componentes. El número de bandas observado en los equipos se encuentra comprendido entre 2 y 5 bandas.

La frecuencia de muestreo mientras más alta sea menos ruido introduce en la digitalización de la señal de audio [5]. El número de bandas sobre la cual se procesa la señal permite sectorizar el procesamiento según cada banda y por lo tanto operar sobre la señal con mayor precisión.

Se planteó un equipo de bajo costo inicial, con características modulares, de forma tal que pueda perfeccionarse en sucesivas iteraciones de diseño. Por ello, se eligió una implementación sobre una plataforma de desarrollo, en particular la EDU-CIAA-NXP [6]. El uso de esta placa se decidió por tener un costo inicial adecuado, una amplia documentación, unidad de procesamiento de punto flotante por hardware y la interesante posibilidad futura de realizar una implementación sobre la arquitectura de doble núcleo asimétrica.

II. ESTRUCTURA GENERAL DEL PROCESADOR

El equipo desarrollado en este trabajo se subdivide en cuatro grupos de bloques según se esquematiza en la Fig. 2. Éstos, se encargan de: acotar en banda la señal de entrada, acondicionarla para su adquisición, procesarla digitalmente de acuerdo a los requerimientos del usuario y finalmente reconstruir la señal analógica previamente procesada.

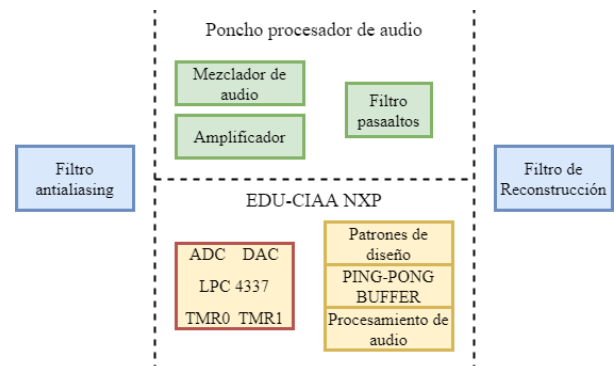


Fig 2. Diagrama de bloques procesador digital de audio para FM.

Se diseñó e implementó una interfaz de hardware (“poncho”) para llevar a cabo las funciones de acondicionamiento y adquisición de señales acoplada a la

EDU-CIAA-NXP, la cual por medio de su procesador LPC4337 [7] sirve de unidad de procesamiento.

En el poncho se implementó un mezclador de audio que suma el canal izquierdo, el canal derecho de la señal de entrada y un nivel de continua. Luego, la amplitud de la señal de salida del mezclador, se magnifica usando un amplificador variable para que finalmente la señal resultante sea digitalizada.

Una vez procesada la señal de audio, mediante un filtro pasa altos se elimina el nivel de continua de la señal generada y mediante un filtro pasa bajos conectado en cascada se reconstruye la señal de audio.

Para realizar la adquisición y generación de la señal de audio se utilizó el ADC y el DAC integrados en el microcontrolador de la placa de desarrollo. Éstos fueron configurados con una frecuencia de adquisición y generación de 44,1 kHz y una resolución de 10 bits.

Debido a la alta frecuencia de muestreo y al gran volumen de datos adquiridos se utilizó la técnica de buffer triple (“triple buffering”) para adquirir, procesar y generar la señal de audio de forma sincronizada. Además, se utilizaron patrones de diseño de hardware [8] para favorecer la abstracción entre módulos. De esta forma, se separaron los bloques de procesamiento de los de generación y adquisición de audio.

El procesamiento realizado ejecuta secuencialmente un filtro pasa bajos con una frecuencia de corte de 15 kHz [9] ya que la Resolución N°142 SC/96 de la ENACOM [1] establece que no debe haber contenido de la señal de audio por encima de 15 kHz al transmitir al espectro de FM. Luego, ejecuta un simetrizador de picos que es el encargado de controlar el valor medio de la señal de audio y simetrizar la señal de voz. A continuación, se realiza mediante un filtro de cruce (“crossover”) [10] de dos vías la separación en dos bandas de procesamiento y se ejecuta un compresor de audio [11] rápido sobre cada una para combinarlas finalmente. A la señal resultante se le aplica un recortador (“clipper”) para limitar los picos de modulación de audio, y por último se realiza nuevamente la generación de la señal.

III. HARDWARE DESARROLLADO

El PCB desarrollado (Fig. 3) se implementó a modo de poncho para que se pueda montar sobre la EDU-CIAA NXP.



Fig 3. Poncho procesador de audio.

IV. ENSAYOS

Para validar los módulos implementados se realizaron ensayos unitarios sobre el módulo de compresión de audio y sobre el módulo que ejecuta el filtro de entrada y el filtro de cruce de separación en bandas. Para estos ensayos se armó el banco de pruebas cuyo esquema se indica en la Fig. 4.

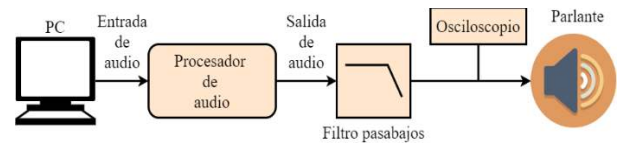


Fig 4. Banco de pruebas para ensayos.

Para realizar el ensayo unitario del módulo de compresión de audio se inyectó un tono puro 5 kHz a la entrada del procesador de audio mediante la PC. La señal inyectada luego de un tiempo aumenta su amplitud para generar el gatillado del compresor de audio. En el procesador se habilitó el módulo de compresión de audio con un tiempo de ataque y un tiempo de relajación de 30 ms y una relación de compresión de 2 veces. De esta forma, se obtuvo la señal resultante que se observa en la Fig. 5.

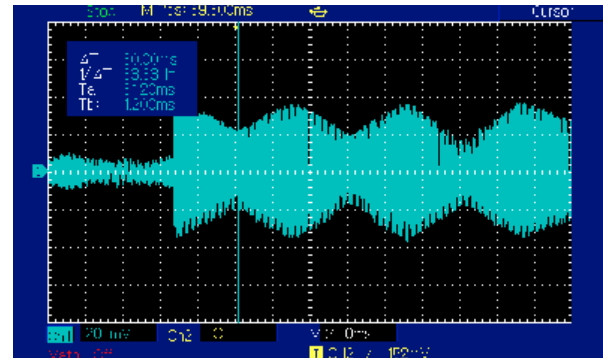


Fig 5. Señal resultante del ensayo del módulo de compresión de audio.

Inicialmente el compresor no actúa hasta que se genera el gatillado. Luego se observa como la señal comienza una secuencia de compresión y descompresión controlada de 30 ms como fue configurado inicialmente. De esta forma, se corroboró el correcto funcionamiento del módulo.

Para realizar el ensayo del módulo de ejecución de filtros se inyectaron tonos puros al procesador de audio, y se comparó la señal inyectada con la señal filtrada sobre el osciloscopio. De esta forma, se verificó que la atenuación de los filtros implementados sea correcta.

Además, se realizó un ensayo integrador mediante el cual midió la latencia del equipo, resultando de 34,8 ms. Este valor es comparable con la latencia del equipo digital analizado [3] cuya latencia se encuentra comprendida entre 4 y 20 ms según ajustes.

V. CONCLUSIONES

Se desarrolló un procesador de audio de FM de dos bandas de bajo costo en comparación con equipos comerciales nacionales e importados. El prototipo desarrollado en este trabajo tiene un costo aproximado de 150 dólares mientras que el equipo nacional tiene un costo de 500 dólares y el equipo importado tiene un costo de 1500 dólares. La latencia de procesamiento es comparable con la de los equipos analizados. Su desarrollo modular y la implementación de patrones de diseño permite realizar modificaciones o agregar nuevas funcionalidades de manera simple reduciendo la cantidad de horas de desarrollo necesarias para ello.

Este trabajo se realizó como Trabajo Final de la Carrera de Especialización en Sistemas Embebidos de la UBA, es un trabajo abierto y su código [12], el PCB desarrollado [13] y el informe final [14] del trabajo realizado se encuentran disponibles en la web .

REFERENCIAS

- [1] O. Bonello, "New improvements in audio signal processing for AM Broadcasting", AES Journal, Vol 24, no 5, June 1976.
- [2] Comisión Nacional de Comunicaciones CNC, "Resolución N 142/96", 1996.[Online]Disponible:
https://www.enacom.gob.ar/multimedia/normativas/1996/Resolucion%20142_96.pdf.
- [3] Procesador de audio ORBAN. [Online] Disponible: <https://www.orban.com/optimodfm-8700i>.
- [4] Procesador de audio para FM M31 Electronica SRL. [Online] Disponible: http://m31electronica.com/uploadfiles/3bandas_MKIII.pdf.
- [5] Tomás RobiscoP, "Los males del audio digital: Jitter, aliasing, errores de cuantización", enero, 2016. [Online] Disponible: <http://www.ispmusica.com/tecnologia-musical/didactica-estudio-de-grabacion/1898-los-males-del-audio-digital-jitter-aliasing-errores-de-cuantizacion.html>.
- [6] Proyecto CIAA, "Computadora Industrial Abierta Argentina", 2013. [Online]Disponible: http://www.proyectociaa.com.ar/index_quees.html.
- [7] NXP Semiconductors, "32-bit ARM Cortex-M4/M0 microcontroller", LPC435x/3x/2x/1x datasheet, [Revised Jan.2020].
- [8] Bruce Powel Douglass, *Design patterns for embedded systems in C: an embedded software engineering toolkit*. Elsevier, 2010.
- [9] Steven Smith, *Digital signal processing: a practical guide for engineers and scientists*. Elsevier, 2013.
- [10] Rane, RaneNote. "Linkwitz-Riley Crossovers: A Primer",2008. [Online]Disponible: <https://arquivo.pt/wayback/20091016055501/http://www.rane.com/pdf/ranotes/Linkwitz%20Riley%20Crossovers%20Primer.pdf>.
- [11] L. Gilberto D. Fernández I. Sánchez. "Compresores de audio", 2011.
- [12] G. Vallasciani, Repositorio código de firmware. [Online] Disponible: <https://github.com/gastonvallasciani/procesadorDeAudio>.
- [13] G. Vallasciani, Repositorio placa de circuito impreso. [Online] Disponible: https://github.com/gastonvallasciani/CESE6Co2018_PCB.
- [14] G. Vallasciani, "Procesador de audio digital para FM", Esp. Tesis, Universidad de Buenos Aires, CABA, 2018. [Online] Disponible: <http://laboratorios.fi.uba.ar/lse/tesis/LSE-FIUBA-Trabajo-Final-CESE-Gaston-Alfredo-Vallasciani-2019.pdf>

Diseño conceptual de un sistema biométrico para casilleros

1st Mexitli Fátima De La Vega Gaytan
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201710367@tese.edu.mx

2nd Ricardo Daniel Robles Niño
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dannielrobles@hotmail.com

3rd Brian Alan García Quijano
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201625195@tese.edu.mx

4th Pedro Flores Palmeros
Ingeniería Electrónica
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
ppalmeros@tese.edu.mx

5th Derlis Hernández Lara
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dlerlis-lara@tese.edu.mx

6th Alejandro García Hernández
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
alex_hernandez2903@outlook.com

Resumen— Este trabajo presenta el diseño de un sistema biométrico para ser implementado en casilleros escolares, con el fin de brindar una herramienta que permita dar seguridad a los usuarios. Para la etapa del diseño conceptual se utilizó la metodología de *Design Thinking*, ya que esta herramienta permite generar diseños innovadores, funcionales, rápidos y basados en las necesidades de las personas. El resultado es el uso de un sensor para huellas dactilares manipulado mediante un microcontrolador *Atmega328*, que a su vez se conecta con una base de datos para identificar si el usuario tiene permiso de acceder al casillero.

Términos indexados— Sistema biométrico, *Design Thinking*, Sistemas embebidos, lector de huella dactilar.

I. INTRODUCCIÓN

El concepto biometría por su etimología proviene de las palabras bio (vida) y metría (medida), consiste en técnicas que miden e identifican las características físicas únicas de organismos vivos o patrones de su comportamiento, que permiten identificar diferentes rasgos, por ejemplo, las huellas dactilares. Para esto se debe elegir una característica dotada de una fuerte variabilidad de un individuo a otro [1]. Dentro de los principales métodos utilizados en la biometría se encuentran: el rostro, huella dactilar, voz, etc. El sistema más común en la práctica, es el reconocimiento de huellas digitales, y como en cualquier otro método no está exento de errores, consecuentemente existe un margen de error durante la implementación, sin embargo, dicho margen de error es mínimo en este. El método de las huellas digitales se encuentra entre las diez tecnologías emergentes que cambiarán el mundo según un informe realizado por el MIT (*Massachusetts Institute of Technology*) [2].

Para este desarrollo tecnológico se aplicó la metodología *Design Thinking* (uno de los métodos más eficaces para conseguir ideas innovadoras que generen impacto positivo el mercado), con el fin de obtener un producto ajustado a las necesidades de las instituciones, las microempresas de seguridad y demás grupos de interés, además de aportar al desarrollo tecnológico del país, con la aplicación de técnicas innovadoras que impulsen al sector productivo para ser más competitivos y ofrecer procesos sofisticados que sean de gran interés para el usuario final, logrando implementar prototipos tecnológicos innovadores y funcionales.

II. METODOLOGÍA

El proceso *Design Thinking* (DT) fue planteado a finales de la década de los 1980 por David Kelley, y posteriormente

fue conceptualizado y masificado por Tim Brown, cofundador y presidente de la empresa Ideo. Esta metodología permite desarrollar productos basados en las necesidades del usuario final, con el fin de obtener productos funcionales para solucionar necesidades reales del mercado, el proceso general consta de cinco fases: empatizar, definir, idear, prototipar y probar, a partir de las cuales se obtuvo el diseño propuesto en este trabajo [3].

El objetivo general de este proyecto es implementar un sistema biométrico en casilleros escolares utilizando la huella digital del usuario, lo que implica que sólo el dueño del casillero podrá abrirlo. Los objetivos específicos son probar y validar cada una de las fases durante el proceso de diseño. Mediante una muestra de 50 personas a través de encuestas y preguntas que se aplicaron a los estudiantes, docentes y áreas de servicios generales, se obtuvieron los requerimientos del sistema. La encuesta, se enfocaba en tres opciones: Lector biométrico de huella dactilar, que obtuvo 50% de votos, código de barras con el 30% de votos y contraseña (ping) con el 20% de los votos. Se obtuvieron los siguientes resultados: Obligatorios: Seguridad, Lector Dactilar, Resistente al uso diario. Deseables: Costo Bajo, Fácil de ingresar, Intuitivo. En la Fig. 1 se presenta la arquitectura típica de un sistema biométrico, el cual puede separar conceptualmente como dos módulos.

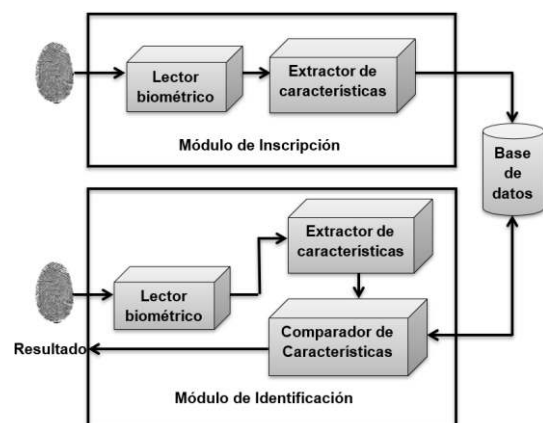


Fig. 1. Arquitectura de un sistema biométrico para identificación personal, aquí ejemplificado con huellas dactilares.

III. DISEÑO CONCEPTUAL Y PROTOTIPADO

Para el desarrollo de este proyecto se construyó un prototipo funcional y de bajo costo que permite el reconocimiento de huella dactilar por medio de sensores, se

utilizó un lector de huella dactilar, un LCD (*Liquid Cristal Display o Pantalla de Cristal Líquido*) de 16x2 (dos renglones de 16 caracteres cada uno), un módulo I²C para la optimización de los pines de la pantalla LCD. Para la integración del prototipo se conectan todos los dispositivos mencionados al microcontrolador Atmega328, con el cual a través de manejo de puertos se controla cada uno de los diferentes procesos, como la toma de muestra e identificación de las huellas. El diagrama esquemático general del sistema se muestra en la Fig. 2.



Fig. 2. Diagrama del esquema general del sistema propuesto.

En la Fig. 3 se puede apreciar el diagrama de flujo que muestra el proceso a través del cual el usuario podrá abrir su casillero y se manda un error en caso que no sea el dueño el que quiera tener acceso al casillero. En la Fig. 4 se observa el diagrama didáctico de conexión del sistema biométrico utilizado. El lector de huella seleccionado fue de CCD (Dispositivo de Acoplamiento de Carga), el cual consiste en una superficie formada por foto-sensores. Al colocar la yema del dedo en la superficie del lector, ésta es iluminada por luz láser, los fotosensores convertirán la radiación luminosa en una imagen que posteriormente se procesa.

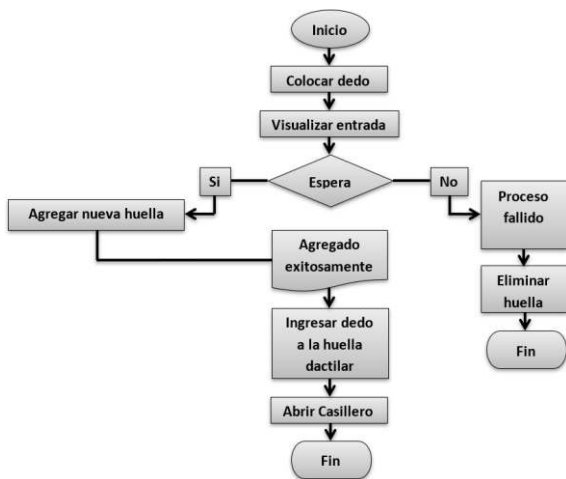


Fig. 3. Diagrama de flujo del funcionamiento del sistema propuesto.

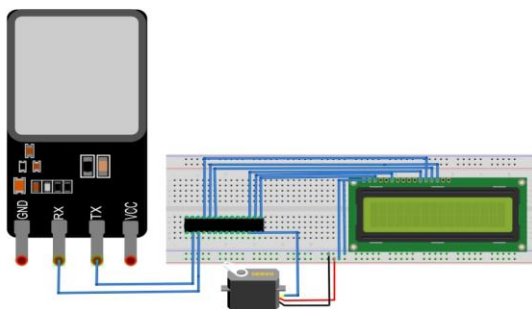


Fig. 4. Diagrama didáctico de conexión del sistema biométrico propuesto.

IV. SIMULACIÓN DEL SISTEMA PROPUESTO

Para observar los resultados, se realizó el modelo virtual en la plataforma *Proteus* (aplicación para la ejecución de proyectos de construcción de equipos electrónicos). En la Fig. 5 se muestra la conexión del sistema propuesto para este proyecto, en donde se representa el sensor de huella dactilar mediante botones con los cuales se puede introducir la información respectiva, y la etapa de potencia para controlar el solenoide que se encarga de la apertura de la puerta del casillero.

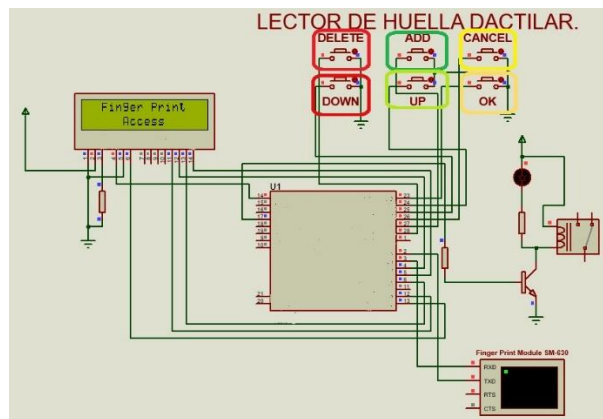


Fig. 5. Simulación del sistema propuesto.

La simulación virtual fue realizada con ayuda de *software* específico que permitió al equipo de trabajo obtener una visión significativa del modelo final, ayudándolo a identificar posibles fallos tanto en el diseño como para el modelado del prototipado, la Fig. 6 muestra el armado físico del sistema propuesto para posteriormente realizar las pruebas, mejoras y validación correspondientes.

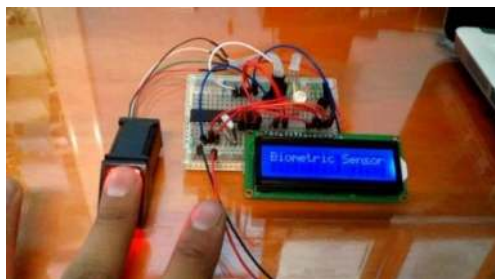


Fig. 6. Armado físico del sistema propuesto.

La principal ventaja de un sensor biométrico de huella digital, es que requiere una verdadera forma de huella dactilar y no sólo un patrón de luz y oscuridad que haga la impresión visual de una huella dactilar. Esto hace que el sistema no se encuentre fácil de vulnerar y brinda certeza de no poder abrir un casillero, a menos que el titular trate de tener acceso al mismo.

V. CONCLUSIONES

El sistema desarrollado es capaz de reconocer la huella dactilar a través de un sistema biométrico, mediante la colocación de una huella digital de cualquiera de los dedos registrada en la base de datos. Se instrumentó el reconocimiento de la huella a través de un sensor óptico programado en Arduino IDE. Con la implementación de este sistema se podrá tener mayor seguridad en los casilleros de las instituciones que así lo requieran.

VI. REFERENCIAS

- [1] J. A. Cortes Osorio, F. A. Medina Aguirre y J. A. Muriel Escobar, «Sistemas de seguridad basados en biometría,» *Scientia Technica*, vol. XVII, n° 46, pp. 98-102, 2010.
- [2] C. T. B. -Á. G. Bueno, «Sistemas Biométricos,» *Sistemas Biométricos*, vol. XVII, n° 17, pp. 25-36, 2016.
- [3] M. Castillo Vergara, A. Álvarez Marín y R. Cabana Villca, «Design Thinking: como guiar a estudiantes, emprendedores y empresarios en su aplicación,» *ingeniería industrial*, vol. XXXV, n° 3, pp. 301-311, 2014.
- [4] D. F. Montaña Duque, «Sistema de identificación mediante huella digital para el control de accesos a la universidad,» *Facultad de Ingeniería de Sistemas*, vol. XVII, n° 34, pp. 1-80, 2017.
- [5] V. Díaz Rodríguez, «Sistemas biométricos en materia criminal,» *biometric criminal databases*, vol. VII, n° 31, pp. 1-120, 2013.
- [6] J. Evangelist Purkinje y S. Francis Galton, «Biometric sistemas embebidos,» *revista IUS*, vol. VIII, n° 22, pp. 5-159, 2010.
- [7] A. J. Balsero Meneses, «Diseño e implementación de un prototipo para el control de acceso en la sede de ingeniería,» *Universidad Distrital Francisco José de Caldas*, vol. XX, n° 46, pp. 1-100, 2016.
- [8] C. Tolosa Borja, «Sistemas Biométricos,» *evolución histórica*, vol. XXV, n° 13, pp. 1-39, 2015.
- [9] P. R. Vallejo Vintimilla, «Implementación de un sistema biométrico de huellas dactilares para el control de asistencia,» *Facultad de Mecánica*, vol. IV, n° 19, pp. 1-106, 2017.
- [10] D. M. Álvarez Valenzuela, «Datos Biométricos y derechos fundamentales,» *Universidad de Chile Facultad de Derecho*, vol. XIII, n° 28, pp. 1-354, 2017.
- [11] K. M. Villatoro Herrera, «Análisis de la implementación de identificación biométrica por medio de lectores por huella digital,» *Facultad de Ciencias Jurídicas y Sociales*, vol. XIX, n° 06, pp. 1-174, 2018.

Diseño conceptual de un sistema embebido para la toma de asistencia en aulas

1st Oswaldo Joel Espinosa Meléndez
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
oswaldo_377@hotmail.com

2nd Jesús Jared Sánchez Díaz
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
jared_1803@hotmail.com

3rd Derlis Hernández Lara
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dderlis-lara@tese.edu.mx

4th Emmanuel T. Juárez Velázquez
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
ejuarezv@hotmail.com

5th Deyry Jazmín Téllez Torres
Ingeniería en Robótica Industrial
Instituto Politécnico Nacional
ESIME Azcapotzalco
CDMX
jazmiin.tellez@gmail.com

6th Malinali Marina Pérez Sánchez
Ingeniería en Robótica Industrial
Instituto Politécnico Nacional
ESIME Azcapotzalco
CDMX
malinali_mps@hotmail.com

Resumen—La toma de asistencia es un proceso que se realiza obligatoriamente en cualquier institución educativa, incluso hasta en el ámbito laboral, automatizar esta tarea garantiza tener eficiencia y eficacia al momento de realizarla. Corroborar la presencia de un individuo en un área específica, privada o pública, ofrece seguridad y responsabilidad. Aunque en algunos sectores ya tienen sistemas automatizados que se encargan de lo anteriormente mencionado, el valor agregado de este proyecto se encuentra en realizar la toma de asistencia mediante un sistema embebido que escanee el código de barras de las credenciales de los integrantes de la comunidad, y se realice la toma de asistencia en los salones y laboratorios correspondientes. Para la etapa del diseño conceptual, se utilizó la metodología de despliegue de la función de calidad (QFD del inglés *Quality Function Deployment*), en la cual se consideran las necesidades y requerimientos del cliente, obteniendo el diseño conceptual que se materializó en el diseño detallado.

Términos indexados— *Sistemas embebidos, asistencia automatizada, código de barras.*

I. INTRODUCCIÓN

La asistencia y puntualidad en una institución son muy importantes porque se ven reflejadas en la disciplina de la comunidad dentro de la escuela, si un estudiante está a tiempo en su lugar de estudio podrá planear y ejecutar sus actividades diarias llevándolas a cabo de forma satisfactoria. Existen sistemas que ayudan a tener un control de la puntualidad y asistencia del personal en el sector laboral llevando un registro de sus incidencias como: faltas, retardos, vacaciones, permisos, ausencias, asistencias, entre otras. Toda esta información es almacenada y se encuentra disponible en el momento en el que personal de Recursos Humanos necesite realizar un correcto cálculo del pago de nómina. Tomando como referencia los datos anteriores, se decidió implementar un sistema computacional compuesto de un sistema embebido y un sistema de información, que sirva como herramienta para automatizar este proceso en las instituciones educativas.

Un sistema embebido es un sistema electrónico diseñado específicamente para realizar una determinada función, habitualmente formando parte de un sistema de mayor entidad. La característica principal es que emplea para ello un procesador digital (CPU) en formato microprocesador, microcontrolador o un procesador digital de señales (DSP del inglés *Digital Signal Processor*) lo que le permite aportar «inteligencia» al sistema anfitrión al que ayuda a gobernar y del que forma parte [1].

II. METODOLOGÍA

Después de aplicar la metodología QFD, se obtuvo el diseño conceptual del sistema a implementar, señalando que éste puede ser mejorado en la etapa de diseño a detalle. A continuación, se muestran las consideraciones más significativas de dicha metodología de diseño [2].

2. Identificación de la necesidad

Necesidad: Contar con un sistema que ayude en la agilización de toma de asistencias durante el transcurso de una clase en las aulas y laboratorios.

Objetivo: Diseñar e implementar un sistema embebido con IoT (internet de las cosas) capaz de tomar la asistencia en las clases de los estudiantes del Tecnológico de Estudios Superiores de Ecatepec con el manejo de un escáner de código de barras.

Definición del problema: El profesor puede cometer la equivocación de olvidar sus listas, otro de los problemas es que, al momento de realizar el proceso de asistencia, en el aula a veces se genera demasiado ruido por parte de los alumnos, haciendo difícil escuchar el nombre que el profesor este mencionando y de igual manera, no percatarse de la respuesta del alumno, esto provocaría una inasistencia o algún retardo.

Justificación: Con la implementación de un sistema embebido, se pretende tener una facilidad y eficiencia al pase de asistencia, mostrando en dicho sistema, la materia que se está tomando y el nombre de cada uno de los estudiantes registrados en la misma, dando como beneficio el no contar con alguna falta o algún retardo.

2.1 Análisis funcional del sistema

En el análisis funcional se detallan las funciones que el sistema debe cumplir, para esto se delimita la función global y las subfunciones que se tienen que realizar para que ésta se pueda llevar a cabo como se muestra en la Fig. 1 [3].

El concepto elegido utiliza para el procesamiento de la información un microcontrolador ATmega328, debido al bajo costo, las necesidades de entradas y salidas con las que cuenta, ser parte de la plataforma Arduino y a la facilidad de comunicación con los componentes a integrar en el sistema, como intermediario para la comunicación entre el escáner y la placa Arduino, se montará el módulo USB (ARD-392), se tendrá una pantalla de cristal líquido (LCD) para mostrar la asistencia registrada, el lente del escáner y el teclado matricial para registrar por matrícula, todo el sistema estará dentro de un gabinete.

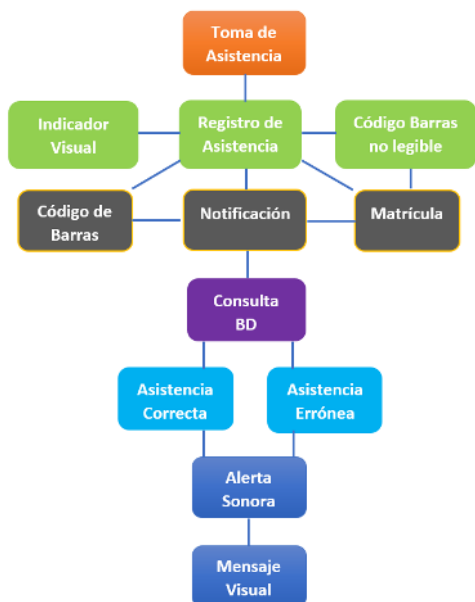


Fig. 1. Árbol de funciones para el sistema propuesto.

III. IMPLEMENTACIÓN Y RESULTADOS

A continuación, se muestran los esquemas realizados en la etapa de diseño a detalle, en la Fig. 2 se observa la conexión electrónica de la etapa de control del sistema embebido para el registro de asistencia en clase; en donde se perciben las conexiones del teclado matricial, el display (LCD) con el microcontrolador ATmega328 montado en la placa de Arduino. Mientras que, en la Fig. 3 se muestra la simulación del escáner de código de barras realizada en LabVIEW 2018, *software* con el que ya cuenta el Tecnológico de Ecatepec, institución donde se desea implementar, (*software* mediante instrumentos virtuales). Además, en la Fig. 4 se plantea el diagrama de flujo con la lógica de funcionamiento del sistema propuesto.

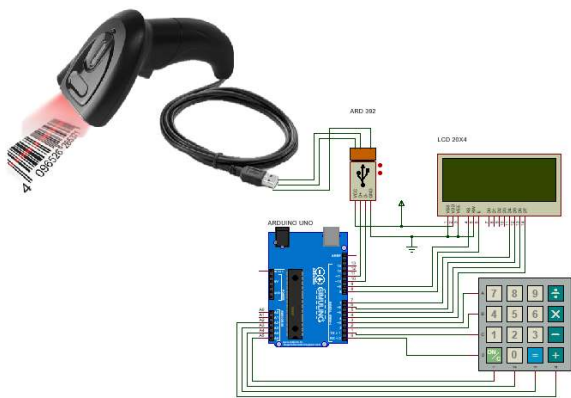


Fig. 2. Conexión del circuito electrónico para el dispositivo de registro de asistencia.



Fig. 3. Simulación de código de barras en LabVIEW 2018.

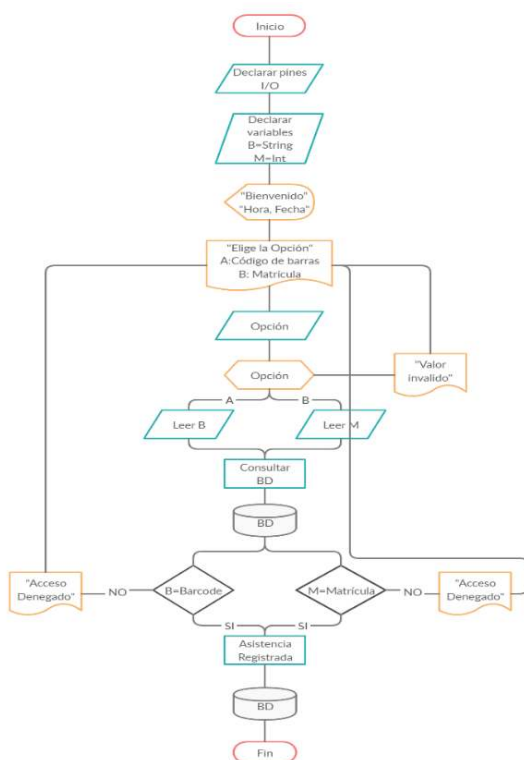


Fig. 4. Diagrama de flujo con la lógica de funcionamiento del sistema.

En la Fig. 5 se muestran las pruebas realizadas al sistema, con el fin de verificar su correcta operación con algunos códigos y de ser posible optimizar lo que sea necesario.

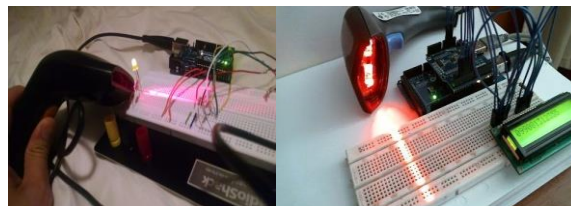


Fig. 5. Pruebas del sistema implementado.

Ya con el prototipo en pruebas se puede definir que su implementación a nivel institucional puede ser factible porque la construcción del dispositivo se ha concebido para tener un bajo costo, esto considerando la cantidad de aulas con las que una escuela de educación superior cuenta, por otro lado, no requiere de espacios o consideraciones de instalación con características específicas, debido a que fue diseñado para su uso en aulas, laboratorios y talleres en los que un pequeño espacio cerca de la entrada es suficiente para su montaje y solo requiere de la alimentación eléctrica que brinda la red.

IV. CONCLUSIONES

Utilizando la metodología QFD se obtuvo el diseño conceptual, con el cual se implementó un sistema embebido que registra la asistencia de manera automática en aulas escolares por medio de un escáner de código de barras, proporcionando la información de la materia, hora y fecha; para el control se utilizó la plataforma Arduino; el ingreso manual se realiza en caso de presentarse códigos no legibles para el escáner mediante un teclado matricial; el sistema se conecta a la base de datos correspondiente a través de internet. El siguiente paso será realizar la integración de todo el sistema y su instalación en un aula con la finalidad de poder probar el prototipo en un ambiente de clases real.

V. REFERENCIAS

- [1] D. Hernández Lara, Á. D. Barrera García, J. Álvarez Lopez, M. A. Benitez Mora y G. Hernández Valencia, «Diseño conceptual de un dispositivo electrónico de almacenamiento y conteo de monedas,» de 8vo Congreso Internacional De Ingeniería Electromecánica Y De Sistemas (CHES 2016, CDMX, 2016).
- [2] E. Jacuzzi y F. Martín, «QFD: Conceptos, Aplicaciones Y Nuevos Desarrollos,» QFD, p. 37.
- [3] J. A. Mendoza Martínez, L. A. Hernández Hernández, C. E. Aldaco Romero, D. Hernández Lara y V. I. Manzano Osorio, «Diseño Conceptual de un Sistema de Clasificación de Residuos,» Querétaro: Robótica y Mecatrónica, 2018, p. 15.
- [4] S. Mikel, «Nationals Instruments» 27 Abril 2010. [En línea]. Available: <https://forums.ni.com/t5/Discusiones-sobre-Productos-NI/codigo-de-barras/td-p/1117970?profile.language=es>. [Último acceso: 22 abril 2020].
- [5] E. Rosales, «Nationals Instruments,» 22 noviembre 2017. [En línea]. Available: <https://forums.ni.com/t5/Discusiones-sobre-Productos-NI/Vision-and-Motion/td-p/3720026?profile.language=es>. [Último acceso: 5 mayo 2020].
- [6] J. P. Guiroga, «Requerimientos funcionales y no funcionales,» Electrohuila, p. 27.
- [7] «Análisis de Requisitos Funcionales y no Funcionales,» [En línea]. Available: http://academicos.azc.uam.mx/jfg/diapositivas/ads/Unidad_3.pdf. [Último acceso: 11 mayo 2020].
- [8] J. A. Lozano Bayona, «Sistema de lectura de códigos de barras para un láser SCAN,» Universidad Santo Tomas, p. 61, 2015.
- [9] Sistemexico, «Sistemexico,» [En línea]. Available: <https://www.sistemexico.net/soluciones/tienda-online/lector-de-c%C3%B3digo-de-barra/>. [Último acceso: 30 marzo 2020].
- [10] D. Hernández Lara, C. A. Trejo Villanueva, E. T. Juárez Velázquez, V. I. Manzano Osorio y L. P. Baron Velazquez, «Diseño e implementación de un sistema embebido dispensador de alimento para mascotas,» p. 6, 2019.

Diseño conceptual de un sistema informático para el registro de computadoras al ingreso del TESE

1st Amairani Figueroa Trejo
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201620711@tese.edu.mx

2nd Karla Sarahy Pérez Álvarez
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201621219@tese.edu.mx

3rd Claudia Fabiola Santillán Reséndiz
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
201620860@tese.edu.mx

4th Derlis Hernández Lara
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
dderlis-lara@tese.edu.mx

5th Víctor Manzano Osornio
Ingeniería Aeronáutica
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
vimanzano@tese.edu.mx

6th Carlos Alfonso Trejo Villanueva
Ingeniería Informática
Tecnológico de Estudios
Superiores de Ecatepec
Ecatepec de Morelos, México
foligator@hotmail.com

Resumen—En el Tecnológico de Estudios Superiores de Ecatepec, el sistema utilizado para el registro de equipo de cómputo que se introduce a las instalaciones se lleva a cabo de forma manual, solicitándose la siguiente información: nombre del alumno, especificaciones del equipo de cómputo, matrícula, fecha y hora de entrada o salida. Para agilizar este registro, se realizó el diseño de un sistema integrado en el que el equipo informático se registra mediante un código de barras, de forma digital y rápida. Para la etapa de diseño conceptual, se utilizó la metodología de diseño innovador *Design Thinking*, con la cual se puede analizar un problema con la determinación de encontrar una solución funcional para esta necesidad.

Términos indexados— Registro automatizado, sistema computacional, *Design Thinking*, código de barras.

I. INTRODUCCIÓN

Un sistema embebido, es un sistema electrónico diseñado específicamente para realizar una determinada función, habitualmente formado parte de un sistema de mayor entidad, la característica principal es que emplea para ello un procesador digital (CPU) en formato microprocesador, microcontrolador o un procesador digital de señales (DSP del inglés *Digital Signal Processor*) lo que permite aportar «inteligencia» al sistema anfitrión al que ayuda a gobernar y del que forme parte [1].

Desde el 2010 el Tecnológico de Estudios Superiores de Ecatepec mantiene un sistema de registro de equipos de cómputo de manera manual. Es un sistema poco eficiente para una universidad tecnológica. El registro consiste en escribir los datos del alumno en una bitácora que se encuentra en las entradas de la institución; en esta se deben ingresar datos como: nombre del alumno, matrícula, hora de entrada y salida de la institución, fecha y descripción física del equipo, esto cada vez que se desea ingresar o salir de la misma.

II. DESARROLLO Y METODOLOGÍA

Para este proyecto se implementó la metodología *Design Thinking* (DT), utilizada por diseñadores para resolver problemas complejos que se orientan a la acción, proporcionando el avance hacia la creación del escenario preferido del futuro. Es la arquitectura sobre la que se establecen los procesos de pensamiento que apuntan a la innovación y al desarrollo de buenas ideas, siempre en el marco de proceder y perseguir la satisfacción del cliente [2]. Esta metodología se concentra en el proceso de diseño, más que en el producto final, e integra conocimientos técnicos del diseño, las ciencias sociales, la empresa y la ingeniería [3].

Con base en la reforma constitucional, en el año 2013 se promulgaron modificaciones a la Ley General de Educación y dos nuevas leyes reglamentarias del artículo 3°, la Ley del Instituto Nacional para la Evaluación de la Educación (INEE) y la Ley General del Servicio Profesional Docente. En estas modificaciones se pide a las Instituciones Educativas contar con una plataforma tecnológica que gestione todos los aspectos operativos, técnicos y estratégicos que estén relacionados con la vida de los estudiantes inscritos para así minimizar en lo más posible las capacidades operativas de las distintas áreas que se encuentran relacionadas con el seguimiento del desempeño académico [4].

A. Metodología *Design Thinking*

El proceso *Design Thinking* (DT) fue planteado a finales de los 80s por David Kelley, y más adelante fue conceptualizado y masificado por Tim Brown, cofundador y presidente de la empresa Ideo [5]. Es una lente a través de la cual se pueden observar los retos y solucionar los problemas. La herramienta DT ha sido adaptada por el sistema de investigación y desarrollo tecnológico SENNOVA del Servicio Nacional de Aprendizaje SENA Colombia (ver Fig. 1), para el desarrollo de proyectos innovadores de base tecnológica. Esta adaptación conserva las fases propuestas por la metodología original, desarrolladas en 11 actividades que deben ser llevadas a cabo en equipo [5].

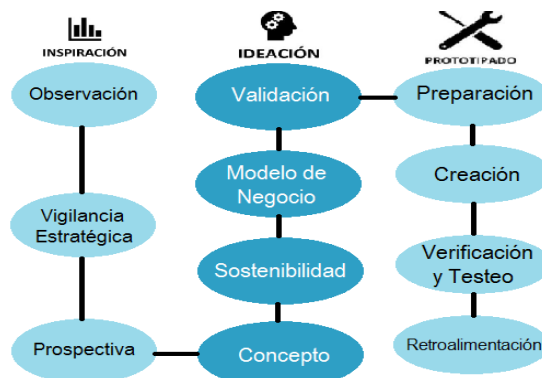


Fig. 1. Adaptación de la metodología *Design Thinking* [5].

B. Implementación de DT para el diseño conceptual

Necesidad: Implementar un ingreso rápido y eficaz del equipo de cómputo de los estudiantes al TESE.

Objetivo: Diseñar un sistema informático que facilite el ingreso de equipo de cómputo al TESE, de manera que los alumnos no inviertan mucho tiempo en el registro.

Definición del problema: El TESE no tiene un sistema de registro innovador y tecnológico para agilizar el ingreso de equipo de cómputo al plantel; es necesario tener un sistema que brinde rapidez en el registro de equipos de cómputo.

Justificación: Los estudiantes se verían beneficiados con un registro de equipo de cómputo más rápido y eficiente.

III. DISEÑO DEL SISTEMA

El proyecto consiste en diseñar un sistema de información que facilite el ingreso de equipo de cómputo a los estudiantes, el alumno deberá registrarse por primera vez para asociar su equipo a su matrícula y alojar esa información en la base de datos. Cuando un alumno ingrese con su equipo de cómputo se escaneará su código de barras y se cortejara la información con la base de datos. Los materiales que se ocuparán en este proyecto son; lector de código de barras laser USB, *software* de base de datos (Excel), equipo de cómputo PC HP 8000 SFF, y soporte para escáner. En la Fig. 2 se puede apreciar el árbol de funciones del sistema diseñado.

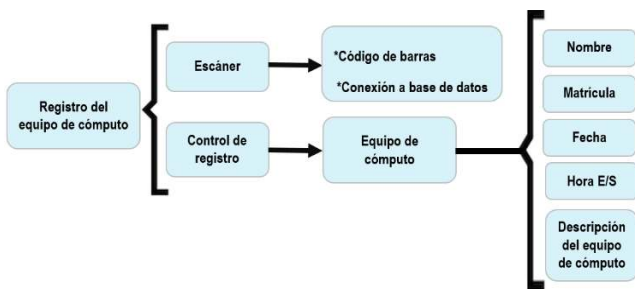


Fig. 2. Árbol de funciones del sistema propuesto.

Se desarrolló el prototipo del sistema, pero a diferencia de los componentes mencionados anteriormente, este se mantuvo como prototipo virtual, se muestra el esquema general en la Fig. 3, y los pasos a seguir en el sistema mediante el diagrama flujo de la Fig. 4.



Fig. 3. Esquema general del sistema propuesto.

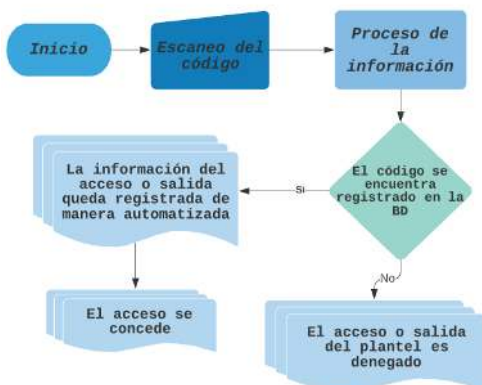


Fig. 4. Diagrama de flujo del sistema diseñado.

Se procederá a descargar el sistema al ordenador y al celular que fungirá como simulador del escáner. Esta es la página principal, el código QR que muestra en pantalla se debe escanear con el celular para vincularlos y así registrar los datos. Una vez abierta la aplicación desde el celular para comenzar a registrar los datos, da la opción de escanear el código QR que se dio en el servidor como se muestra en la Fig. 5.

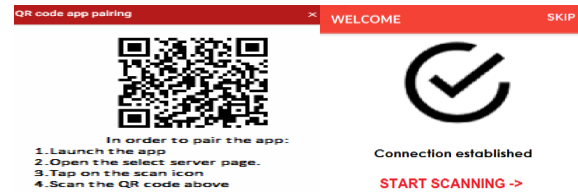


Fig. 5. Aplicación virtual que simula el escáner.

En la Fig. 6 se muestra cómo se escanean las credenciales para guardar la información de los estudiantes que a su vez está asociada a su equipo de cómputo que ingresan a la institución, y como el dispositivo y el ordenador ya están vinculados es posible escanear los datos. Se escanean los códigos de las credenciales para poblar la base de datos y realizar las pruebas necesarias, después se mostrarán los datos recabados en el sistema.



Fig. 6. Escaneo de la información y alimentación de base de datos.

En la Fig. 7 se puede observar el funcionamiento del sistema en el registro del estudiante, permitiendo que su entrada sea concedida y guardando su información de manera automatizada.



Fig. 7. Sistema en funcionamiento.

IV. CONCLUSIONES

En este trabajo se desarrolló la metodología *Design Thinking*, la cual utiliza la sensibilidad del diseñador y se basa en la lógica, la imaginación, intuición y razonamiento sistémico para explorar las posibilidades de lo que podría ser, y así crear las experiencias deseadas que benefician al usuario final. Los resultados adoptan las necesidades de las personas, por ello se escogió esta necesidad a resolver, para innovar y hacer más fácil y rápida la entrada y salida de equipos de cómputo a la institución, lográndose el objetivo.

V. REFERENCIAS

- [1] D. Hernández Lara, Á. D. Barreara García, J. Álvarez López, M. A. Benítez Mora y G. Hernández Valencia, «Diseño conceptual de un dispositivo electrónico de almacenamiento y conteo de monedas,» de *8vo Congreso Internacional de Ingeniería Electromecánica y de Sistemas (CIIES)*, México, 2016.
- [2] M. Castilo Vergara, A. Alvarez Marin y R. Cabana Villca, «Design thinking: como guiar a estudiantes, emprendedores y empresarios en su aplicación,» *Ingeniería Industrial*, vol. XXXV, n° 3, pp. 301-311, 2014.
- [3] R. Steinbeck, «El «design thinking» como estrategia de creatividad en la distancia,» *Comunicar*, vol. XIX, n° 37, pp. 27-35, Octubre 2011.
- [4] M. N. Orduña Chávez, «Reforma Educativa Marco Normativo,» Fondo Editorial INEE, México, 2015.
- [5] J. A. Mejía López, O. A. Ruiz Guzmán, L. N. Gaviria Ocampo y C. P. Ruiz Guzmán, «Aplicación de metodología design thinking en el desarrollo de cortadora automática CNC para MiPyME de confección,» *Revista UIS Ingenierías*, vol. 18, n° 3, pp. 157-168, 2019.
- [6] E. Briseño Flores, N. V. Pérez Ramírez, Y. A. Mojica Mendoza y D. Hernández Lara, «Sistema de casilla virtual y control de votaciones mediante huella digital,» de *Copa Science De México*, México, 2018.

Categoría

REPORTE

Robótica

Área Temática

Kit de robótica educativa fabricado utilizando impresión 3d

Andrés Tapari*, Enrique Sergio Burgos†

Laboratorio de Informática - Dpto. Ingeniería Electrónica

Facultad Regional Paraná - Universidad Tecnológica Nacional

Email: *andrestapari@alu.frp.utn.edu.ar, †sergioburgos@frp.utn.edu.ar

Resumen—En este trabajo se presenta el robot didáctico *Astora*, el cuál tiene como característica principal el hecho que todas las piezas de su chasis han sido diseñadas de modo que puedan ser fabricadas utilizando impresoras 3d por tecnología de deposición de material fundido. Como valor agregado, su diseño se realizó utilizando herramientas de software libre, facilitando así la adecuación a aplicaciones no previstas. Los modelos presentados utilizaron la plataforma *Arduino* como sistema embebido de control a fin de facilitar su aplicación con diferentes herramientas didácticas utilizadas en la actualidad.

Keywords—Impresión 3D, Robótica educativa, *Arduino*

I. INTRODUCCIÓN

En el mercado existen diferentes modelos de kits de robótica orientados a la educación en diferentes niveles. Algunos de ellos utilizan la plataforma *Arduino* como base y/o sus *shields*. En otros casos usan tecnologías más avanzadas tales como *Lego Mindstorm*. Dependiendo de la tecnología del kit y sus características asociadas pueden encontrarse en un amplio rango de precio. Pero todas ellas, en mayor o menor medida, presentan una limitación, el hecho que la plataforma móvil ha sido desarrollada a fin de realizar un conjunto determinado de experiencias. Si se desea adaptar el robot para un uso diferente, más allá de que se cuenten con los componentes electrónicos para la implementación, aparece el inconveniente de que su estructura no ha sido diseñada para ese fin. Esto, y la creciente popularidad de las impresoras 3d, motivó el diseño del robot educativo *Astora*. El objetivo de este proyecto fue desarrollar un robot para aplicaciones didácticas, cuyas partes mecánicas puedan reproducirse utilizando técnicas de impresión 3d. Proveyendo así el chasis sólido de un robot terrestre polivalente adaptable a diferentes configuraciones, ya que a partir del uso de los modelos de cada una de sus piezas es posible crear nuevas partes que posibiliten su uso en aplicaciones no previstas. El desarrollo fue utilizado en actividades realizadas con alumnos de nivel medio, para el desarrollo de contenidos introductorios a la programación, uso de sensores y actuadores.

II. CARACTERÍSTICAS

Astora fue diseñado a partir de la experiencia de uso de plataformas comerciales basadas en 2 y 4 motores (2WD y 4WD) para aplicaciones didácticas y sin realimentación. Uno de los problemas prácticos que suelen aparecer al utilizar este tipo de plataformas es que, en función de la velocidad de los motores, se dificulta lograr trayectorias rectas. Por esto, el robot utiliza solo un motor de corriente continua comercial que incluye las reducciones necesarias para propulsar sus 2 ruedas traseras. La dirección se implementó a través de un tren delantero controlado por un micro servo sg90. Estas características definen la electrónica mínima que se debe incorporar

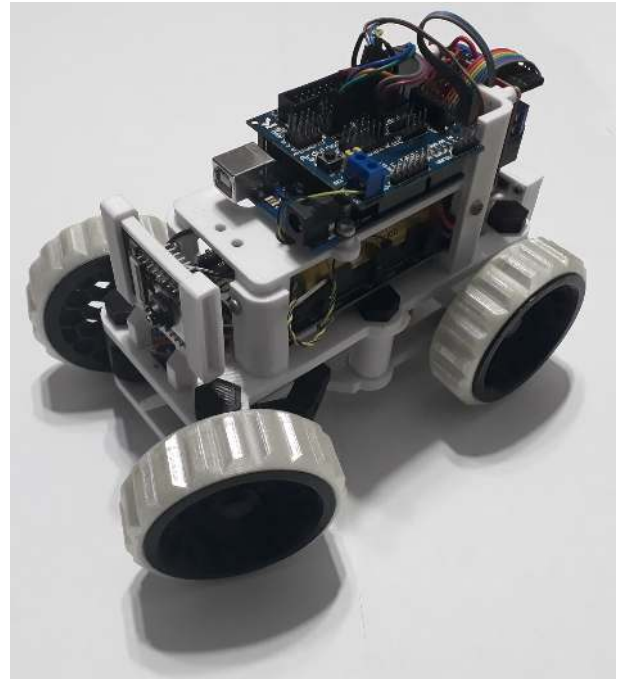


Figura 1: Robot *Astora* con módulo ESP32-CAM

en el robot y está dada por un controlador para motores de corriente continua (se utilizó un *shield* para *Arduino* basado en el controlador L298N [1]), el conexionado para el servo asociado a la dirección y una fuente de energía.

Se desarrollaron dos versiones del robot, una que utiliza como fuente de energía dos baterías de 9 [V] recargable y otra que utiliza dos baterías Li-Ion 18650 junto a un controlador de carga y descarga. Estas alternativas se consideraron significativas debido a la ocasional dificultad de disponer de módulos de protección de carga.

Los modelos de prueba utilizaron como sistema embebido de control placas de desarrollo *Arduino UNO* junto a un *shield* de sensores a fin de simplificar el cableado. Además, y como accesorios opcionales, se incorporaron un módulo *bluetooth* (HC06) y un sensor de distancia por ultrasonido (HC-SR04) intercambiable con un módulo *ESP32-CAM* (Figura 1). Este último módulo incorpora un SoC *ESP32* [2] (con interfaz *WiFi* y *bluetooth*) junto a una cámara de video OV2640.

Por otro lado sus piezas fueron diseñadas siguiendo distintos criterios de diseño con la finalidad de que las mismas se puedan construir en cualquier impresora 3d de tecnología FDM (*Fused Deposition Modelling* - Modelado por Deposición de Material Fundido), disminuyendo así la necesidad de procesamiento posterior, o la aparición de fallas durante la impresión.

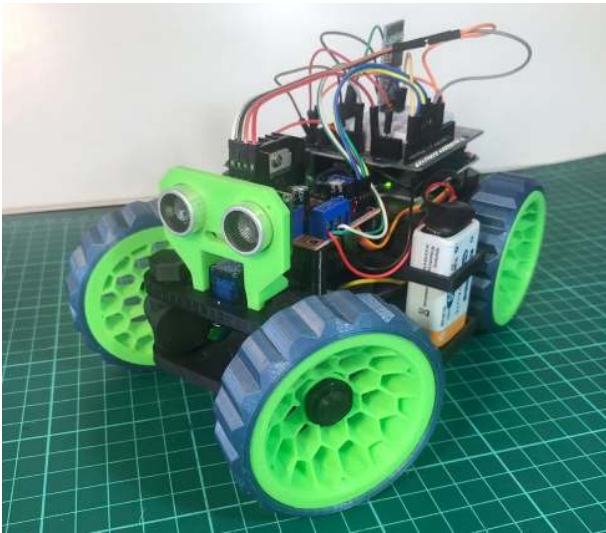


Figura 2: Versión original del robot Astora

Esto incluye restricciones en las dimensiones, ángulos en los voladizos y orientación de las piezas para su impresión.

La impresión se realizó utilizando *PLA+* [3] y *PLA* [4] (un modelo con cada material), que son los filamentos mas comunes y accesibles del mercado. A fin de mejorar la adhesión de las ruedas al suelo se diseñaron cubiertas huecas que se imprimieron utilizando *FLEX* [4].

III. RESULTADOS

El robot fue utilizado en diferentes configuraciones a fin de evaluar su durabilidad, robustez y versatilidad, pero siempre utilizando como sistema de control una placa de desarrollo *Arduino UNO*. El costo del robot en una configuración básica, incluyendo módulos electrónicos y baterías fue de aproximadamente \$ 56 dólares estadounidenses, no obstante este valor depende en gran medida de las características de los materiales utilizados (por ejemplo corriente de trabajo de las baterías).

El modelo fue utilizado en actividades didácticas desarrolladas en el marco del Programa Nexos Robótica durante el año 2019. En el marco de este proyecto, se desarrollaron diferentes actividades desde la Universidad Tecnológica Nacional Facultad Regional Paraná con escuelas de nivel medio. En algunas de estas, el robot presentado fue controlado a través del módulo *bluetooth* utilizando una aplicación genérica de robótica para sistema operativo *Android (Joystick bluetooth Commander)*. A fin de desarrollar fundamentos de programación se utilizó el software *mBlock 3.4.11* [5] y el conjunto de bloques para la plataforma *Arduino*. Las aplicaciones desarrolladas estaban orientadas a que el robot funcionara de modo autónomo, identificando obstáculos y realizando modificaciones en su trayectoria.

Dimensiones	Largo	20 cm
	Ancho	15 cm
	Alto	14 cm
	Peso	590 gr
Partes Impresas		22
Tiempo de impresión		160 horas

Tabla I: Características físicas y constructivas del robot Astora.

Se evaluó también el uso del módulo *ESP32-CAM* para transmitir video en tiempo real desde la perspectiva del robot. A fin de simplificar el control del mismo se desarrolló una simple aplicación para el sistema operativo *Android* que reproduce la imagen obtenida por la cámara y permite controlar la dirección a partir de un *joystick* virtual utilizando las librerías *MjpegView* [6] y *JoystickView* [7].

IV. CONCLUSIONES

El robot diseñado cumple con los objetivos planteados, siendo un modelo de fácil reproducción. Se observó que, ocasionalmente, el uso de *FLEX* como material de impresión, debido al mecanismo de aporte de material de algunas impresoras, puede representar un problema. Debido a las dificultades y requerimientos que este filamento presenta al momento de imprimir, pueden aparecer problemas en la impresión de dichas piezas. Una alternativa a esto, es imprimirlas utilizando *PLA*, pero utilizar superficies que mejoren la tracción del robot (tales como alfombras). Por lo que la imposibilidad de uso de *FLEX* como material de impresión no sería un factor determinante para el uso del mismo.

Desde el punto de vista didáctico, resulta un modelo interesante ya que, debido a que su estructura se sustenta en 6 tornillos impresos, podría ser ensamblado sin conocimientos técnicos específicos, generando una experiencia atractiva. No obstante, el conexionado de la electrónica asociada sigue requiriendo conocimientos específicos.

Si bien se diseñaron dos variantes del chasis principal del robot, todas los accesorios son intercambiables, lo que constituye una ventaja a la hora de experimentar con diferentes periféricos.

Al utilizar el robot en aplicaciones más elaboradas a fin de experimentar sobre sus potencialidades, específicamente al utilizar el módulo *ESP32-CAM*, se intentó controlar el robot utilizando el soporte *bluetooth* que incorpora y transmitir simultáneamente la imagen obtenida por la cámara a través de la red *WiFi* realizar el control del móvil. Esto no fue posible porque ocasionalmente se perdía la comunicación *bluetooth* o la imagen de la cámara se congelaba. Debido a que utilizar esta configuración particular no constituía un objetivo del proyecto, se resolvió el inconveniente incorporando un módulo *hc-06* desactivando el soporte *bluetooth* incorporado en el módulo *ESP32-CAM*. El análisis de este problema y su posible solución forman parte de los trabajos a realizar en el futuro.

Quedan por explorar aplicaciones didácticas en otras áreas de conocimiento. Por ejemplo la incorporación de sensores que registren desplazamiento (tales como el *MPU9250*) a fin de realizar experiencias en tópicos de Control de Procesos vinculadas a la trayectoria del robot o el uso de sistemas de posicionamiento a fin de definir trayectorias de recorrido.

Finalmente cabe mencionar que todo el diseño del robot se realizó utilizando software libre y/o gratuito y los modelos requeridos para imprimirlo están disponibles en el repositorio del proyecto [8]. Para el diseño del mismo se utilizó *FreeCad* y para los procesos de *slicer Ultimaker Cura*. Si bien estas herramientas pueden tener una curva de aprendizaje con una pendiente significativa, en el marco de este proyecto, posibilitan que los diseños puedan ser transformados y adecuados a secuencias didácticas y experimentos particulares.

REFERENCIAS

- [1] STmicroelectronics, *L298*, último acceso 20/05/2020. [Online]. Disponible en: <https://www.st.com/en/motor-drivers/l298.html>
- [2] Espressif Systems, *ESP32 Series Datasheet*, último acceso 20/05/2020. [Online]. Disponible en: https://www.espressif.com/sites/default/files/documentation/esp32_datasheet_en.pdf
- [3] NTH (Nicieza y Taverna Hnos.), *Hoja Técnica de Producto PLA+*, último acceso 20/05/2020. [Online]. Disponible en: http://www.nth.com.ar/es/index.php?controller=attachment&id_attachment=22
- [4] —, *Especificaciones de productos*, último acceso 20/05/2020. [Online]. Disponible en: http://www.nth.com.ar/es/index.php?controller=attachment&id_attachment=13
- [5] Makeblock Co., *mBlock*, último acceso 20/05/2020. [Online]. Disponible en: <https://www.mblock.cc/en-us/>
- [6] *Repositorio del proyecto android-mjpeg-view*, último acceso 20/05/2020. [Online]. Disponible en: <https://github.com/perthcpe23/android-mjpeg-view>
- [7] *Repositorio del proyecto JoystickView - Android*, último acceso 20/05/2020. [Online]. Disponible en: <https://github.com/zerokol/JoystickView>
- [8] Andrés Tapari y E. Sergio Burgos, *Repositorio del proyecto Astora, 2020* (último acceso 20/05/2020). [Online]. Disponible en: <https://gitlab.com/labinformatica/astora>

Categoría

REPORTE

Software embebido

Área Temática

Sistema de monitoreo de Material Rodante

Sebastián Guarino
CONICET - GICSAFe

Laboratorio de Sistemas Embebidos
Facultad de Ingeniería - UBA
Ciudad Autónoma de Buenos Aires, Argentina
sebastian.guarino@gmail.com

Pablo Gomez
CONICET - GICSAFe

Laboratorio de Sistemas Embebidos
Facultad de Ingeniería - UBA
Ciudad Autónoma de Buenos Aires, Argentina
pgomez@fi.uba.ar

Resumen—El presente artículo describe el diseño e implementación de un sistema de monitoreo de parámetros eléctricos, neumáticos y físicos. El sistema fue desarrollado según los requerimientos relevados por el sector de mantenimiento de material rodante de Trenes Argentinos, no obstante el mismo puede tener otros ámbitos de aplicación.

Palabras clave—IOT, ferroviario, sensores, monitoreo, ESP32

I. INTRODUCCIÓN

En la actualidad el material rodante que circula en el AMBA cuenta con determinados sistemas electrónicos responsables de controlar su funcionamiento. Si bien estos sistemas permiten la operación de las formaciones ferroviarias de manera segura, hay determinadas problemáticas que no abordan. Una de ellas es la gran cantidad de fusibles ferroviarios que deben ser reemplazados periódicamente debido a fallas en el suministro de energía de la red. Midiendo la tensión y corriente de los patines sería posible ubicar el lugar dónde se ocasionan estas fallas. A su vez, resulta de particular interés poder monitorear ciertos parámetros durante el servicio de las formaciones como por ejemplo la calidad del aire en los coches.

A partir de estas necesidades fue solicitado el grupo CONICET-GICSAFe el desarrollo de un equipo que permita medir de forma supervisada o desatendida parámetros de este tipo, principalmente a modo informativo pero también con la posibilidad de generar alarmas ante ciertos comportamientos. En este artículo se presentan las principales características del equipo desarrollado.

II. DISEÑO E IMPLEMENTACIÓN

A partir de los requerimientos solicitados [1] se decidió implementar el sistema utilizando como componente principal el SoC (System on Chip) ESP32-wroom-32 de la empresa Espressif [3]. Este SoC permitió implementar a un bajo costo conectividad WiFi para monitoreo remoto y su vez almacenar los datos relevados localmente.

En la Fig. 1 se presenta un diagrama del sistema implementado. Allí se aprecia que el sistema soporta transductores, sensores digitales y puede almacenar datos referenciados en fecha y lugar a través de un módulo GNSS (Global Navigation Satellite System) en memorias del tipo microSD [8], como así también transmitirlos vía WiFi a través del protocolo MQTT [6]. La frecuencia máxima de muestreo es de 100 muestras por segundo.

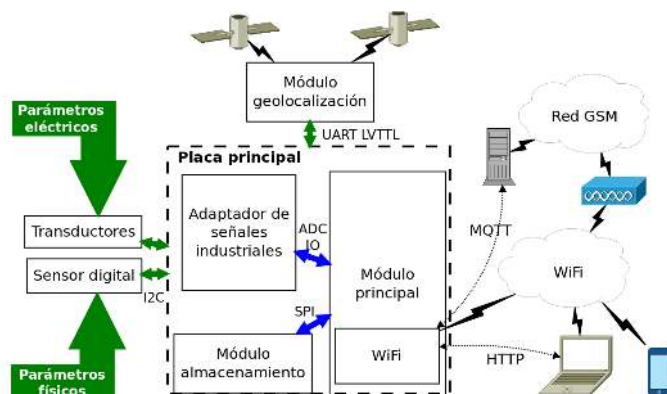


Figura 1. Diagrama de bloques e interfaces.

II-A. Diseño del hardware

El circuito impreso de la placa principal consiste en un diseño de dos capas de 60 mm x 60 mm. El mismo fue realizado con la herramienta Kicad [7]; puede observarse el resultado del modelo 3D en la Fig. 2.

Se utilizaron conectores con traba tanto para la alimentación como para conectar el módulo GNSS. Internamente posee dos conectores del tipo tira de pines. El primero permite una posible reprogramación, y el segundo permite conectar un sensor digital con interfaz I²C [10]. Se provee un único botón de tipo pulsador para reiniciar el sistema a estado de fábrica. Con respecto a las entradas eléctricas se implementaron:

- 2 entradas analógicas que pueden ser configuradas en modo de tensión o lazo de corriente industrial (0-10V o 4-20mA respectivamente) con una resolución de 12 bits. Los diseños de los circuitos están basados en la CIAA-FSL [5].
- 2 entradas digitales optoacopladas.
- 2 entradas digitales de contacto seco.

II-B. Diseño del firmware

El SDK (Software Development Kit) provisto por el fabricante [4] utiliza el sistema operativo FreeRTOS, a través del cual implementa una serie de tareas que gestionan la conectividad y brindan servicios como ser la gestión de las interfaces SPI, I²C, UART, etc. Estas tareas son creadas y asignadas al primer núcleo del SoC.

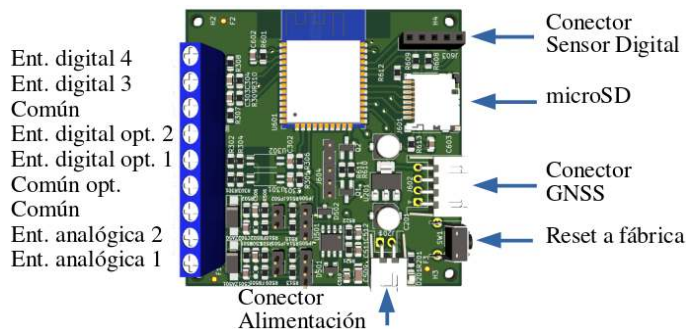


Figura 2. Diseño de PCB y conexiones.

El diseño del firmware se organizó en dos grupos de tareas: las que gestionan la configuración del sistema -las cuales se agregaron al primer núcleo con una baja prioridad-, y las de captura. A estas últimas se les dio exclusividad del segundo núcleo.

Este segundo grupo de tareas está compuesto por un máximo de cuatro tareas, las cuales se crean en caso de que se habilite la funcionalidad asociada. Las mismas se sincronizan entre sí a través de dos colas: una para el almacenamiento en la memoria microSD y la otra para la transmisión en el modo monitoreo. En la Fig. 3 se puede observar un diagrama simplificado de las entidades de software.

Dos de las tareas son encargadas de realizar las capturas y alimentar las respectivas colas. La primera hace uso del sensor digital I²C y la segunda de los parámetros eléctricos a través de las entradas analógicas y digitales del SoC. Las otras dos tareas tienen la función de extraer los datos de la cola para almacenarlos o transmitirlos a un sistema central dependiendo del modo de operación. Las tareas de captura tienen prioridad sobre las de almacenamiento o transmisión.

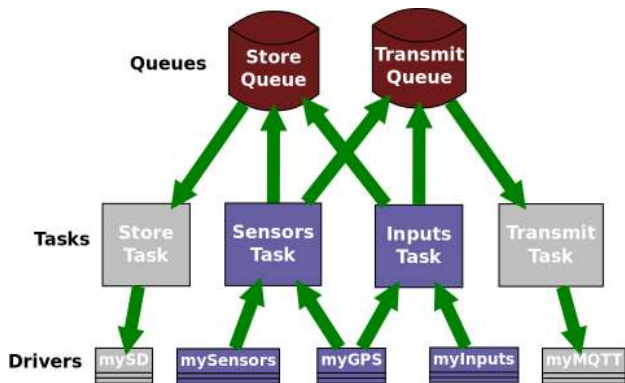


Figura 3. Diagrama reducido de entidades de software.

II-C. Diseño de interfaz de usuario

La interfaz de usuario consiste en una aplicación Web accesible por WiFi que permite visualizar el estado, descargar las capturas y/o configurar distintos parámetros del sistema. Para el diseño de la misma se contemplaron las siguientes características:

- Diseño responsivo permitiendo adaptar la visualización a distintos dispositivos y aspectos como por ejemplo computadores, y dispositivos móviles.
- Aplicación de página única, que al interactuar con el firmware a través de interfaces definidas, logra una experiencia fluida.

En la bibliografía podrán encontrarse mas detalles de la interfaz [1] [2].

III. VERIFICACIONES Y VALIDACIONES

Durante el diseño del sistema se realizaron simulaciones con el software NGSpice [11]. En particular se verificó que el comportamiento en tiempo y frecuencia de las interfaces de entrada es adecuado para la aplicación [1].

Se desarrollaron casos de prueba unitaria para cada clase correspondiente a los drivers. Dichas pruebas se ejecutaron de forma dinámica sobre el hardware utilizado, permitiendo realizar iteraciones sobre un lapso de tiempo determinado.

Para facilitar la validación del cumplimiento de los requerimientos se desarrolló un servicio e implementó una solución de explotación visual de los datos. Dicha solución está basada en la base de datos distribuida “Elasticsearch” y un tablero de explotación de información denominado “Kibana” [9]. A partir del mismo es posible realizar un análisis de la información histórica, como así también la que está siendo capturada con un retardo del orden del segundo. En la Fig. 4 se puede observar el resultado de un ensayo de campo midiendo la calidad de aire en un vehículo.

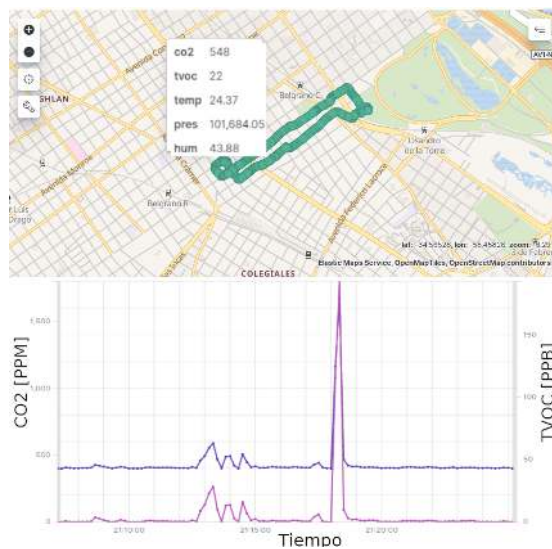


Figura 4. Tablero reducido de un sistema con sensor de calidad de aire.

IV. CONCLUSIONES

Se logró implementar un sistema de bajo costo, funcional y estable tanto de diagnóstico como de monitoreo que cumplió las necesidades planteadas. A su vez el equipo desarrollado permite incorporar fácilmente nuevos sensores de interés.

REFERENCIAS

- [1] S. Guarino, "Sistema de monitoreo de material rodante", Abril 2020, memoria de Título para Carrera de Especialización en Sistemas Embebidos. URL: <http://laboratorios.fi.uba.ar/lse/tesis/LSE-FIUBA-Trabajo-Final-CESE-Sebastian-Guarino-2020.pdf>
- [2] S. Guarino, "Sistema de monitoreo de material rodante", Abril 2020, video demostración para Carrera de Especialización en Sistemas Embebidos. URL: <https://www.youtube.com/watch?v=4Cko0op-1u8>
- [3] Espressif. Espressif Systems. Visitado el 2019-12-14. URL: <http://www.espressif.com>.
- [4] ESP-IDF Programming Guide. Espressif Systems. Visitado el 2019-12-14. URL: <https://docs.espressif.com/projects/esp-idf/en/latest/esp32/>.
- [5] Proyecto CIAA. CIAA-FSL: Entradas Analógicas Freescale. Visitado el 2020-12-14. URL: http://www.proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:hardware:ciaa_freescale:entradas_analogicas_freescale
- [6] OASIS. MQTT. Visitado el 2020-04-29. URL : <https://mqtt.org>.
- [7] Kicad. Kicad EDA. Visitado el 2020-04-29. URL : <https://www.kicad-pcb.org>.
- [8] SanDisk microSD, microSDHC and microSDXC Cards. 80-36-03335. Rev. 3.7. SanDisk. Sep. de 2015.
- [9] Elastic. ELK Stack Kibana. Visitado el 2020-04-29. URL: <https://elastic.co>.
- [10] I2C Bus, Interface and Protocol. Visitado el 2020-04-29. URL: <https://i2c.info/i2c-bus-specification>
- [11] Ngspice, the open source spice simulator. Visitado el 2020-12-14 URL: <http://ngspice.sourceforge.net>.

Control de sistema demultiplexor-amplificador de audio basado en módulo microcontrolador ESP32

Fermín Scaliti

Centro de Inv. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina
ferminscaliti@gmail.com

Julián Rametta

Centro de Inv. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina

Ezequiel Marcel

Centro de Inv. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina

R. Martín Guido

Centro de Inv. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina

Fabián C. Tommasini

Centro de Inv. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina
ftommasini@frc.utn.edu.ar

Resumen—El uso de sistemas de medición que usan gran cantidad de altavoces es común en el área de la acústica y de la psicoacústica. Esta implementación se puede lograr usando una interfaz de audio con tantas salidas como altavoces se requieran, pero los costos de estos dispositivos son muy elevados. Considerando que los altavoces no necesitan activarse en simultáneo se propone, como alternativa de menor costo, la utilización de una interfaz de audio con menor cantidad de salidas y un sistema demultiplexor-amplificador que permite aumentarlas. En este trabajo se presenta un sistema que, a partir de 4 entradas de audio analógico de nivel de línea, permite obtener 32 salidas de potencia. El control de la selección de salida la realiza un software embebido en un módulo microcontrolador ESP32 que se comunica con una computadora personal.

Index Terms—Electroacústica, Amplificadores de audio, Demultiplexación de señales de audio, Tecnología Binaural, Sistemas Embebidos.

I. INTRODUCCIÓN

Muchas configuraciones experimentales utilizadas en el área de la acústica y de la psicoacústica, están basadas en la utilización de una gran cantidad de altavoces. Entre estas aplicaciones se encuentran los sistemas de medición de funciones de transferencia de cabeza (HRTFs, en inglés) [1], que utilizan comúnmente más de 20 altavoces [2]–[5] y diversas configuraciones para pruebas subjetivas de localización auditiva [6]–[8]. Todos estos altavoces no deben activarse en forma simultánea, ya sea porque la técnica de medición realiza una activación por turnos [9], o bien porque se mide la respuesta de un participante a la activación de cada altavoz luego de su silenciamiento [10].

Debido a esto, la utilización de interfaces de audio que posean tantos canales de salida como altavoces se requieran, es una opción demasiado costosa y prescindible. Por ejemplo, las interfaces PreSonus Quantum 4848 o Antelope Orion 32, de 32 salidas de audio analógico, poseen precios que rondan entre los USD 2500 y USD 3500 en nuestro país.

Como alternativa, la demultiplexación analógica de canales de audio, cuya activación es controlada mediante una compu-

tadora personal (PC), es una posible solución [11]. Ya por 1981, Furner [12] patentó en Estados Unidos un demultiplexor de audio de hasta 72 canales de salida para aplicaciones en salas de concierto. Sin embargo, los desarrollos comerciales existentes en la actualidad son muy escasos. La alternativa comercial que se asemeja más a la propuesta es un *embedder/desembedder* de señales de audio embebidas (audio que se transmite incorporado a una señal de video), como es el Ensemble Designs BrightEye 71 de 8 canales de salida (~USD 1500 en Estados Unidos).

En este trabajo se detallan avances de un sistema de demultiplexación-amplificación controlada del audio –cuya versión inicial fue presentada en [11]– poniendo énfasis en la arquitectura del sistema y en el software embebido de control, el cual es implementado en un módulo microcontrolador ESP32. Con este sistema, es posible obtener 32 salidas de potencia a partir de 4 entradas de audio analógico de nivel de línea provenientes de una interfaz de audio profesional.

II. ARQUITECTURA DEL SISTEMA

En la Fig. 1 se muestra un diagrama con la arquitectura completa del sistema demultiplexor-amplificador.

La PC es la encargada de administrar tanto las señales de audio como las señales de control. Se conecta con el sistema demultiplexor-amplificador mediante una conexión USB –para la comunicación de las señales de control–; y 4 salidas de audio analógico, a través de una interfaz de audio profesional. El sistema principal consta de dos bloques: las placas demultiplexoras y la placa auxiliar.

II-A. Placas demultiplexoras

Estas placas se encargan de realizar la demultiplexación y la amplificación de las señales de audio. Dichas señales, indicadas con color azul en la Fig. 1, se distribuyen a 4 Placas demultiplexoras de 8 salidas cada una, logrando en total 32 salidas. El sistema embebido, mediante las señales de control, selecciona la salida a la cual se redirecciona el

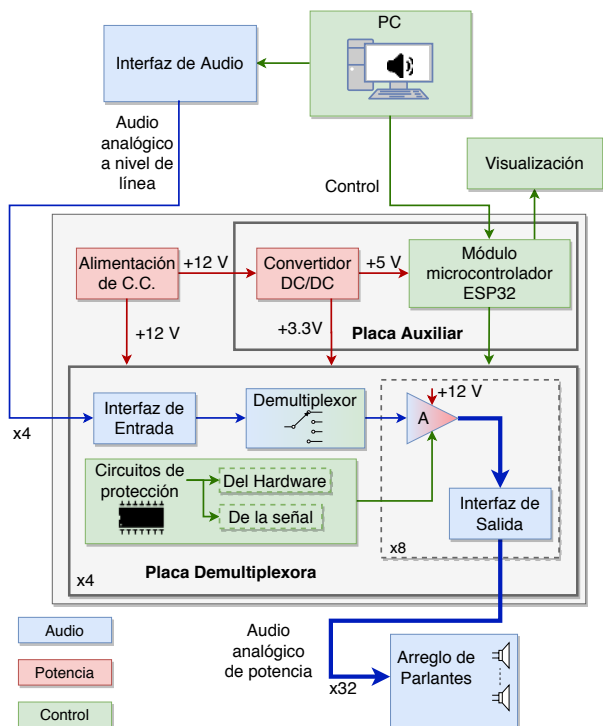


Figura 1. Diagrama general del sistema demultiplexor-amplificador.

sonido analógico. Posteriormente la señal de línea de cada salida es amplificada por amplificadores de audio Clase D Texas Instruments TPA3118D2.

Los circuitos de protección se encargan de preservar el hardware de los amplificadores, por un lado, y la señal de audio para evitar la diafonía (*crosstalk*), por el otro lado. Esto se logra silenciando los amplificadores cuando no están emitiendo señales, aumentando indirectamente la eficiencia del sistema.

II-B. Placa auxiliar

Esta placa contiene los elementos necesarios para unificar los componentes del sistema y permitir su funcionamiento. Posee la entrada USB para la señal de control, la paralelización de esta señal mediante el módulo microcontrolador ESP32, la entrada del botón de silenciamiento general forzado, las salidas de datos hacia los LEDs de visualización y las salidas paralelizadas hacia la Placa demultiplexora.

También en esta placa se encuentran los convertidores DC-DC para lograr las tensiones necesarias, tanto para la Placa demultiplexora (3.3 V) como para los LEDs de visualización (4.3 V) y para el módulo microcontrolador (5 V).

III. SISTEMA EMBEBIDO DE CONTROL

El control de todo el sistema se realiza mediante un software embebido en el módulo microcontrolador Espressif Systems ESP32 Devkit V1 de 30 pines. Dicho módulo posee un tamaño reducido y costo competitivo en comparación a otros microcontroladores, además de cumplir con los requerimientos mínimos para la implementación propuesta.

En la Fig. 2 se puede observar que el microcontrolador: a) provee una interfaz de transmisión de datos entre la PC y el hardware del sistema; b) genera las 4 señales de control para cada Placa demultiplexora, una señal para habilitar la placa y tres para la selección del canal de salida; c) genera la señal de datos necesaria para controlar la trama de LEDs que indican el estado de las Placas demultiplexoras y también para el LED de estado general del sistema; y d) realiza el sensado del estado del botón de silenciamiento general forzado.

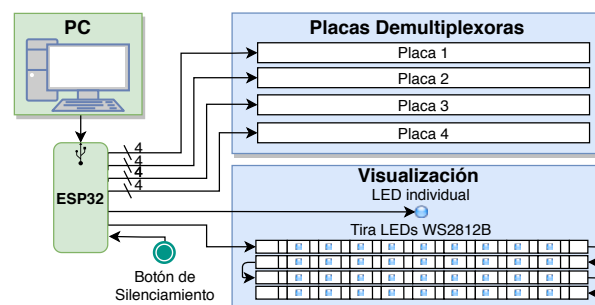


Figura 2. Esquema de conexión del módulo microcontrolador ESP32.

Los datos de control se transmiten en forma unidireccional desde la PC hacia la ESP32 utilizando el protocolo RS-232. El software implementado en la PC está programado en Python, mientras que el firmware del módulo microcontrolador está escrito en C. Este último se basó en la librería de Arduino para la funcionalidad general y en la librería Neopixel de Adafruit para las funciones específicas sobre los LEDs.

La visualización se realiza mediante una tira de 36 LEDs en serie WS2812B, dispuestos en el panel frontal en 4 arreglos de 9 unidades por cada Placa demultiplexora. Dentro de cada arreglo se utiliza el primer LED para señalizar la habilitación de dicha placa, mientras los demás indican el canal habilitado. Además, existe un LED adicional para señalización del sistema (por ejemplo, encendido o comunicado con la PC).

Para el control se utilizaron en total 19 GPIOs: 4 buses de 4 GPIOs (16 en total) para transmitir las señales de control a las Placas demultiplexoras, 1 GPIO para la trama de datos hacia la tira de LEDs, 1 GPIO para la señal al LED individual del estado general del sistema, y 1 GPIO para recibir la señal proveniente del botón de silenciamiento.

IV. CONCLUSIONES

Se presentó un sistema demultiplexor-amplificador de audio de 4 entradas de nivel de línea y 32 salidas de potencia capaz de solucionar la necesidad de multiplicar los canales de salida sin tener que utilizar una interfaz de audio con la misma cantidad de salidas que altavoces. Esto resulta de mucha utilidad en configuraciones experimentales de acústica donde no es necesario el uso de todos los altavoces en simultáneo. Además, el costo del dispositivo (~USD 800) es considerablemente menor a diferentes alternativas comerciales.

El control y visualización del sistema se realizó completamente mediante un software embebido en un módulo microcontrolador ESP32 comunicado con una PC.

Actualmente, el dispositivo se encuentra en la fase de pruebas y de medición. Como trabajo a futuro, se evaluará implementar la comunicación inalámbrica con el módulo microcontrolador, estudiando principalmente los retardos que puede introducir.

AGRADECIMIENTOS

Los autores agradecen a G. Agustín Cravero, David Guber, Martín Méndez y Juan Cruz Bordón por sus comentarios y contribuciones. Este trabajo fue financiado por la Agencia Nacional de Promoción Científica y Tecnológica, Argentina (PICT 2016-0738); y la Universidad Tecnológica Nacional, Argentina (PID UTN 4498 y PID UTN 6565).

REFERENCIAS

- [1] R. M. Guido, M. A. Pucheta, F. C. Tommasini, R. O. Vergara, and F. Scaliti, "Sistemas de Medición de HRTFS Individuales: Revisión del Estado del Arte y Desarrollos en Argentina," *Mecánica Computacional*, vol. 37, no. 5, pp. 77–85, 2019.
- [2] P. Majdak, B. Masiero, and J. Fels, "Sound localization in individualized and non-individualized crosstalk cancellation systems," *The Journal of the Acoustical Society of America*, vol. 133, no. 4, pp. 2055–2068, 2013.
- [3] K. Watanabe, Y. Iwaya, Y. Suzuki, S. Takane, and S. Sato, "Dataset of head-related transfer functions measured with a circular loudspeaker array," *Acoustical Science and Technology*, vol. 35, no. 3, pp. 159–165, 2014.
- [4] G. Yu, R. Wu, Y. Liu, and B. Xie, "Near-field head-related transfer-function measurement and database of human subjects," *The Journal of the Acoustical Society of America*, vol. 143, no. 3, pp. EL194–EL198, 2018.
- [5] J.-G. Richter, G. Behler, and J. Fels, "Evaluation of a Fast HRTF Measurement System," in *Audio Engineering Society Convention 140*. Audio Engineering Society, May 2016.
- [6] P. Voss, V. Tabry, and R. J. Zatorre, "Trade-Off in the Sound Localization Abilities of Early Blind Individuals between the Horizontal and Vertical Planes," *Journal of Neuroscience*, vol. 35, no. 15, pp. 6051–6056, 2015.
- [7] D. Bricchetto, B. Carlson, M. L. Gaston, T. Olson, and J. Loebach, "A comparison of free-field and headphone based sound localization tasks," *The Journal of the Acoustical Society of America*, vol. 143, no. 3, pp. 1814–1814, 2018.
- [8] J. Choi, I. Moon, E. Kim, H.-S. Park, B. Kim, W.-H. Chung, Y.-S. Cho, C. Brown, and S. Hong, "Sound Localization and Speech Perception in Noise of Pediatric Cochlear Implant Recipients: Bimodal Fitting Versus Bilateral Cochlear Implants," *Ear and Hearing*, vol. 38, no. 4, pp. 426–440, 2017.
- [9] P. Majdak, P. Balazs, and B. Laback, "Multiple Exponential Sweep Method for Fast Measurement of Head-Related Transfer Functions," *Journal of the Audio Engineering Society*, vol. 55, no. 7/8, pp. 623–637, Jul. 2007. [Online]. Available: <http://www.aes.org/e-lib/browse.cfm?elib=14190>
- [10] F. Brinkmann, A. Lindau, and S. Weinzierl, "On the authenticity of individual dynamic binaural synthesis," *The Journal of the Acoustical Society of America*, vol. 142, no. 4, pp. 1784–1795, 2017.
- [11] F. Scaliti, F. C. Tommasini, R. M. Guido, G. A. Cravero, L. Capiglioni, and D. M. Guber, "Amplificador de Audio Multicanal con Control de Salidas para Aplicaciones Experimentales de Acústica," *Mecánica Computacional*, vol. 37, no. 5, pp. 87–96, 2019.
- [12] J. A. Furner, "Audio-digital processing system for demultiplexing stereophonic/quadrifonic input audio signals into 4-to-72 output audio signals," US Patent US4 251 688A, 1981.

Sistema de control de acceso inteligente con sincronización en tiempo real a través de Internet

David M. Guber

Centro de Invest. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina
guberdavidm@gmail.com

Fabián C. Tommasini

Centro de Invest. y Transf. en Acústica
CONICET, UTN FRC
Córdoba, Argentina
ftommasini@frc.utn.edu.ar

Manuel Huerga

Depto. Ingeniería Electrónica
UTN FRC
Córdoba, Argentina

Aldo A. Ortiz Skarp

Centro de Invest. y Transf. Acústica
CONICET, UTN FRC
Córdoba, Argentina

Valentín Lunati

Centro de Invest. y Transf. Acústica
CONICET, UTN FRC
Córdoba, Argentina

R. Martin Guido

Centro de Invest. y Transf. Acústica
CONICET, UTN FRC
Córdoba, Argentina

Resumen—Los sistemas de control de accesos son importantes para aumentar la seguridad de casas, edificios y/o oficinas evitando que personas no autorizadas puedan ingresar. El uso de nuevas tecnologías permite mejorar y ampliar las prestaciones que poseen. En este trabajo se presenta el desarrollo de un sistema de control inteligente con sincronización en tiempo real a través de Internet. El diseño estuvo basado en el concepto de Internet de las Cosas que incorpora mayores funcionalidades que los sistemas tradicionales. La implementación del sistema embebido se realizó utilizando la placa computadora reducida Raspberry Pi 3B+.

Index Terms—Control de Acceso, Sistema Embebido, Internet de las Cosas, Criptografía

I. INTRODUCCIÓN

Uno de los aspectos más importantes a considerar en la seguridad de las construcciones son las puertas de ingreso. Por lo tanto, en la actualidad, un sistema de control de acceso se ha convertido en un elemento necesario, tanto en el ámbito profesional como en el hogareño. Los sistemas de control de acceso llamados inteligentes, basados en el concepto de Internet de las Cosas (Internet of Things, IoT), son escasos en la Argentina.

Los trabajos que se encuentran en la literatura internacional agregan características como el acceso por reconocimiento facial [1], por escaneo biométrico [2], o mediante etiquetas de Identificación por Radiofrecuencia (Radio Frequency Identification, RFID) [3]. Además, algunos poseen conectividad a Internet para notificaciones de eventos [4], [5]. Sin embargo, los productos comerciales que implementan estas funcionalidades son de difícil acceso en nuestro país debido, principalmente, a su costo. Una de las pocas opciones comerciales disponibles es la propuesta por la empresa Anviz, la cual posee administración a través de una nube privada (con suscripción mensual de mantenimiento).

El objetivo de este trabajo es presentar el desarrollo de un sistema de control de acceso inteligente con sincronización en tiempo real basado en IoT de bajo costo, el cual puede

ser administrado a través de Internet. El mismo se implementó utilizando el *System-on-Chip* BCM2837 alojado en la placa computadora reducida (single board computer, SBC) Raspberry Pi 3B+ (RPi). La elección de esta placa se debió principalmente a la conectividad a Internet que posee (WiFi y Ethernet), a la cantidad de pines de entrada/salida, y a la capacidad de ejecutar un servidor web junto con un servidor de base de datos relacional. Además, es altamente sustentable desde el punto de vista energético, ya que posee un bajo consumo eléctrico.

II. ARQUITECTURA DEL SISTEMA

La arquitectura general del sistema se muestra en la Fig. 1. La placa RPi es la encargada de realizar la conexión física y lógica del sistema.

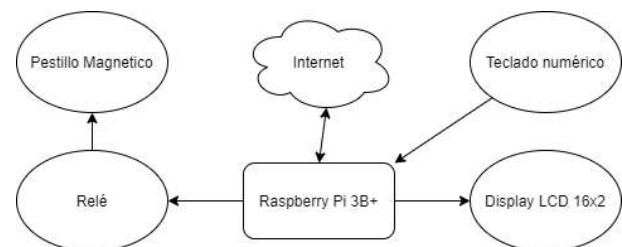


Figura 1. Diagrama de la arquitectura general del sistema.

Cada persona habilitada para el ingreso posee un *usuario* y una *contraseña*. El *usuario* es un número de cuatro dígitos asignado por el administrador del sistema. La *contraseña* es un número de seguridad de seis dígitos elegido por la persona.

Cuando una persona solicita el ingreso mediante su *usuario* y su *contraseña*, pueden ocurrir tres casos: (1) que se ingresen ambos datos correctamente, activando el relé de lógica positiva que habilitará la conducción de corriente en el pestillo y destrabará la puerta (mensaje «Puerta abierta» en el LCD); (2) que se ingrese un usuario no correspondiente o de manera incorrecta, con aviso de error (mensaje «Datos incorrectos» en

el LCD); o bien, (3) que se ingrese una contraseña de forma errónea, con aviso de error.

El mensaje de advertencia de «Datos incorrectos» aumenta la seguridad del sistema, ya que no brinda información sobre qué dato fue el ingresado de forma errónea.

II-A. Sistema embebido

Diferentes módulos de software de código abierto embebidos en la placa RPi son los encargados de administrar el sistema de control de acceso de forma completa (Fig. 2).

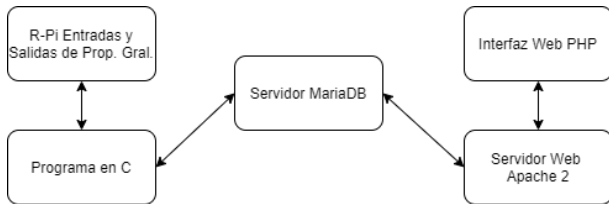


Figura 2. Diagrama de módulos embebidos en la Raspberry Pi 3B+.

El sistema fue implementado utilizando un servidor web Apache 2 y una interfaz web escrita en PHP, ambos embebidos en la RPi. Además de una base de datos relacional que se ejecuta sobre un servidor MariaDB.

Un software de administración, escrito en C, administra las entradas y salidas GPIO. El pseudocódigo del algoritmo se muestra en Alg. 1. Este software también realiza la verificación del *usuario* y la *contraseña* mediante una consulta a la base de datos. A partir de este resultado se realiza la activación de la puerta mediante un relé, o bien se envía al display el mensaje de error correspondiente utilizando el protocolo I²C. Además, este software registra los accesos correctos al sistema, mientras que los incorrectos no son registrados para evitar la saturación de la base de datos debido a ingresos masivos de códigos erróneos (*spam*).

```

conectar a base de datos;
mientras Verdadero hacer
    ingreso de usuario por teclado;
    si usuario está en la base de datos entonces
        ingreso de contraseña por teclado;
        si contraseña corresponde a usuario entonces
            apertura de pestillo de la puerta;
            mostrar «Puerta abierta»;
            almacenar ingreso correcto;
        en otro caso
            mostrar «Datos incorrectos»;
        fin
    en otro caso
        mostrar «Datos incorrectos»;
    fin
fin

```

Algoritmo 1: Pseudocódigo del software.

II-B. Seguridad de acceso

Las contraseñas del sistema grabadas en la base de datos se encuentran encriptadas. La encriptación del *usuario* y la *contraseña* se basa en el algoritmo de hash SHA-2 de 512 bits [6]. Este algoritmo posee un amplio soporte de hardware y de software. Además, el SHA-2 aún no ha sido vulnerado

y todas sus variantes aún se consideran seguras en un futuro previsible.

Para que el procedimiento sea más seguro se agrega una cadena de caracteres aleatoria predefinida (denominada *salt* en criptografía) en una posición previamente conocida. Esto evita ataques conocidos que utilizan hashes precalculados, como el del cumpleaños o el del diccionario. Es recomendable aplicar la función de hash a una combinación de la contraseña junto al *salt* [7].

Esto eleva la seguridad del sistema en el caso de que una persona no autorizada logre obtener los datos de *usuario* y *contraseña*, lo que permite aumentar la dificultad para obtener la contraseña real y, de esta manera, obtener acceso a la puerta protegida.

III. SINCRONIZACIÓN EN TIEMPO REAL

La sincronización en tiempo real se logra a través de la interfaz web. La RPi se encuentra conectada a Internet y de esa forma los administradores del sistema pueden acceder al control del sistema desde cualquier lugar con conectividad.

Esta capacidad de sincronización se convierte en una característica importante del sistema, ya que además de la información que provee, aumenta la seguridad del mismo. Por ejemplo, el registro de usuarios y de accesos se actualiza de manera inmediata, lo que permite a los administradores (mediante el monitoreo manual o automático) conocer todos los movimientos en el momento en que ocurren.

Además, esta interfaz web permite modificar, agregar o eliminar los datos de las personas registradas. Como así también, realizar lo mismo para el caso de los administradores.

Otra característica importante es que posibilita la apertura y el cierre de la puerta a distancia, por medio de la interfaz web. Esto se realiza mediante el envío de comandos a la terminal, lo que permite el control de los GPIO de la placa RPi.

IV. CONCLUSIONES

En este trabajo se presentó un sistema de control de acceso inteligente con sincronización en tiempo real a través de Internet. El mismo utilizó la plataforma Raspberry Pi 3B+, fue implementado con software de código abierto y estuvo basado en el concepto de IoT, con un costo aproximado de USD 200. La principal diferencia con aplicaciones comerciales de valores similares corresponde a la cantidad de puertas que se pueden controlar. En las alternativas comerciales está limitado a una o dos, mientras que en este sistema se podrían administrar más de 20. Además, considerando que en el mercado nacional prácticamente no hay sistemas disponibles con estas características, tendría un buen potencial de comercialización.

Como trabajo a futuro, se planea agregar más puntos de acceso y añadir otro método de autenticación complementario como es el reconocimiento facial. Además, sería de utilidad la limitación inteligente de accesos incorrectos. Se prevee también realizar pruebas de encriptación de contraseñas mediante el algoritmo Blowfish con *salt*, que podría traer algunas ventajas a lo implementado. La potencia de la RPi permitiría implementar estas funciones adicionales sin realizar un cambio de placa.

AGRADECIMIENTOS

Los autores agradecen a Guillermo Steiner por su asesoramiento técnico, a Maximiliano Salvanera y Fernando Mallada por su colaboración, y a Gonzalo M. Balboa por sus comentarios sobre el texto. Este trabajo fue financiado por el Centro de Investigación y Transferencia en Acústica (CINTRA), CONICET, Universidad Tecnológica Nacional Facultad Regional Córdoba.

REFERENCIAS

- [1] M. Sahani, C. Nanda, A. K. Sahu, and B. Pattnaik, "Web-based online embedded door access control and home security system based on face recognition," in *2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]*, 2015, pp. 1–6.
- [2] G. Sowjanya and S. Nagaraju, "Design and implementation of door access control and security system based on iot," in *2016 International Conference on Inventive Computation Technologies (ICICT)*, 08 2016, pp. 1–4.
- [3] L. Malina, V. Benes, J. Hajny, and P. Dzurenda, "Efficient and secure access control system based on programmable smart cards," in *2017 40th International Conference on Telecommunications and Signal Processing (TSP)*, 2017, pp. 32–36.
- [4] M. N. Chowdhury, M. Nooman, and S. Sarker, "Access control of door and home security by raspberry pi through internet," *International Journal of Scientific and Engineering Research*, vol. 4, 11 2013.
- [5] S. Anwar and D. Kishore, "Iot based smart home security system with alert and door access control using smart phone," *International Journal of Engineering Research and*, vol. 5, 2016.
- [6] National Institute of Standards and Technology, *FIPS PUB 180-4: Secure Hash Standard*. NIST, 2015. [Online]. Available: <https://nvlpubs.nist.gov/nistpubs/FIPS/NIST.FIPS.180-4.pdf>
- [7] P. Gauravaram, "Security analysis of salt—password hashes," in *2012 International Conference on Advanced Computer Science Applications and Technologies (ACSAT)*, 2012, pp. 25–30.

Equipo para el monitoreo de la condición de máquinas rotatorias

Santiago T. Rodriguez
Universidad Nacional de Río Negro
San Carlos de Bariloche, Argentina
santiagtms@gmail.com

Daniilo Babaglio
Universidad Nacional de Río Negro
Centro Atómico Bariloche
San Carlos de Bariloche, Argentina
dbabaglio@unrn.edu.ar

Juan P. Andriach
Universidad Nacional de Río Negro
San Carlos de Bariloche, Argentina
jpandriach@unrn.edu.ar

Resumen — Este trabajo describe el diseño y prototipado de un equipo para realizar el monitoreo de la condición de máquinas rotatorias basado en la placa Explorer 16/32. Se implementa la adquisición, filtrado y procesamiento de señales provenientes de sensores del estándar IEPE, basados en corrientes parásitas y amplificadores de carga. A través de una interfaz gráfica se grafican las componentes de estas señales y se controla el equipo. Este documento comienza detallando los requerimientos del equipo, luego se describen los sensores usados, se explican las etapas que lo componen, y finalmente se detallan los ensayos realizados, obteniendo resultados similares a equipos comerciales. Este trabajo describe el proyecto final del primer autor para la carrera de Ingeniería Electrónica.

Palabras clave — Monitoreo de la condición, Explorer 16/32, sistemas embebidos.

I. INTRODUCCION

El monitoreo de la condición [1] de máquinas en procesos de producción ha ganado importancia debido a la necesidad de minimizar pérdidas económicas, consecuencia de mantenimientos que no son necesarios, o fallas imprevistas en sus componentes.

El estado de una máquina puede determinarse mediante el monitoreo y análisis espectral del comportamiento de señales de, por ejemplo, vibraciones en su superficie, haciendo uso de acelerómetros y sensores de proximidad. Este estudio no solo permite conocer el estado actual de la máquina, también permite, comparando con estados anteriores, identificar cambios y tendencias que ayudan a planificar el mantenimiento con suficiente antelación, evitando así que se produzcan fallas de gravedad.

II. REQUERIMIENTOS DEL EQUIPO

Los requerimientos son definidos por la división de Vibraciones del Centro Atómico Bariloche, quien necesita un dispositivo para monitoreo de la condición que cumpla con las siguientes características. El equipo debe tener al menos 2 entradas de señal, deben ser capaces de procesar señales analógicas provistas por sensores del estándar IEPE (*Integrated Electronics Piezo-Electric*) [2, 3], amplificadores de carga, y acondicionadores de señal IQS450 [4]. El usuario debe poder adaptar la entrada a la fuente correspondiente, ya que algunas entregan una componente de alterna (AC) con un valor de continua (DC), donde ambas tienen información de relevancia, por lo que deben ser digitalizadas.

Las señales deben filtrarse analógicamente en un rango dinámico de 0.1 Hz hasta los 20 kHz. La implementación debe contar con filtros de capacidad conmutada.

Las componentes AC se deben muestrear simultáneamente, con frecuencia de muestreo configurable.

El equipo debe comunicarse con una PC (*Personal Computer*) desde la que el usuario debe poder controlar la

adquisición, frecuencia de muestreo, banda de paso de los filtros y si la frecuencia de muestreo es en base a una señal de clock externa.

III. FUENTES DE SEÑAL ADMITIDAS POR EL EQUIPO

A continuación, se describen las posibles fuentes de señal con las que el equipo es capaz de trabajar.

A. Acelerómetros *Integrated Electronics Piezo Electric*

Los acelerómetros del estándar IEPE requieren una fuente de corriente de 4-20mA con una alimentación de 24V. Entregan una tensión de continua a la que se le adiciona un valor de alterna proporcional a la aceleración.

B. Acondicionador de señal IQS450

Este acondicionador actúa de transductor entre sensores de proximidad basados en corrientes de Eddy y el equipo, requiere alimentación de -24/-32V y entrega una componente AC proporcional a la distancia entre el sensor y el objetivo, y una DC igual a la distancia promedio entre estos.

C. Amplificadores de carga

Es un transductor entre sensores piezoeléctricos y el equipo. Entrega una componente AC proporcional a la aceleración.

IV. ETAPAS DE FILTRADO

Para acotar el espectro a la porción de interés se tienen 2 etapas de filtrado.

A. Filtro activo

Como primer etapa se tiene un pasa bajas activo de 6to orden con frecuencia de corte en 20 kHz. Se diseña con ayuda de la herramienta libre Analog Filter Wizard [5], de Analog Devices. Este filtro actúa como filtro anti alias de la siguiente etapa de filtrado.

B. Filtro dinámico

Esta etapa se logra con la implementación de FCC (*Filtros de Capacidad Conmutada*) [6], se comportan como un filtro activo pasa bajas, con la capacidad de variar su banda de paso en base a la frecuencia de una señal de clock, siendo necesario un oscilador programable para su funcionamiento. Estos filtros pueden sufrir de aliasing, por lo que es necesario un filtro anti-alias a su entrada.

V. DISEÑO E IMPLEMENTACION

La Fig. 1 muestra un esquema con todas las etapas del equipo diseñado. Las etapas "Canal", "Requerimientos del sensor" y "Clock externo" se diseñan en base a las notas de diseño [7, 8, 9, 10, 11, 12, 13] de Texas Instruments orientadas al tema, agregando los elementos necesarios para cumplir los requerimientos.

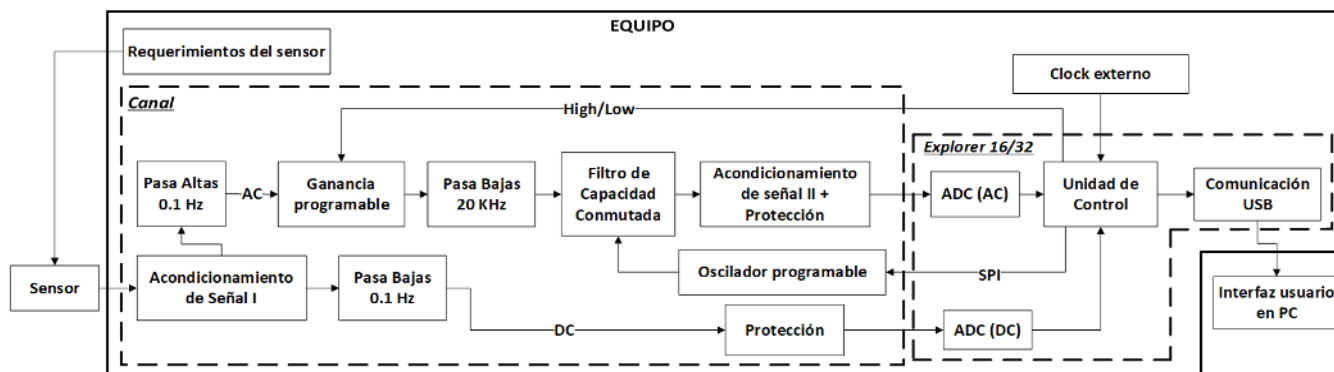


Fig. 1. Diagrama en bloques del equipo

La composición de “Canal” se replica para cada canal del equipo, y trata componente AC y DC, por lo que se usa una entrada de cada módulo ADC (*Analog-to-Digital-Converter*) en “Explorer 16/32” por canal.

A. Acondicionamiento de Señal I, II y Protección

En esta etapa se implementa el ajuste de amplitud de la señal de entrada a rangos manejados por las etapas que siguen, evitando saturar filtros y módulos ADC.

El objetivo de la etapa de “Protección” es evitar dañar los módulos ADC ante tensiones excesivas.

B. Pasa Altas y Pasa Bajos 0.1 Hz

Estas etapas están diseñadas con la herramienta Analog Filter Wizard, y consta de filtros pasivos RC de primer orden. Permiten el paso de la componente de interés para el tratamiento que sigue.

C. Ganancia programable

En base al estado de tres pines digitales de la unidad de control se establece la ganancia del canal, necesaria para aprovechar el rango dinámico de los ADC en caso de que la señal de entrada sea muy débil.

D. Oscilador programable

Para establecer la frecuencia de corte del FCC es necesario un oscilador programable. Su frecuencia de oscilación se ajustada mediante una comunicación SPI llevada a cabo por la unidad de control.

E. Unidad de control y Conversores Analógicos-Digitales

La “Unidad de control” se implementa con el DSP33FJ256GP710 [14], junto a la placa de desarrollo Explorer 16/32 [15], ambos de Microchip. El DSP (*Digital Signal Processor*) cuenta con varios módulos de utilidad (ADC, SPI y UART), facilitando la comunicación con otras etapas de la Fig. 1. La placa Explorer cuenta con puertos que ponen a disposición los pines del DSP, donde se conecta una segunda placa que implementa las etapas ya definidas.

Se usan los 2 módulos ADC del DSP, uno muestrea la componente AC y el otro la DC, por lo que cada canal del equipo usa un canal de cada módulo ADC. La componente DC es muestreada a 100 Hz debido a configuraciones en registros y prescalers del DSP, que no permiten una menor frecuencia. La componente AC es muestreada a una frecuencia a elección del usuario entre 2 kHz y 50 kHz.

El código para el DSP se hace en el IDE MPLAB X [16] gratuito de Microchip, sus módulos se programan en base a manuales de referencia de la familia DSPIC33F [17].

F. Interfaz de usuario

Para operar el equipo se tiene en la PC una GUI (*Graphical User Interface*) desarrollada en Visual Studio con C#. Permite al usuario establecer el modo de adquisición, libre o temporizado; si la frecuencia de muestreo es definida por él o es en base a un clock externo; y frecuencia de corte de los FCC; permite visualizar el valor de la componente DC, y convertirla a la unidad correspondiente al sensor usado (V o mm); también genera una archivo por adquisición donde guarda los datos recibidos, y permite visualizar la FFT de la adquisición actual, hecha con una ventana rectangular y tantas muestras como la frecuencia de muestreo. Este procesamiento se logra con la librería pública Math.NET Numerics de Math.NET [18]. La GUI se implementa con 2 hilos, el primero maneja la interacción con el usuario, el equipo y guarda los datos, el segundo los procesa y grafica.

G. Comunicación USB y codificación de datos

La comunicación entre el equipo y la PC se implementa por USB, con un bridge UART-USB entre el DSP y un puerto USB, ambos disponibles en la Explorer.

Esta comunicación USB implementa un sistemas de etiquetas ilustrado en la Fig 2. que permite reconstruir los datos recibidos en la GUI, identificando a que canal y componente pertenecen las muestras recibidas.

La unidad de control realiza la codificación de los datos, y la GUI los descodifica.

B7	B6	B5	B4	B3	B2	B1	B0
Canal		Parte baja/alta		Dato			

Fig 2. Codificación de paquetes de comunicación

VI. RESULTADOS Y CONCLUSIONES

Para verificar la funcionalidad de las etapas de digitalización, unidad de control e interfaz de usuario se realizaron adquisiciones de diversas señales conocidas y se las comparó con el valor obtenido en el análisis espectral de la GUI. En todos los casos de prueba los resultados fueron satisfactorios.

Mediante este diseño ad hoc se logró un equipo que permite llevar a cabo el monitoreo de la condición con características similares a las un equipo comercial por un menor costo de fabricación.

Se plantea como trabajo a futuro implementar los ADC por fuera del DSP, y reemplazar el DSP de la unidad de control por una FPGA, lo que permitiría manejar una mayor cantidad de canales de forma simultánea y no secuencial como lo hace el DSP.

REFERENCIAS

- [1] R.K. Mobley, *An Introduction to Predictive Maintenance*, Van Nostrand Reinhold, 2nd ed, New York, 1990.
- [2] Scott Mayo, “Practical considerations in using IEPE accelerometers with modern data acquisition systems”, *Endevco Sensing Systems* (2020). [Online]. Disponible:
https://endevco.com/contentStore/mktgContent/endevco/dlm_uploads/2019/02/Endevco_TP326_REVISIED.pdf. [Accedido julio, 21, 2020].
- [3] Integrated Electronics Piezo-Electric. [Online]. Disponible:
https://en.wikipedia.org/wiki/Integrated_Electronics_Piezo-Electric. [Accedido julio, 21, 2020].
- [4] MEGGITT, “Proximity measuring system”. [Online]. Disponible:
https://catalogue.meggittsensing.com/amfile/file/download/file_id/4629/product_id/3334/. [Accedido julio, 21, 2020].
- [5] Analog Devices, Analog Filter Wizard. [Online]. Disponible:
<https://tools.analog.com/en/filterwizard/>. [Accedido julio, 21, 2020].
- [6] Art Pini, “Understad How to Use Switched Capacitor Filters to Save Space and Improve Filter Performance”, contributed by Digi-Key’s North America Editors, diciembre 2018. [Online]. Disponible:
<https://www.digikey.com/en/articles/understand-how-to-use-switched-capacitor-filters-to-save-space>. [Accedido julilio, 21, 2020].
- [7] Texas Instruments, “IEPE Sensor Analog Front-End With Digital Interface Reference Design”, TIDA-010045, TIDEUM9, diciembre 2018.
- [8] Texas Instruments, “Improving Machinery Vibration Analysis” SIGNAL PATH, SNAA 122, 2011.
- [9] Texas Instruments, “Designing a front-end interface for vibration sensors that monitor machine health”, *Analog Design Journal*, ADJ 3Q, 2018.
- [10] Texas Instruments, “IEPE Vibration Sensor Interface Reference Design for PLC Analog Input”, TIDA-01471, TIDUD62, 2017.
- [11] Precision Filters, INC, “16-channel long distance teds, IEPE accelerometer conditioner”.
- [12] Mercy Chen, “Understanding and designing differential filters for communications systems”, Analog Devices, Inc, 2016.
- [13] Kerry Lacanette, “A Basic Introduction to Filters – Active, Passive and Switched-Capacitor”, Texas Instruments, 2010.
- [14] Microchip, DSP33FJ256GP710. [Online]. Disponible :
<https://www.microchip.com/wwwproducts/en/dsPIC33FJ256GP710>. [Accedido julio, 21, 2020].
- [15] Microchip, placa de desarrollo Explorer 16/32. [Online]. Disponible:
<https://www.microchip.com/DevelopmentTools/ProductDetails/DM240001-2#additional-summary>. [Accedido julio, 21, 2020].
- [16] Microchip, IDE MPLAB X. [Online]. Disponible:
<https://www.microchip.com/mplab/mplab-x-ide>. [Accedido julio, 21, 2020].
- [17] Microchip, manuales de referencia para la familia de microcontroladores DSP33F de Microchip, DS70197A.
- [18] Math.NET, libreria Mathe.NET Numerics. [Online]. Disponible:
<https://www.mathdotnet.com/>. [Accedido julio, 21, 2020].

Aplicación para la verificación y validación de sistemas críticos en Framework RKH

Santiago Germino

Laboratorio de Sistemas Embebidos

Facultad de Ingeniería - UBA

Buenos Aires, Argentina

sgermino@retro-ciaa.com

Resumen—En este artículo se revisan los fundamentos que motivaron el desarrollo de una aplicación de software -denominada vTrazer- dedicada a la verificación y validación de sistemas críticos implementados mediante la biblioteca en código «C» Framework RKH. Los sistemas críticos poseen requerimientos particulares derivados del cumplimiento de normas. El uso de métodos formales y herramientas de verificación y validación automática asisten en el cumplimiento de los requerimientos.

Palabras clave—sistemas críticos, normas, seguridad funcional, métodos formales, verificación y validación.

I. INTRODUCCIÓN

Los sistemas de control electrónico programable continúan ganando terreno en aplicaciones en centrales nucleares, plantas petroquímicas, equipamiento médico, satélites y sistemas ferroviarios [1], entre otros. Si bien los sistemas electrónicos digitales poseen ventajas sobre las tecnologías electromecánicas que reemplazan, garantizar un adecuado nivel de fiabilidad -la probabilidad de un correcto funcionamiento en determinado lapso de tiempo- resulta ser laborioso y complicado [2]. También influye el hecho de que su aplicación es relativamente reciente en comparación con tecnologías que, a casi un siglo de su aplicación, probaron su fiabilidad por el mero uso a través del tiempo.

II. SISTEMAS ELÉCTRICOS Y ELECTRÓNICOS CRÍTICOS

La norma IEC 61508 define a un sistema eléctrico y electrónico crítico como aquel que puede ocasionar graves daños a causa de un mal funcionamiento [3]. En particular, los sistemas críticos deben ser deterministas. Se diseñan para que, en caso de falla, el sistema se mantenga en un estado seguro conocido. Esto se conoce como *fail safe* [4]. Es importante que los sistemas de seguridad fallen de manera segura. Ante un mal funcionamiento, el daño se produce cuando el sistema no actúa, se posiciona en un estado incorrecto, desconocido o actúa de manera impredecible. A raíz de esto, es común la aplicación de estándares de codificación [5], bibliotecas para seguridad funcional [6], métodos formales y herramientas específicas para verificación y validación [7].

III. NORMAS APLICABLES

Existen estándares nacionales e internacionales cuya finalidad es garantizar la seguridad de un sistema. Se dividen en normas por área de aplicación -de gestión, eléctricas y

electrónicas, de materiales, etc- y son un compendio consensuado de buenas prácticas en cada área. Determinados laboratorios, certificados por el organismo competente local, certifican a su vez y mediante ensayos, que todo nuevo producto a comercializar sea apto para el uso estipulado [8].

Para evitar gastos innecesarios, demoras o la imposibilidad de comercializar un producto, es fundamental tener en cuenta el cumplimiento de las normas aplicables desde las primeras etapas del desarrollo. Estos requerimientos, junto a los del cliente, delinearán los objetivos del proyecto. Debido a esto, es de vital importancia asegurar el cumplimiento de los requerimientos. Es en este contexto en donde se decide crear una herramienta para asistir en la verificación y validación de los mismos.

IV. MÉTODOS FORMALES

Los métodos formales son técnicas de especificación, desarrollo y verificación definidas a partir de un lenguaje específico, concreto e inequívoco, por una o varias expresiones matemáticas. Mediante su uso es posible comparar, de manera exacta, los requerimientos de un proyecto con el resultado de su implementación. Esta cualidad hace que sean ampliamente valorados para el desarrollo de sistemas críticos [9]. Si los requerimientos están definidos de manera formal, su cumplimiento o no puede determinarse con exactitud mediante pruebas específicas. Y estas brindan certeza sobre el correcto funcionamiento del dispositivo.

V. MÁQUINA DE ESTADOS FINITOS

La máquina de estados finitos es un modelo computacional definido de manera formal [10]. En un momento dado, la máquina de estados puede estar exactamente en solo uno de una cantidad finita de estados. Los cambios de estado se denominan transiciones y también están claramente definidas por un evento determinado. Las máquinas de estados son útiles para describir secuencias de acciones que dependen de una secuencia de eventos.

VI. FRAMEWORK RKH

Es una biblioteca en lenguaje «C» que permite la codificación de máquinas de estados finitos [11]. Se utiliza en el desarrollo de sistemas embebidos en general y dado que implementa un modelo formal, se está investigando su uso

en sistemas críticos. Por ejemplo, el grupo de investigación CONICET-GICSAFe utiliza Framework RKH en desarrollos ferroviarios para Trenes Argentinos [12] [13].

VII. VERIFICACIÓN Y VALIDACIÓN

Se entiende como verificación a la acción utilizada para guiar el desarrollo y generar procesos, practicas y planes que permitan apegarse a los requerimientos del proyecto. La validación permite incrementar el nivel de avance del proyecto mediante la comprobación de que algún modulo o elemento terminado efectivamente cumple con los requerimientos.

Estas etapas no existen por sí solas, sino que son parte constitutiva del ciclo de vida del proyecto. El «Método en V» es un procedimiento ampliamente utilizado para desarrollar sistemas críticos [14]. La particularidad de este método es que cada etapa del ciclo de vida (diseño, requerimientos, implementación, etc) requiere verificación y validación.

VIII. APLICACIÓN DESARROLLADA

vTrazer es una aplicación para computadora de escritorio escrita en lenguaje C++. En su desarrollo se utilizó la biblioteca Qt [15] y el patrón de diseño MVC [16]. La interfaz gráfica de la aplicación puede observarse en la figura 1.

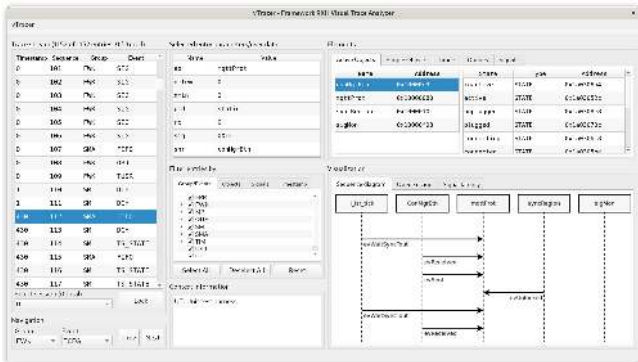


Figura 1: Vista general, a vuelo de pájaro, de la ventana principal de la aplicación vTrazer.

En la interfaz de vTrazer se visualizan todos los datos y parámetros del dispositivo conectado. Entre los mensajes enviados por el dispositivo se encuentra el estado de todas las máquinas de estado implementadas, las colas de mensajes, el uso de memoria dinámica, etc.

La conexión entre la computadora de escritorio que ejecuta vTrazer y el dispositivo embebido que utiliza Framework RKH se establece mediante puerto serie o Ethernet. Este modo de análisis de datos se denomina *online* ya que los datos se reciben, procesan, actualizan y visualizan de forma continua en tiempo real y los datos representan el estado actual del dispositivo. La aplicación vTrazer soporta otro modo de análisis denominado *offline* en donde se procede al análisis de una sesión previamente guardada en un archivo de texto.

Las reglas de verificación y validación se definen mediante el lenguaje script Lua [17] utilizando funciones desarrolladas específicamente para representar requerimientos y

contrastar con los datos reportados por Framework RKH. Los requerimientos del proyecto sobre el uso de Framework RKH, oportunamente definidos en un lenguaje formal, se transcriben utilizando cinco funciones de verificación y validación con sus correspondientes parámetros entre paréntesis: la función `vtrazer_check_sequence(máquina,secuencia)` detecta cambios de estados incorrectos en una máquina de estados dada, `vtrazer_check_queue(cola,min,max)` especifica la ocupación mínima y máxima de una cola de mensajes, `vtrazer_check_memory(min,max)` delimita el uso correcto de una cantidad de memoria dinámica y `vtrazer_check_siglat(objeto,señal,min,max)` comprueba la latencia de señales del Framework. En la figura 2 se observa una sencilla prueba de verificación ingresada en un formulario de la aplicación vTrazer.

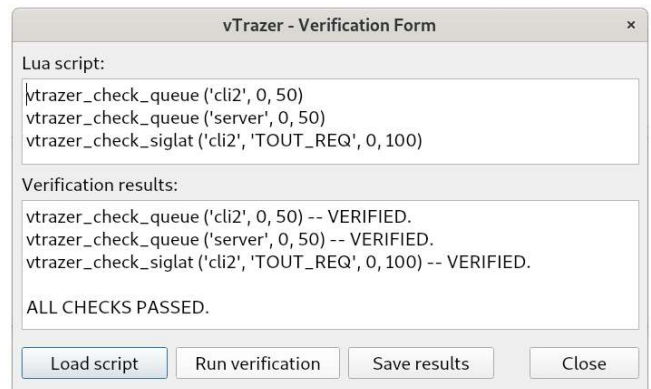


Figura 2: Formulario para el ingreso de código Lua con las pruebas de verificación del dispositivo conectado. En el recuadro inferior se observan los resultados de la verificación. Actualmente, la interfaz está solo disponible en inglés.

IX. RESULTADOS OBTENIDOS

La presentación de los mensajes de depuración en la interfaz gráfica de vTrazer facilita el trabajo de desarrollo y depuración de dispositivos que utilizan Framework RKH. Este era un objetivo del proyecto, ya que anteriormente y para este mismo fin, solo existía una aplicación no gráfica [18]. La inclusión de verificación y validación de aspectos del sistema posibilitó comprobar automáticamente el cumplimiento de requerimientos y esto redundó en la detección temprana de errores. Mediante vTrazer se automatizaron ensayos de verificación y validación en sistemas de integración continua [19].

X. CONCLUSIONES

La aplicación vTrazer probó ser una herramienta útil en la verificación y validación del cumplimiento de requerimientos de dispositivos que utilizan Framework RKH. Esta aplicación representa un esfuerzo en la dirección de aplicar métodos formales y herramientas que los verifiquen y validen para asistir a futuros sistemas críticos desarrollados en el país.

REFERENCIAS

- [1] KYOSAN «KYOSAN HISTORY (Evolución tecnológica en sistemas ferroviarios)», 2020, dirección: <https://www.kyosan.co.jp/english/company/history02.html>
- [2] Mike Hinchey and Lorcan Coyle, «Evolving Critical Systems: a Research Agenda for Computer-Based Systems», 2010, dirección: https://ulir.ul.ie/bitstream/handle/10344/2085/2010_Hinchey,M.pdf
- [3] Exida, «EC 61508 Overview Report», 2006, dirección: https://www.win.tue.nl/~mvdbrand/courses/sse/1213/iec61508_overview.pdf
- [4] David B. Rutherford Jr, Rail Transportation Systems Inc, «Evaluating fail-safety in processor-based vital control systems», 1990, dirección: <https://web.archive.org/web/20111008021648/http://www.billpetit.com/Papers/Petit017.pdf>
- [5] Perforce Software, Inc., «MISRA C and MISRA C++, A guide to coding standards», 2020, dirección: <https://www.perforce.com/resources/qac/misra-c-cpp>
- [6] Arm Limited, «Arm functional safety C library», 2020, dirección: <https://www2.keil.com/fusa-rt/fusa-c-library>
- [7] BTC Embedded Systems, «Intelligent, automated and ISO 26262 certified test solutions», 2020, dirección: <https://www.btc-es.de/en/products/overview.html>
- [8] IRAM, «Instituto Argentino de Normalización y Certificación», ¿Qué es una norma? Dirección: <http://www.iram.org.ar/index.php?id=Que-es>
- [9] C. Michael Holloway, «Why engineers should consider formal methods», 1997, Dirección: <https://web.archive.org/web/20061116210448/http://klabs.org/richcontent/verification/holloway/nasa-97-16dasc-cmh.pdf>
- [10] David Harel, «Statecharts: a visual formalism for complex systems», 1984, dirección: <https://web.archive.org/web/20110715110405/http://www.fceia.unr.edu.ar/asist/harel01.pdf>
- [11] Vortex Makes, «¿Qué es RKH?», 2020, dirección: <https://www.vortexmakes.com/que-es/>
- [12] Lucas Dórdolo, Santiago Germino, Gustavo Ramoscelli, Alejandro Permingeat, Carlos Mancón, Leandro Francucci, Darío Baliña, Adrián Laiuppa, Ariel Lutenberg, «Modular System for the Monitoring of Railway Signaling Equipment», IEEE Latin America Transactions, Vol. 18, No. 2, February 2020, dirección: <https://www.inaoep.mx/~IEEElat/index.php/transactions/article/view/2957>
- [13] Gustavo Ramoscelli, Adrián Laiuppa, Ariel Lutenberg, «Sistema de ensayos de relés ferroviarios de seguridad basado en computación en la nube», Congreso Argentino de Sistemas Embebidos CASE 2019: libro de trabajos en modalidad artículo, foro tecnológico y resumen, ISBN 978-987-46297-6-0, dirección: <http://www.sase.com.ar/case/ediciones/case2019/>
- [14] Bundesrepublik Deutschland, «Part 1: Fundamentals of the V-Modell», 2004, dirección: <http://ftp.uni-kl.de/pub/v-modell-xt/Release-1.1-eng/Dokumentation/pdf/V-Modell-XT-eng-Teil1.pdf>
- [15] The Qt Company, «One framework. One codebase. Any platform», 2020, dirección: <https://www.qt.io/>
- [16] Glenn E. Krasner and Stephen Pope, «A Description of the Model-View-Controller User Interface Paradigm in the Smalltalk80 System», 1988, dirección: https://www.researchgate.net/publication/239452280_A_Description_of_the_Model-View-Controller_User_Interface_Paradigm_in_the_Smalltalk80_System
- [17] The Lua programming language, 2020, dirección: <http://www.lua.org/about.html>
- [18] Vortex Makes, «Trazer reference manual», 2020, dirección: <https://vortexmakes.com/rkh/trazer.html>
- [19] The Jenkins Project, «Jenkins: Open source automation server», 2020, dirección: <https://jenkins.io/>

A review of holonic control systems for dwelling

Germán Rodolfo Henderson
Cliope Group
National University of Technology
Mendoza, Argentina
german.henderson@frm.utn.edu.ar

Alejandro Pablo Arena
Cliope Group
National University of Technology
Mendoza, Argentina
aparena@frm.utn.edu.ar

Abstract—The residential sector represents a high percentage of global energy consumption and therefore many home automation systems are developed. In 1968, holonic systems emerged, with considerable growth in recent decades. However, there is no review on such systems being applied to the residential sector. A first revision is presented here in this field, which raises the challenges ahead.

Keywords—*holon, holarchy, control, dwelling, review*

I. INTRODUCTION

Globally, the final energy consumption in the residential sector represents approximately 40% of the total [1]. With the aim of making a more efficient use of energy and with the reduction of the cost and advancement of Information and Communication Technologies, Building Management Systems (BMS) have developed over the past two decades [2].

Many solutions have been proposed, with a great predominance of fuzzy logic in control systems because of its great adaptability to them [2]. However, there are some limitations in cases where the problems to be solved are heuristic [2], which is common when the comfort of users in a home is considered.

In 1968, Arthur Koestler introduced the term holon, which suggests a complex perspective, considering systems holistically and reductionist at the same time [3]. A holon is a complete element that can make decisions for itself, but is part of something larger, a holon of higher hierarchy. In addition, it can be made up of smaller units, holons of lower hierarchies.

From this, Koestler defined the term holarchy, which means a hierarchy of holons [3]. Holons are open-ended both downward and upward direction, so you can always find smaller elements, or larger items that wrap it up.

The objective of this work was to review the literature on the holonic systems applied to dwelling, determining the current challenges in this field.

II. LITERATURE REVIEW

To search for articles, Scopus and Google Scholar (GS) were used by entering the keywords *dwelling AND control*. The results were 8354 and 15.200 publications, respectively. A further fine-tuned search with the keywords *(holonic AND control) OR ("holonic system") AND (house OR dwelling OR home OR building)*, reducing the results to 39 and 29 publications, respectively in Scopus and GS. In Fig. 1 you can see the number of publications through the years.

Reviewing each one of them, 7 Holonic Control Systems (HCS) applied in buildings and none specifically to dwelling were identified. Because of the small number of publications found, the research was expanded. Therefore, Other Control Systems (OCS) for Dwelling were considered.

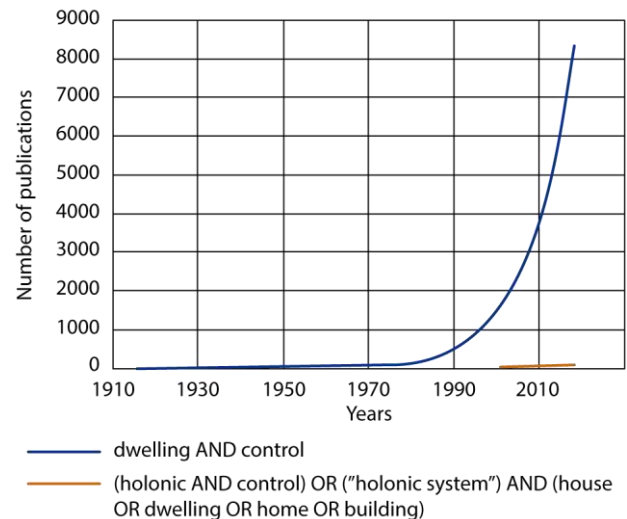


Fig. 1. Number of publications through the years in Scopus.

A. Holonic Control Systems for Dwelling

The main characteristics of the holonic systems are the following:

- Operation under fixed rules and variable strategies of feedback self-learning, which give the system flexibility.
- Dynamic scalability, adjusting to the lack of parts or presence of new ones.
- Bissociation and dissociation, which allows you to have adaptability to compose or dissociate larger or smaller holarchies from the acknowledgement of each of them, respectively.

All these characteristics together with others allow dwelling to gradually evolve, adjusting to the inhabitants capacity to achieve the technology and the system to adapt to new applications.

B. Other Control Systems for Dwelling

There are other types of systems that have been developed to automate homes or buildings. All of them can be integrated into the holonic systems without major changes. Therefore, it is important to keep them in mind.

Multi-agent systems are the most similar to holonic systems when their characteristics are analyzed, so they are the ones that can adapt the best. It is possible to say that a holon is a particular type of agent [4].

III. ANALYSIS

For an analysis of the revised control systems, they are characterized according to the service to be automated, taking as reference those considered by [5], which are: Climate Control (CC), Visual Comfort (VC), Safety (SA),

Security (SE), Transportation, One-way Audio, Energy Management (EM), Supply and Disposal, Communication and Information exchange (C&Ie) and Miscellaneous Special Miscellaneous Domains. In addition, User Comfort (UC) and Air Quality (AQ) have been incorporated, as considered in several of the revised works. The generic service refers to when the authors do not specify one and anyone could apply.

Moreover, the types of buildings to which they have been applied and the control system used were considered. In the same way that in services, generic type of building refers to when the authors do not specify one and anyone could apply. The number of items considered in this way were 20 and are displayed in Table I.

Various aspects of each system were reviewed, finding characteristics that allow identifying gaps in the systems.

First, for the HCS, no clear definition of the systems that characterize it as such has been found. In other areas of greater maturity, such as manufacturing processes, progress has already been achieved [26]. It was also found as a common factor that the HCS boundaries are not specified. This is considered essential for interoperability and compression of systems.

Second, those studies contemplating the CC or EM services have done so to achieve energy savings. In some studies, UC has been considered, which has proven to be more complex. The results are promising in this regard.

TABLE I. LITERATURE CHARACTERIZATION

Reference	Service	Type of Building	Control System
[6]	C&Ie	Laboratory Room	Multi-agents
[7]	EM, UC	Commercial	Multi-agents
[8]	EM, UC, SA	Residential	Multi-agents
[9]	Generic	Generic	Holonic System
[10]	SA, SE	Generic	Multi-agents
[11]	SA, UC	Generic	Multi-agents
[12]	SA, UC	Generic	Reinforcement learning and Multi-agents
[13]	EM, CC	Generic	Multi-agents
[14]	EM, UC, SA	Commercial	Multi-agents
[15]	CC, VC	Commercial	Multi-agents
[16]	C&Ie	Residential	Fixed rules in Java
[17]	C&Ie	Residential	Jena API
[18]	C&Ie	Residential	Jena API
[19]	Generic	Generic	Holonic System
[20]	EM, UC	Residential	Service Oriented Architecture
[21]	In	Generic	Holonic System
[22]	EM, UC	Commercial	Holonic System
[23]	EM, UC	Commercial	Holonic System
[24]	CC, AQ	Commercial	Holonic System
[25]	EM, SA	Generic	Holonic System

Finally, one of the potentialities of this class of systems is the interoperability they suggest with other levels of hierarchy. Dwelling holon participates in many systems such as energy, water, gas, transport, and other distribution networks. [27] suggest the use of holonic systems for the future of intelligent networks with distributed resource, considering distributed storage and generation of energy.

It can be said that the dwelling holon will be the heart of the future systems that make up the big cities. But it is necessary to achieve a maturity in the systems of lower holarchies, which will be motivated by the growth of the higher holarchy holons.

Other aspects that have been relevant in the revised studies are the AQ, SA and SE, fields where there is still much work to be done.

IV. CHALLENGES

The most important challenge that has been encountered is the correct definition and understanding of these systems. Standards for the definition of this class of systems need to be developed.

On the other hand, it is essential to experience more with this kind of systems at all levels of hierarchy.

The development of indicators for the optimization of the HCSs has had its advances in the field of manufacturing, which is the most developed field regarding these systems, but it is necessary to experiment them in other fields and develop new ones that allow continuous improvement.

Another challenge associated to the poor development of an ontology is the lost of flexibility and reliability in holarchies. When a holon changes it can affect others creating huge problems [29].

V. CONCLUSIONS AND DISCUSION

A first literature review on holonic control systems for dwelling was presented here. It is concluded that there is little research done so far.

It is necessary to define an ontology for these systems as [28] have done for intelligent environments to enable interoperability. It is important to identify the limits of holons so that they allow an expansion and reduction of the holarchy.

These systems present in the studies a potential reduction in energy consumption that could significantly affect the energy demand of the residential sector and its consequent emissions of polluting gases. Furthermore, there are interesting applications of HCS, like the analysis possibilities of refunctionalization of buildings considering energy consumption [22].

To enhance the use of control systems in the residential sector, low-cost, easy-to-use equipment must be developed. The comfort of users must be considered in all developments because a real improvement in the comfort of users will make the use of the systems successful. Accordingly, artificial intelligence has a promising future.

Finally, it is important to take advantage of existing developments in building automation, subtly modifying them so that they can be adapted to systems with a holonic perspective and thus provide their advantages.

REFERENCES

- [1] B. P.I.c., "BP Energy Outlook 2019 Edition," 2019.
- [2] A. K. Singh, S. Agrawal, S. Agarwal, and D. Goyal, "Low-Cost and Energy-Efficient Smart Home Security and Automation," in *Computational Network Application Tools for Performance Management*, M. Pant, T. K. Sharma, S. Basterrech, and C. Banerjee, Eds. Singapur, 2020, pp. 95–108.
- [3] A. Koestler, *The ghost in the machine*, First edit. New York, United States: The Macmillan Company, 1967.
- [4] J. Van Belle, B. Saint Germain, P. Verstraete, P. Valckenaers, O. Ali, H. Van Brussel, & D. Cattrysse, "A holonic chain conveyor control system: An application" in *International Conference on Industrial Applications of Holonic and Multi-Agent Systems*, Springer, Berlin, Heidelberg, pp. 234-243, August 2009.
- [5] T. Sauter, S. Soucek, W. Kastner, and D. Dietrich, "The evolution of factory and building automation," *IEEE Ind. Electron. Mag.*, vol. 5, no. 3, pp. 35–48, 2011, doi: 10.1109/MIE.2011.942175.
- [6] R. A. Brooks et al., "The Intelligent Room Project," *Proc. Second Int. Conf. Cogn. Technol.*, pp. 271–278, 1997, Accessed: May 06, 2019. [Online]. Available: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.137.1674&rep=rep1&type=pdf>.
- [7] M. Boman, P. Davidsson, N. Skarmas, K. Clark, and R. Gustavsson, "Energy Saving and Added Customer Value in Intelligent Buildings," *Paam*, vol. 1, pp. 505–516, 1998, doi: 10.1.1.41.6239.
- [8] S. Sharples, V. Callaghan, and G. Clarke, "Multi-agent architecture for intelligent building sensing and control," *Sens. Rev.*, vol. 19, no. 2, pp. 135–140, 1999, doi: 10.1108/02602289910266278.
- [9] L. C. Fu and T. J. Shih, "Holonic supervisory control and data acquisition kernel for 21st century intelligent building system," in *Proceedings - IEEE International Conference on Robotics and Automation*, 2000, vol. 3, pp. 2641–2646, doi: 10.1109/robot.2000.846426.
- [10] R. C. Luo, S. Y. Lin, and K. L. Su, "A multiagent multisensor based security system for intelligent building," *IEEE Int. Conf. Multisens. Fusion Integr. Intell. Syst.*, vol. 2003-Janua, pp. 311–316, 2003, doi: 10.1109/MFI-2003.2003.1232676.
- [11] H. Hagras, V. Callaghan, M. Colley, and G. Clarke, "A Hierarchical Fuzzy Genetic Multi-Agent Architecture for Intelligent Buildings Sensing and Control," in *Developments in Soft Computing*, 2000, pp. 199–206.
- [12] H. Hagras, V. Callaghan, M. Colley, and G. Clarke, "A hierarchical fuzzy-genetic multi-agent architecture for intelligent buildings online learning, adaptation and control," in *Information Sciences*, 2003, vol. 150, no. 1–2, pp. 33–57, doi: 10.1016/S0020-0255(02)00368-7.
- [13] P. Davidsson and M. Boman, "Distributed monitoring and control of office buildings by embedded agents," *Inf. Sci. (Ny)*, vol. 171, no. 4, pp. 293–307, 2005, doi: 10.1016/j.ins.2004.09.007.
- [14] U. Rutishauser, J. Joller, and R. Douglas, "Control and learning of ambience by an intelligent building," *IEEE Trans. Syst. Man, Cybern. Part A Systems Humans*, vol. 35, no. 1, pp. 121–132, 2005, doi: 10.1109/TSMCA.2004.838459.
- [15] J. Duan and F. Lin, "Research of intelligent building control using an agent-based approach," *IEEE Int. Conf. Ind. Informatics*, pp. 991–994, 2008, doi: 10.1109/INDIN.2008.4618246.
- [16] D. Bonino, E. Castellina, F. Corno, and M. Liu, "Technology independent interoperation of domotic devices through rules," in *2009 IEEE 13th International Symposium on Consumer Electronics*, May 2009, pp. 971–975, doi: 10.1109/ISCE.2009.5157026.
- [17] D. Bonino and F. Corno, "Rule-based intelligence for domotic environments," *Autom. Constr.*, vol. 19, no. 2, pp. 183–196, Mar. 2010, doi: 10.1016/j.autcon.2009.10.008.
- [18] D. Bonino and F. Corno, "Modeling, simulation and emulation of Intelligent Domotic Environments," *Autom. Constr.*, vol. 20, no. 7, pp. 967–981, Nov. 2011, doi: 10.1016/j.autcon.2011.03.014.
- [19] R. M. Silva, J. Arakaki, F. Junqueira, D. J. Santos Filho, and P. E. Miyagi, "Modeling of active holonic control systems for intelligent buildings," *Autom. Constr.*, vol. 25, pp. 20–33, 2012, doi: 10.1016/j.autcon.2012.04.002.
- [20] A. F. Santamaria, F. De Rango, D. Falbo, and D. Barletta, "SmartHome: a domotic framework based on smart sensing and actuator network to reduce energy wastes," in *Wireless Sensing, Localization, and Processing IX*, May 2014, vol. 9103, p. 910308, doi: 10.1117/12.2053328.
- [21] S. Galland and N. Gaud, "Organizational and holonic modelling of a simulated and synthetic spatial environment," in *Lecture Notes in Computer Science (including subseries Lecture Notes in Artificial Intelligence and Lecture Notes in Bioinformatics)*, 2015, vol. 9068, pp. 147–169, doi: 10.1007/978-3-319-23850-0_10.
- [22] A. Carbonari, L. Messi, B. Naticchia, M. Vaccarini, and M. Pirani, "Development of a BIM-based cyber-physical system for facility management of buildings," in *Creative Construction Conference 2018 - Proceedings*, 2018, pp. 1028–1035, doi: 10.3311/CCC2018-133.
- [23] M. Pirani, L. Messi, A. Carbonari, A. Bonci, and M. Vaccarini, "Holonic management systems for resilient operation of buildings," in *ISARC 2018 - 35th International Symposium on Automation and Robotics in Construction and International AEC/FM Hackathon: The Future of Building Things*, 2018, doi: 10.22260/isarc2018/0059.
- [24] A. Carbonari, L. Messi, B. Naticchia, M. Vaccarini, and M. Pirani, "Development of a BIM-based holonic system for real-time monitoring of building operational efficiency," *Front. Eng. Manag.*, pp. 1–15, 2019, doi: 10.1007/s42524-019-0037-0.
- [25] B. Naticchia, L. Messi, M. Pirani, A. Bonci, A. Carbonari, and L. C. Tolve, "Holonic system for real-time emergency management in buildings," *Proc. 36th Int. Symp. Autom. Robot. Constr. ISARC 2019*, no. Isarc, pp. 453–460, 2019, doi: 10.22260/isarc2019/0061.
- [26] P. Leitão, A. W. Colombo, F. Restivo, and R. Schoop, "Formal specification of holonic control system ADACOR product holon, using high-level Petri Nets," *IEEE Int. Conf. Ind. Informatics*, vol. 2003-Janua, pp. 263–272, 2003, doi: 10.1109/INDIN.2003.1300278.
- [27] S. Howell, Y. Rezgui, J. L. Hippolyte, B. Jayan, and H. Li, "Towards the next generation of smart grids: Semantic and holonic multi-agent management of distributed energy resources," *Renewable and Sustainable Energy Reviews*, vol. 77, pp. 193–214, 2017, doi: 10.1016/j.rser.2017.03.107.
- [28] D. Bonino and F. Corno, "DogOnt - Ontology modeling for intelligent domotic environments," in *Lecture Notes in Computer Science (including subseries Lecture Notes in Artificial Intelligence and Lecture Notes in Bioinformatics)*, 2008, vol. 5318 LNCS, pp. 790–803, doi: 10.1007/978-3-540-88564-1-51.
- [29] J. Mathews, "Holonic organisational architectures," *Hum. Syst. Manag.*, vol. 15, no. 1, pp. 27–54, Jan. 1996, doi: 10.3233/HSM-1996-15105.

ISBN 978-987-46297-7-7



www.sase.com.ar

24, 25 y 26 de agosto de 2020

Edición virtual